

САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ
ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ
ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И КОМПЬЮТЕРНОЙ
ТЕХНИКИ
КАФЕДРА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Отчет по дисциплине «Функциональная схемотехника»
Лабораторная работа №2
Комбинационные схемы
Вариант 3

Выполнили:
Тищук Б.Ю. Группа Р3210
Шульгин И.В. Группа Р3210

Преподаватель: Денисов А. К

Санкт- Петербург
2018

Цели работы:

- Получить базовые знания о принципах построения и функционирования цифровых схем комбинационного типа
- Изучить схемотехнику базовых операционных элементов цифровых схем комбинационного типа.

Задание:

1. С использованием произвольных вентилях реализовать БОЭ согласно варианту задания. Оформить БОЭ как иерархический элемент для библиотеки, задав ему стандартное условное графическое обозначение.
2. Построить таблицу истинности полученной схемы. Для схемы, у которой более пяти входов, допускается таблицу истинности приводить не полностью.
3. Измерить максимальную и минимальную задержку распространения сигнала через схему.
4. Разработать реализацию заданной функции в виде комбинационной схемы с применением различных стандартных БОЭ и, в случае необходимости, дополнительных вентилях. Применяемые БОЭ должны быть построены из вентилях. Все переменные в функции — четырехразрядные, беззнаковые. Используемый в функциях сдвиг является циклическим. В случае переполнения необходимо отбрасывать выходящие за разрядную сетку старшие разряды.
5. Для построенной схемы требуется:
 - (а) проверить работу схемы на нескольких наборах аргументов, включая граничные случаи (переполнения и пр.);
 - (б) измерить задержку распространения сигнала через схему.
6. Подготовить отчет по проделанной работе.

3	Схема мажоритарного контроля с пятью входами	$\text{if } (X1 + X2 == 0) Y = X1 - X2 ;$ $\text{else } Y = X2 + 2 ;$
---	--	---

Таблица 1

1 - Схема мажоритарного контроля с пятью входами

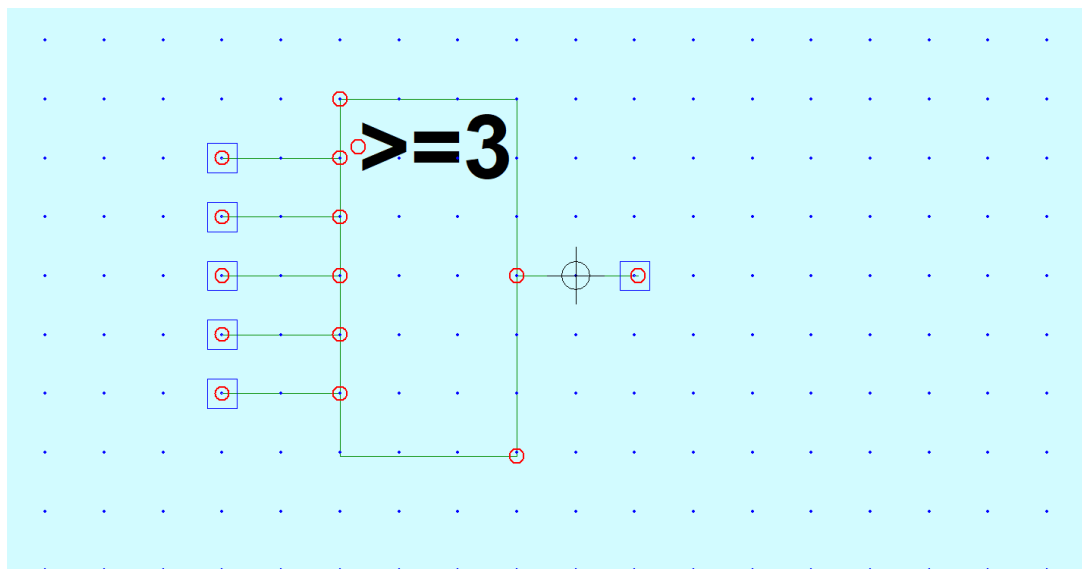


Рисунок 1 – оформление элемента

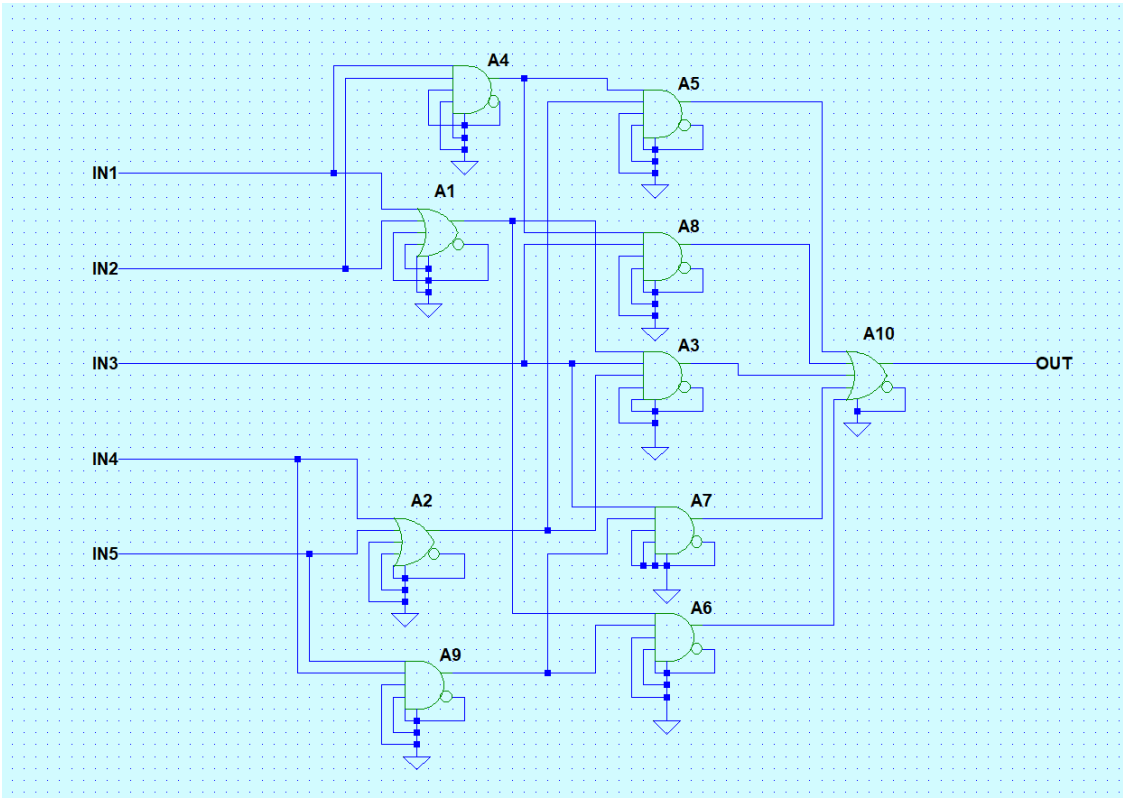


Рисунок 2 – принципиальная схема

2 – Таблица истинности

№	IN1	IN2	IN3	IN4	IN5	OUT
0	0	0	0	0	0	0
1	0	0	0	0	1	0
2	0	0	0	1	0	0
3	0	0	0	1	1	0
4	0	0	1	0	0	0
5	0	0	1	0	1	0
6	0	0	1	1	0	0
7	0	0	1	1	1	1
8	0	1	0	0	0	0
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	0	1	0	1	1	1
12	0	1	1	0	0	0
13	0	1	1	0	1	1
14	0	1	1	1	0	1
15	0	1	1	1	1	1
16	1	0	0	0	0	0
17	1	0	0	0	1	0
18	1	0	0	1	0	0
19	1	0	0	1	1	1
20	1	0	1	0	0	0
21	1	0	1	0	1	1
22	1	0	1	1	0	1

23	1	0	1	1	1	1
24	1	1	0	0	0	0
25	1	1	0	0	1	1
26	1	1	0	1	0	1
27	1	1	0	1	1	1
28	1	1	1	0	0	1
29	1	1	1	0	1	1
30	1	1	1	1	0	1
31	1	1	1	1	1	1

3 – измерение минимальной и максимальной задержки

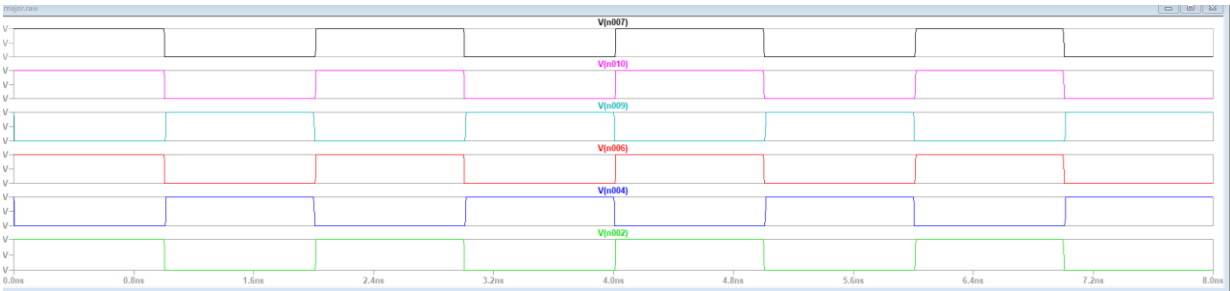


Рисунок 3 – временная диаграмма

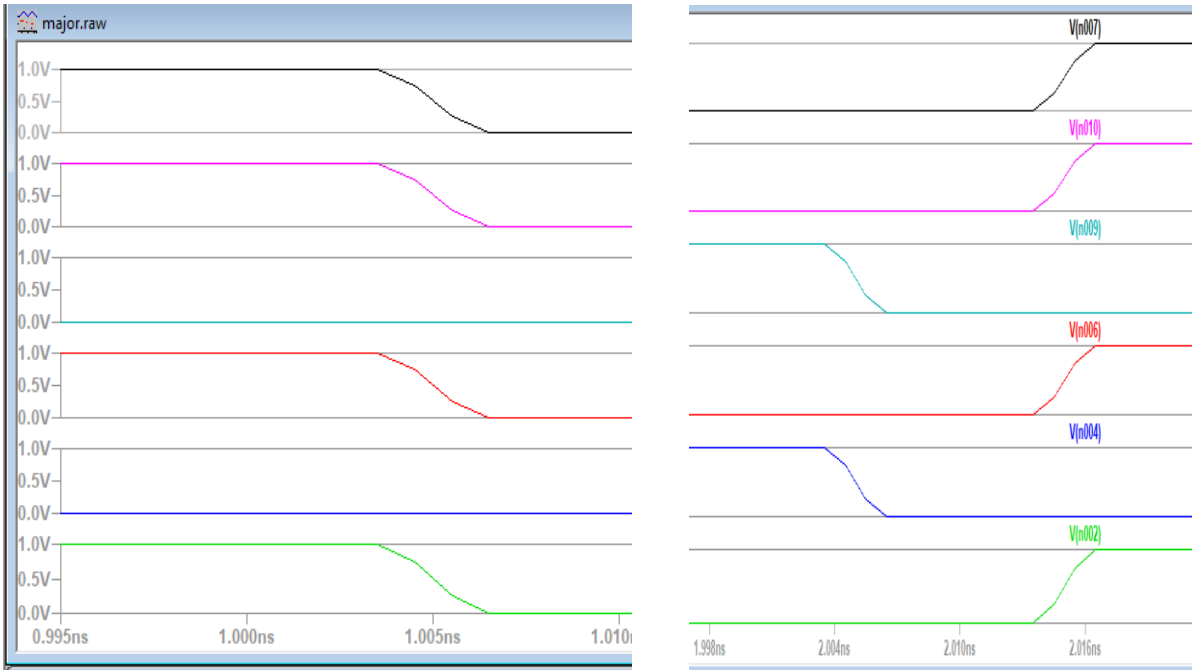


Рисунок 4 - задержка выходной сигнал – верхний

Как видно из диаграммы, в данном случае задержка практически отсутствует по фронту и по спаду, так как использовались стандартные компоненты (меньше техпроцесс, соответственно меньше входная ёмкость), отсутствуют нагрузочные емкости (или индуктивности вместе с емкостями) и по выходу нет разветвления.

4 – разработанная схема

В данном случае можно разработать несколько вариантов схем

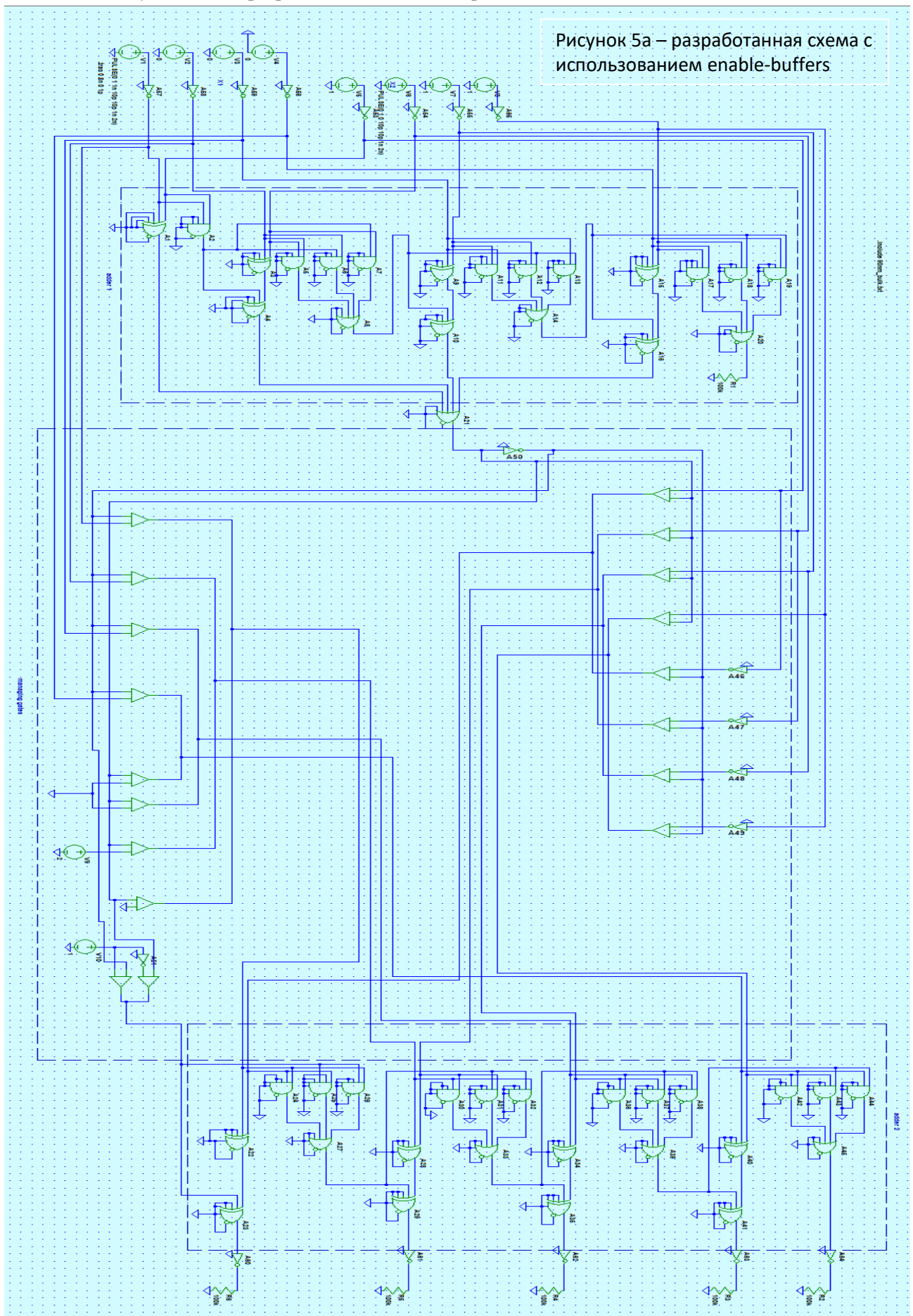
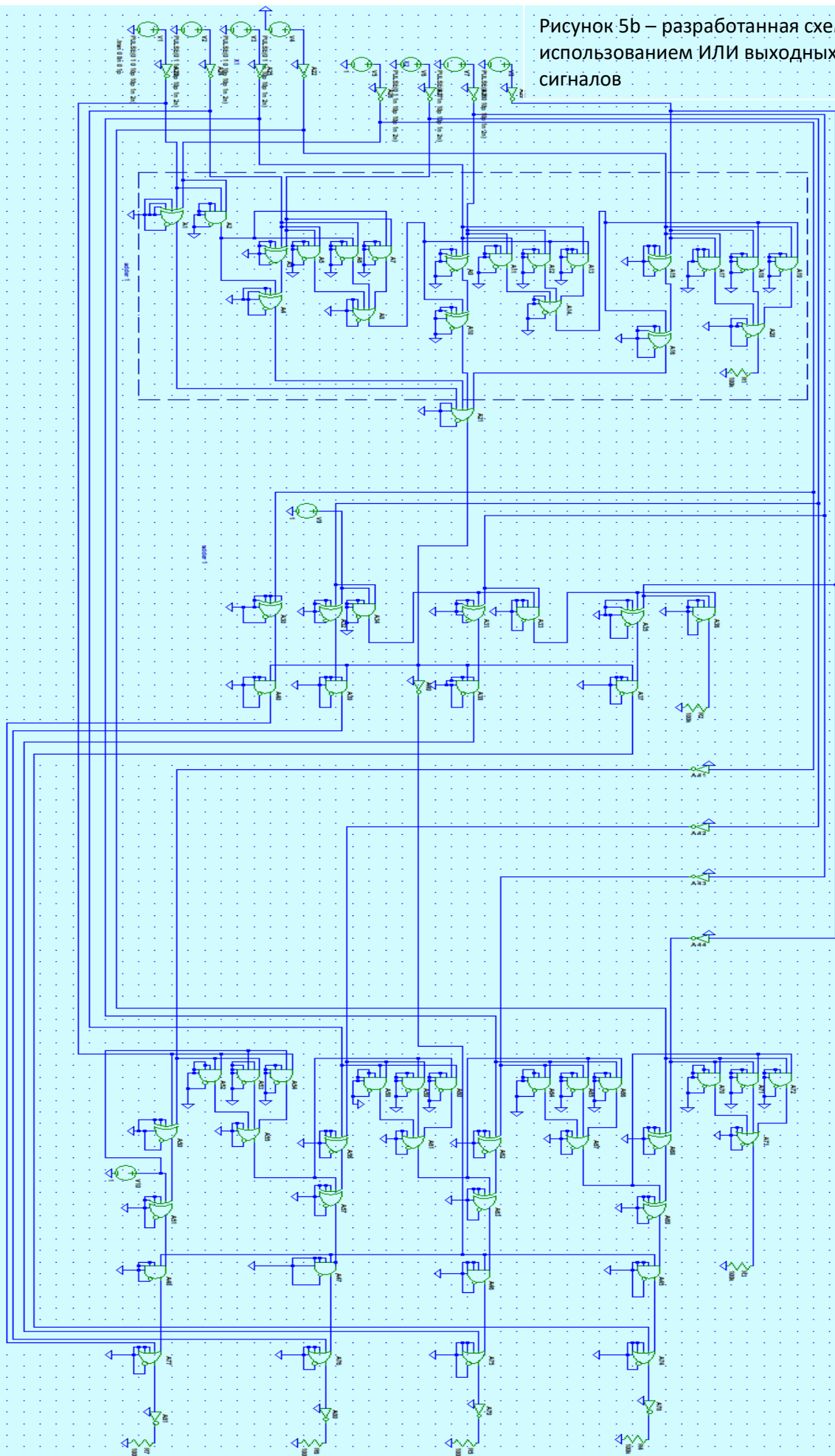


Рисунок 5b – разработанная схема с использованием ИЛИ выходных сигналов



5а – тестирование схемы

1 – Временная диаграмма x1

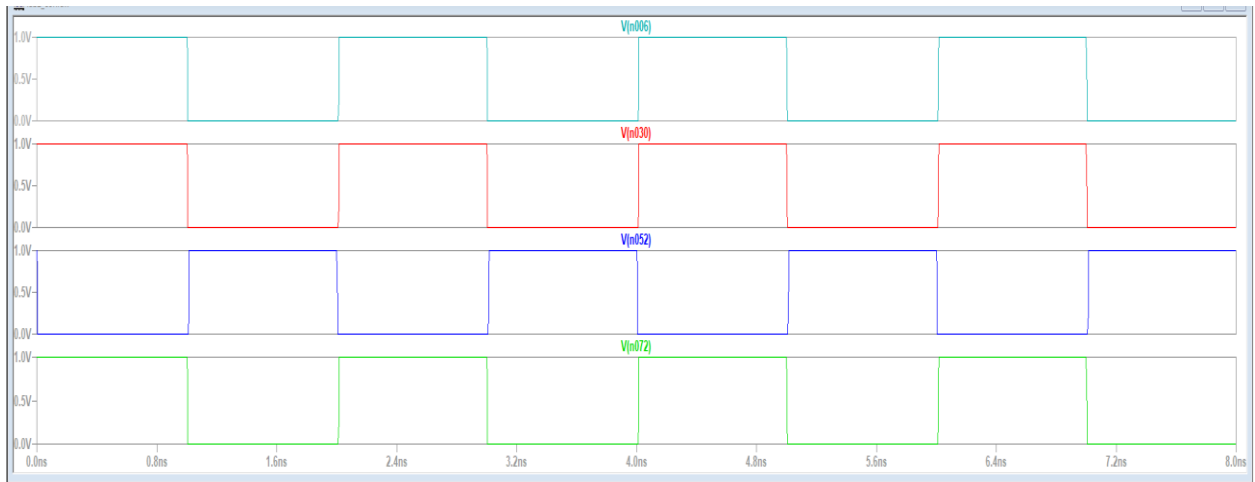


Рисунок 6

Временная диаграмма x2

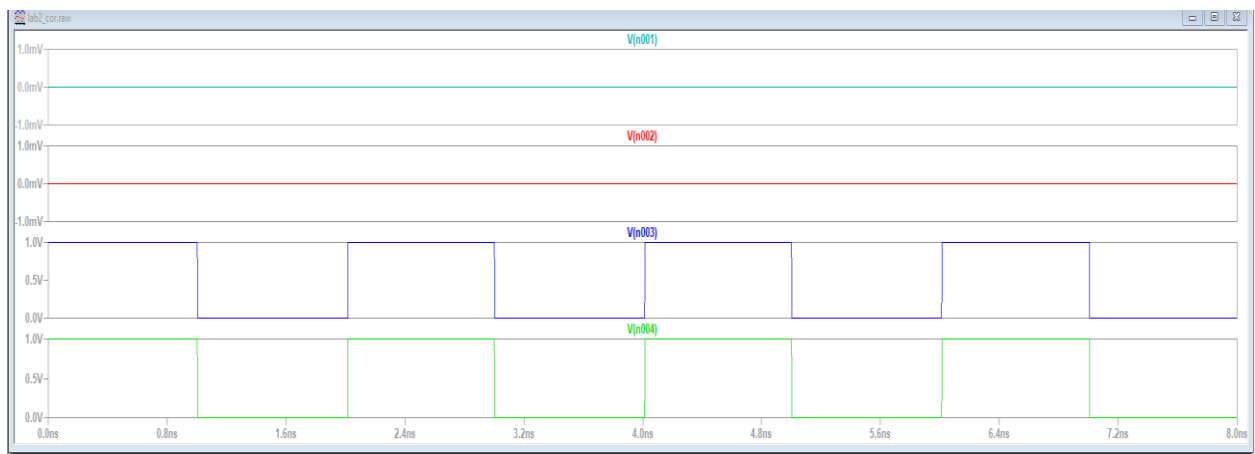


Рисунок 7

С 0 до 1 ns $x1 = 1101_2$, $x2 = 0011_2$, $x1+x2 = 0$ (случай переполнения), $out = 1010_2$

С 1 до 2 ns $x1 = 0010_2$, $x2 = 0_2$, $x1+x2 \neq 0$, $out = 0010_2$

Временная диаграмма out

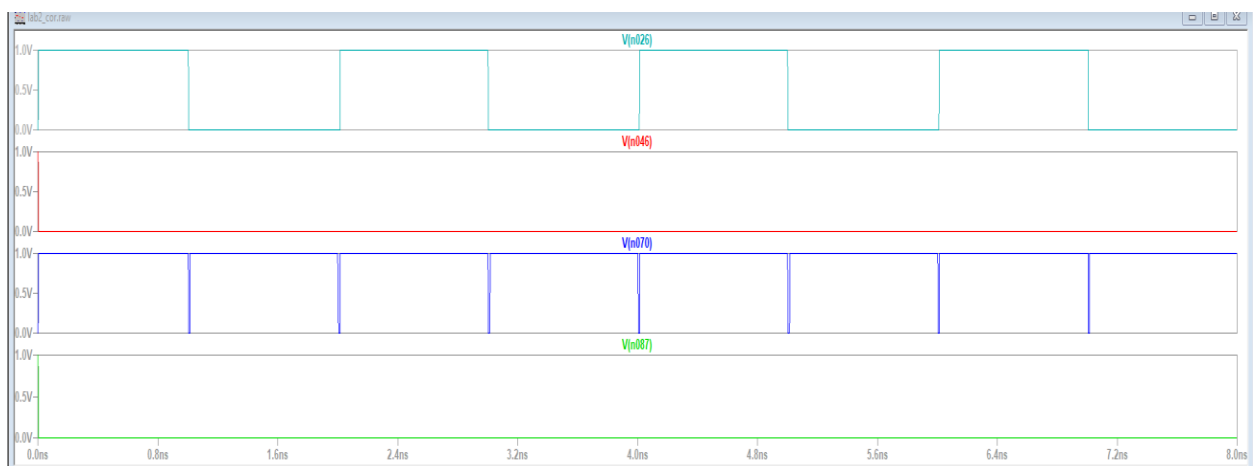


Рисунок 8

Как видно из диаграммы, результат логически корректен

2 – Тест2

Временная диаграмма x1

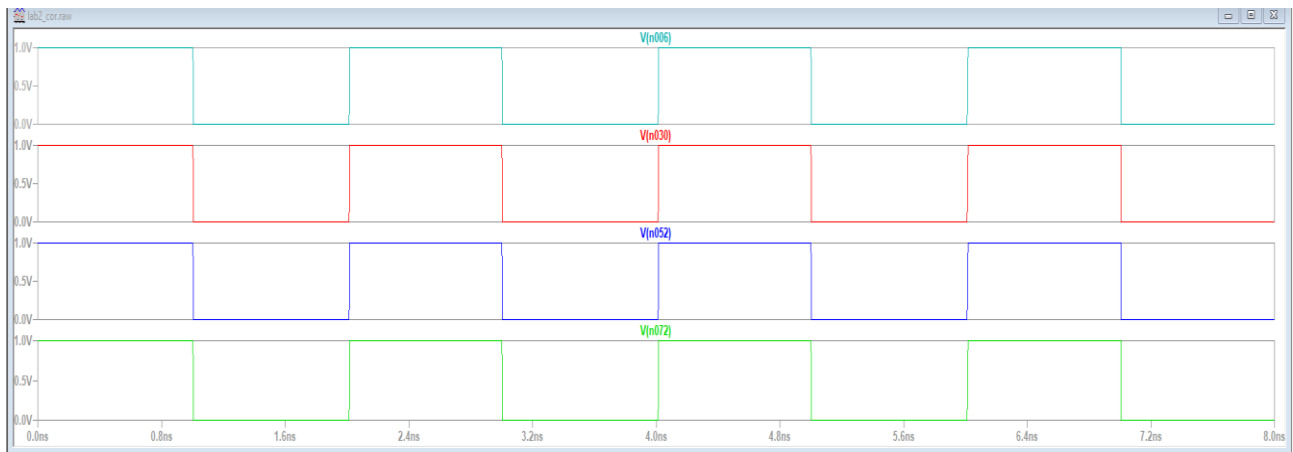


Рисунок 9

Временная диаграмма x2

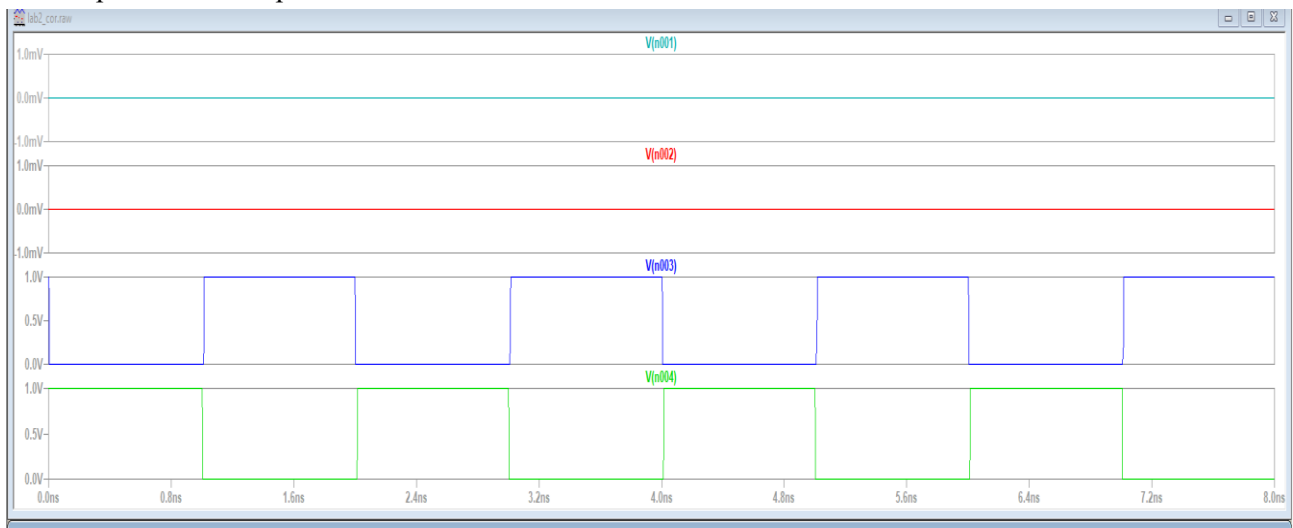


Рисунок 10

С 0 до 1 ns $x_1 = 1111_2$, $x_2 = 0001_2$, $x_1 + x_2 = 0$ (случай переполнения), $out = 1110_2$

С 1 до 2 ns $x_1 = 0000_2$, $x_2 = 0010_2$, $x_1 + x_2 \neq 0$, $out = 0100_2$

Временная диаграмма out

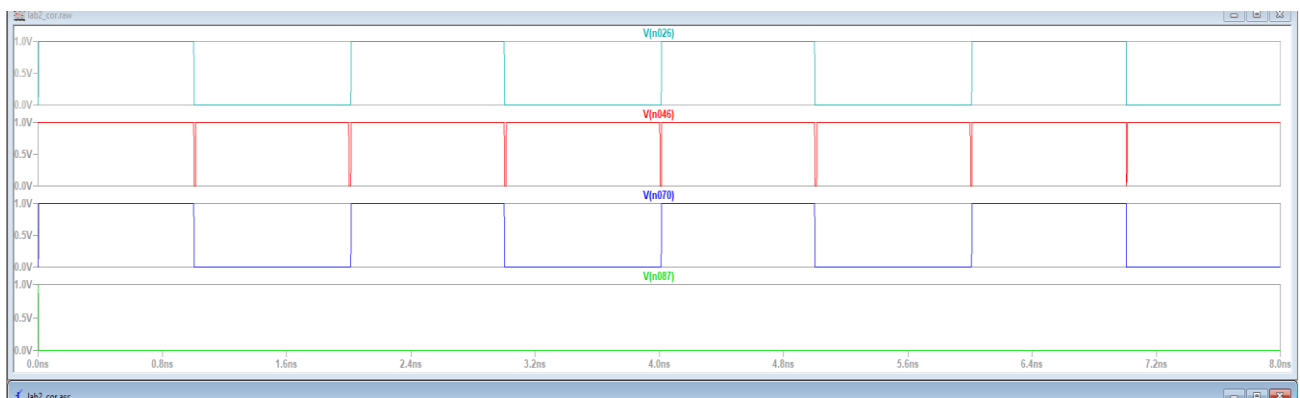


Рисунок 11

Как видно из диаграммы, результат логически корректен

3 – тест 3

Временная диаграмма x1

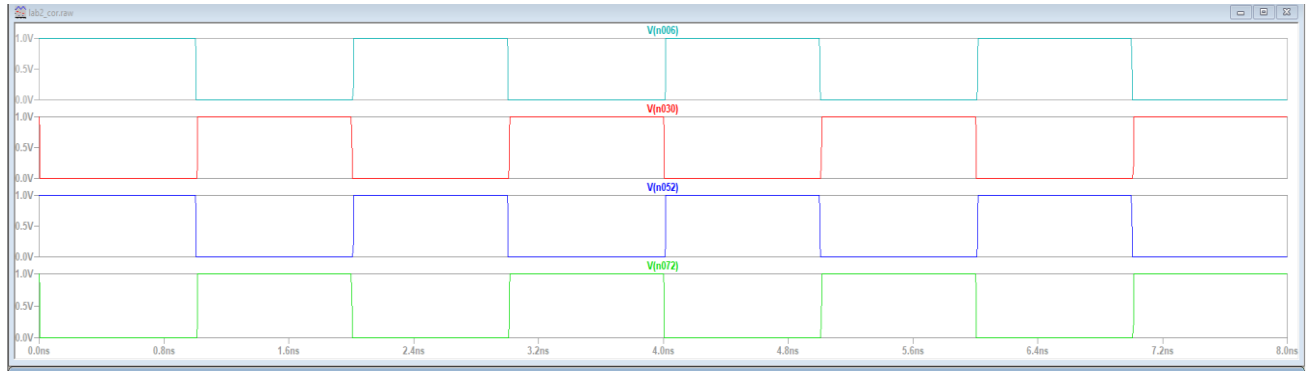


Рисунок 12

Временная диаграмма x2

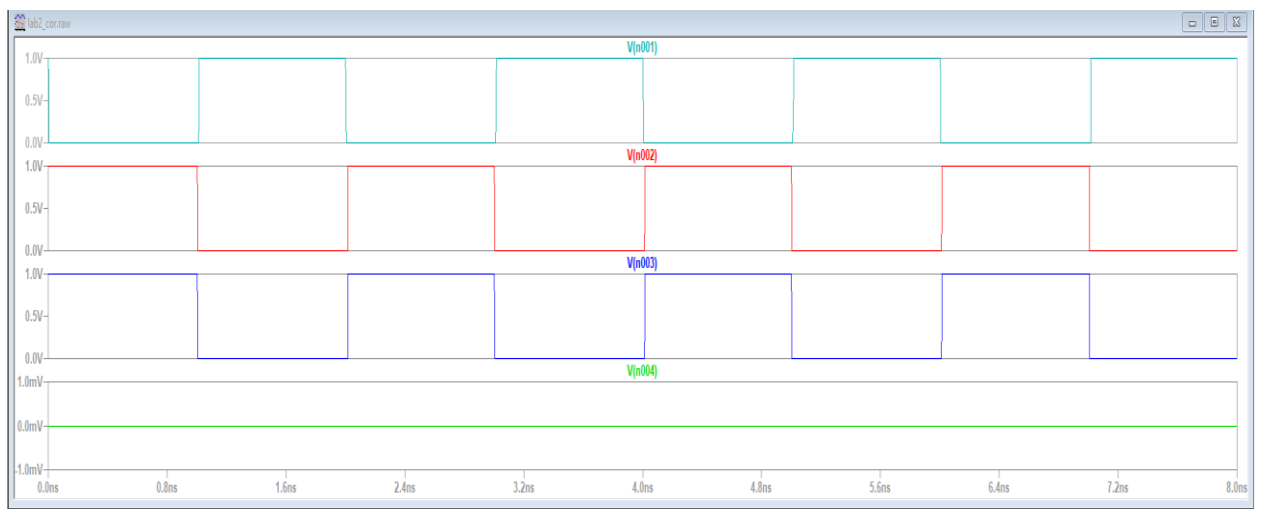


Рисунок 13

С 0 до 1 ns $x1 = 1010_2$, $x2 = 0110_2$, $x1+x2 = 0$ (случай переполнения), $out = 0100_2$

С 1 до 2 ns $x1 = 0101_2$, $x2 = 1000_2$, $x1+x2 \neq 0$, $out = 1010_2$

Временная диаграмма out

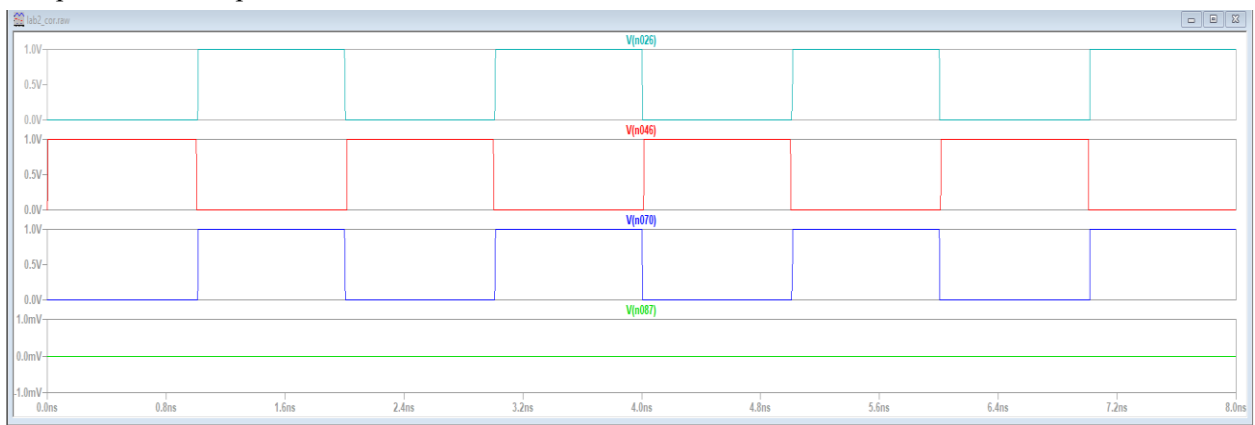


Рисунок 14

Как видно из диаграммы, результат логически корректен

5b – измерение задержки

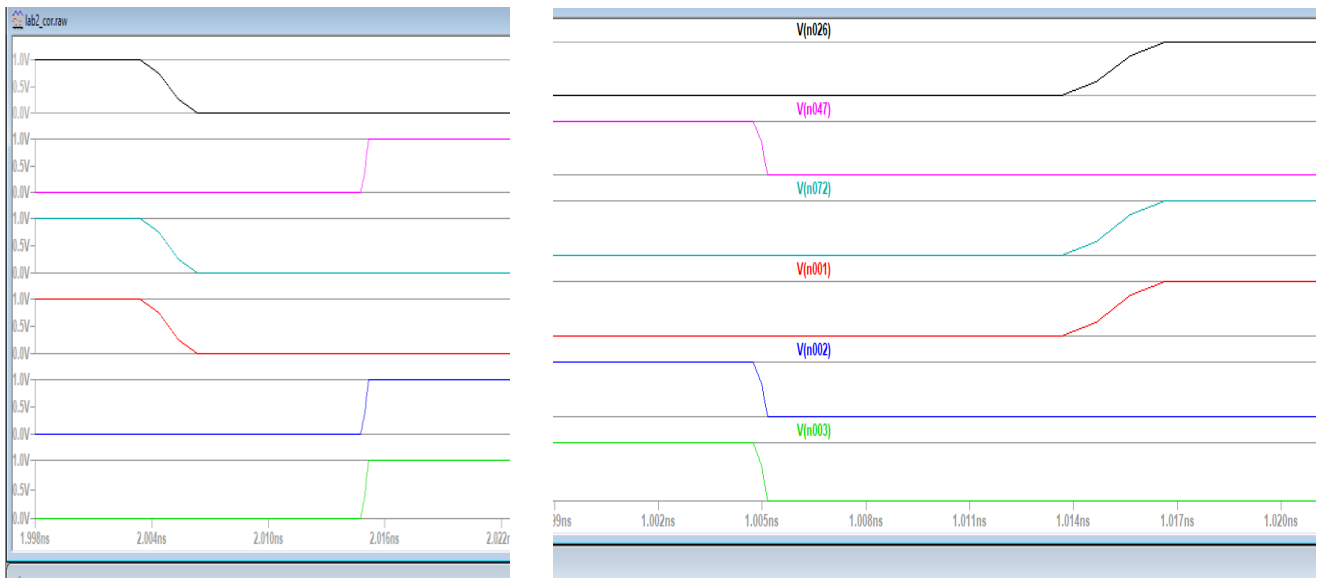


Рисунок 15 верхние 3 сигнала –out, нижние – x2

$T_{pd \min} = 0.09\text{нс.}$

$T_{pd \max} = 0.11\text{нс.}$

Можно заметить, что сами по себе иерархические элементы библиотеки имеют малую задержку, однако так как длительность фронта и спада отличаются: фронт - зарядка внутренних ёмкостей $U = U_0(1 - e^{-t/\tau})$, спад – разрядка $U = U_0(e^{-t/\tau})$ и в силу того, что в многовыходных схемах задержка измеряется от момента изменения входного сигнала до момента, когда все выходы примут установившееся значение задержку дает в основном дает длительность фронта.

Вывод:

- 1- Мажоритарный вентиль можно было бы реализовать по другому, а именно так как нам важно значение только 3 переменных, то схема реализует дизъюнкцию всех конъюнкций комбинаций из 3 переменных. Однако, таких конъюнкций было бы $C_5^3 = 10$. Схема имела бы 40 входов, хотя имела бы меньшую задержку.
- 2- Мажоритарный вентиль может быть чувствителен к импульсным помехам

0	00	01	11	10		1	00	01	11	10
00	0	0	0	0		00	0	0	1	0
01	0	0	1	0		01	0	1	1	1
11	0	1	1	1		11	1	1	1	1
10	0	0	1	0		10	0	1	1	1

По карте Карно видно несколько переходов между импликантами, в этих переходах могут возникать импульсные помехи. Эта проблема решается введением дополнительных импликант, покрывающих переход.

- 3- По временной диаграмме разработанной схемы оказалось, что она чувствительна к импульсным помехам.