**aМинистерство образования и науки Российской Федерации**

**Федеральное государственное автономное образовательное**

**учреждение высшего образования**

**«Санкт-Петербургский национальный исследовательский**

**университет информационных технологий, механики и оптики»**

**Лабораторная работа № 2**

По дисциплине:

«Функциональная схемотехника»

На тему:

**«Введение в проектирование цифровых интегральных схем»**

3 вариант

**Выполнили:**

Третьяков К. П.

Тропина Ю. А.

Группа p3201

**Преподаватель:**

Быковский С. В.

Санкт-Петербург, 2017

Содержание:

1. Цели работы.

2. Схема мажоритарного контроля с пятью входами.

3. Реализация заданной функции.

4. Вывод.

# 1. Цели работы:

a. Получение базовых знаний о принципах построения и функционирования цифровых комбинационных схем;

b. Изучение схемотехники базовых операционных элементов цифровых комбинационных схем.

Задание:

1. С использованием произвольных вентилей реализовать БОЭ согласно варианту задания. Оформить БОЭ как иерархический элемент для библиотеки, задав ему стандартное условное графическое обозначение.

2. Построить таблицу истинности полученной схемы. Для схемы, у которой более пяти входов, допускается таблицу истинности приводить не полностью.

3. Измерить максимальную и минимальную задержку распространения сигнала через схему.

4. Разработать реализацию заданной функции в виде комбинационной схемы с применением различных стандартных БОЭ и, в случае необходимости, дополнительных вентилей. Применяемые БОЭ должны быть построены из вентилей. Все переменные в функции — четырехразрядные, беззнаковые. Используемый в функциях сдвиг является циклическим. В случае переполнения необходимо отбрасывать выходящие за разрядную сетку старшие разряды.

5. Для построенной схемы требуется: (a) проверить работу схемы на нескольких наборах аргументов, включая граничные случаи (переполнения и пр.); (b) измерить задержку распространения сигнала через схему.

6. Подготовить отчет по проделанной работе

Вариант 3:

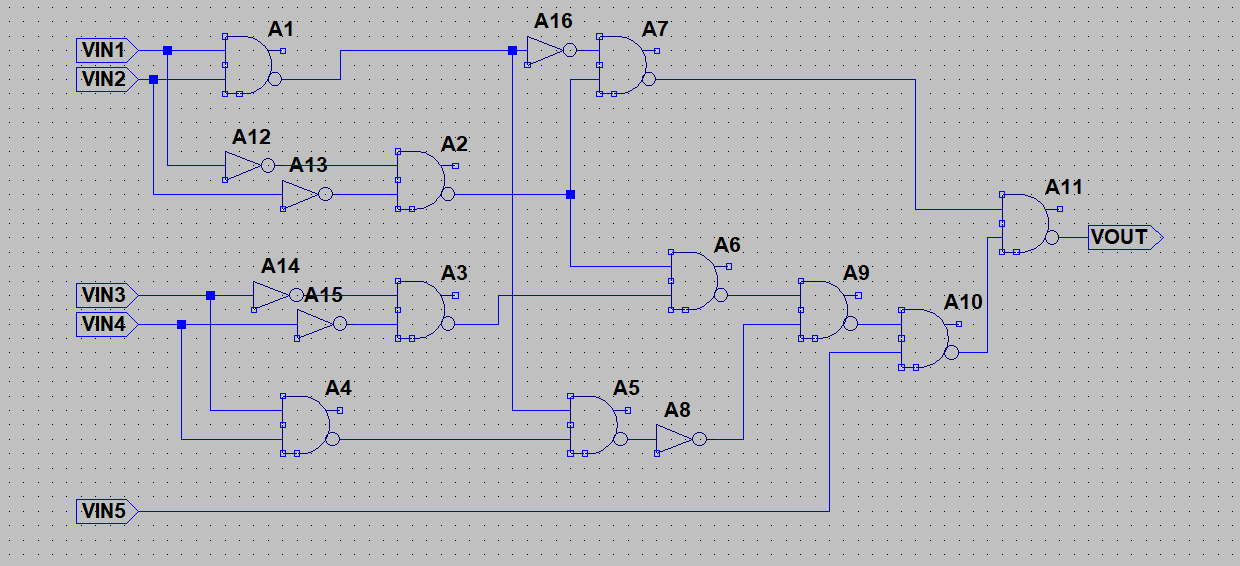
1. БОЭ: Схема мажоритарного контроля с пятью входами.

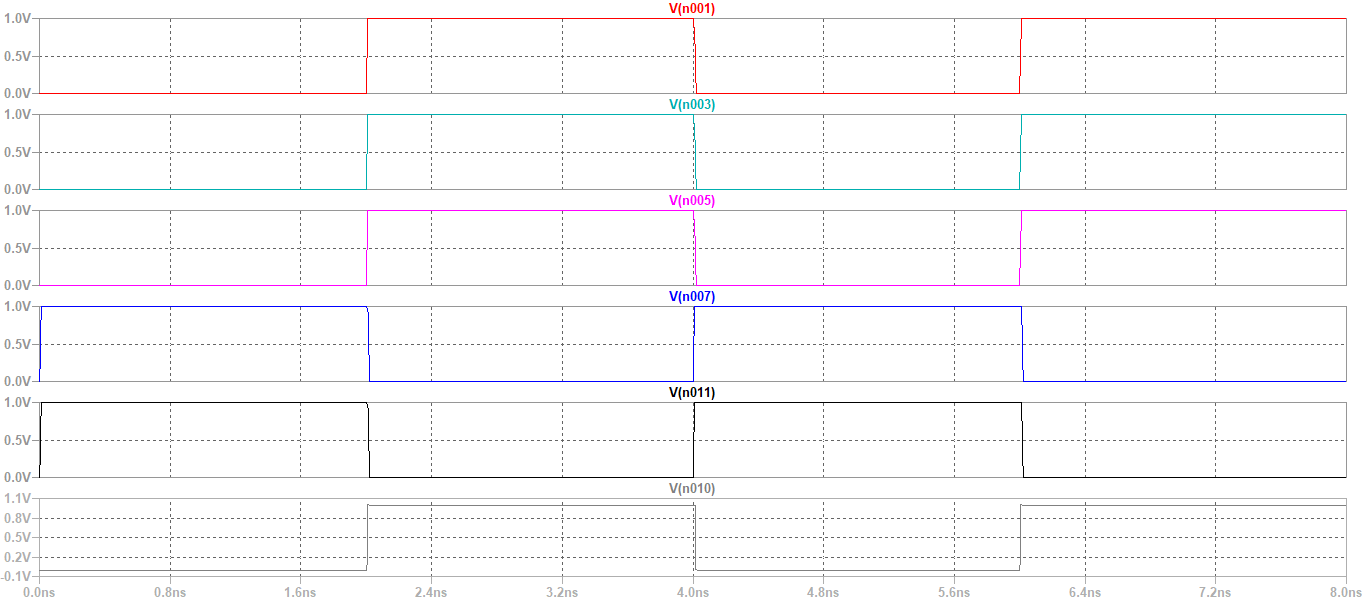
2. Функция: if( (X1+X2) == 0 ) Y = X1 — X2; else Y = X2 + 2;

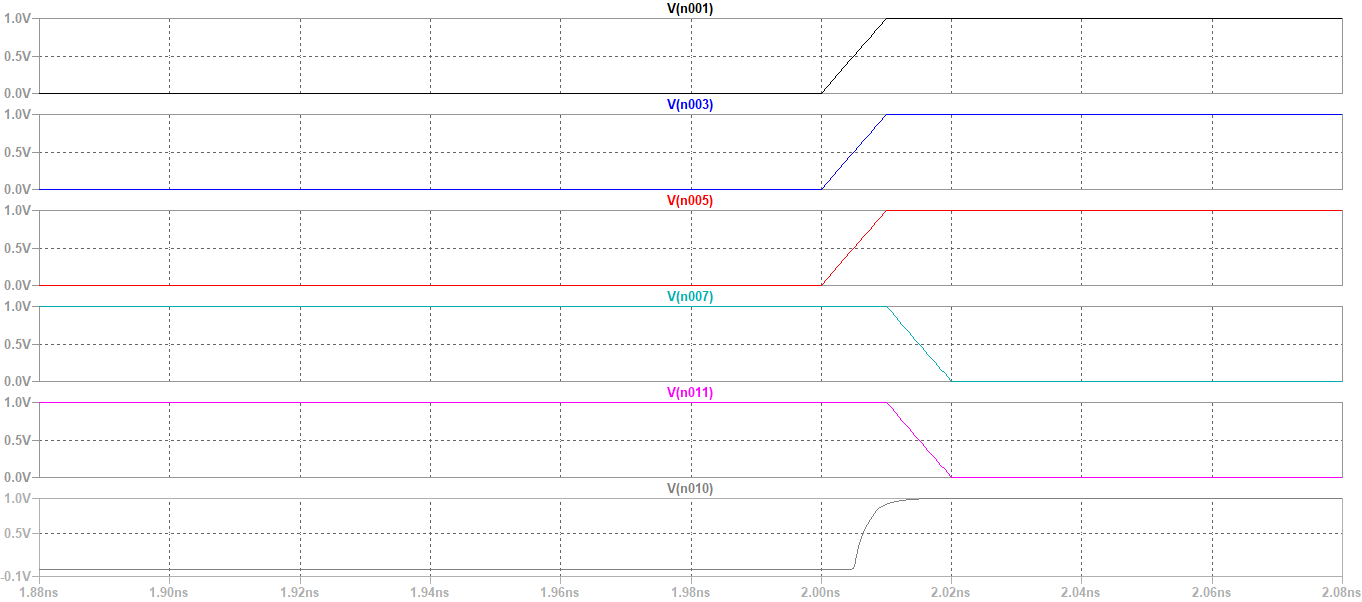
# 2. Схема мажоритарного контроля с пятью входами.

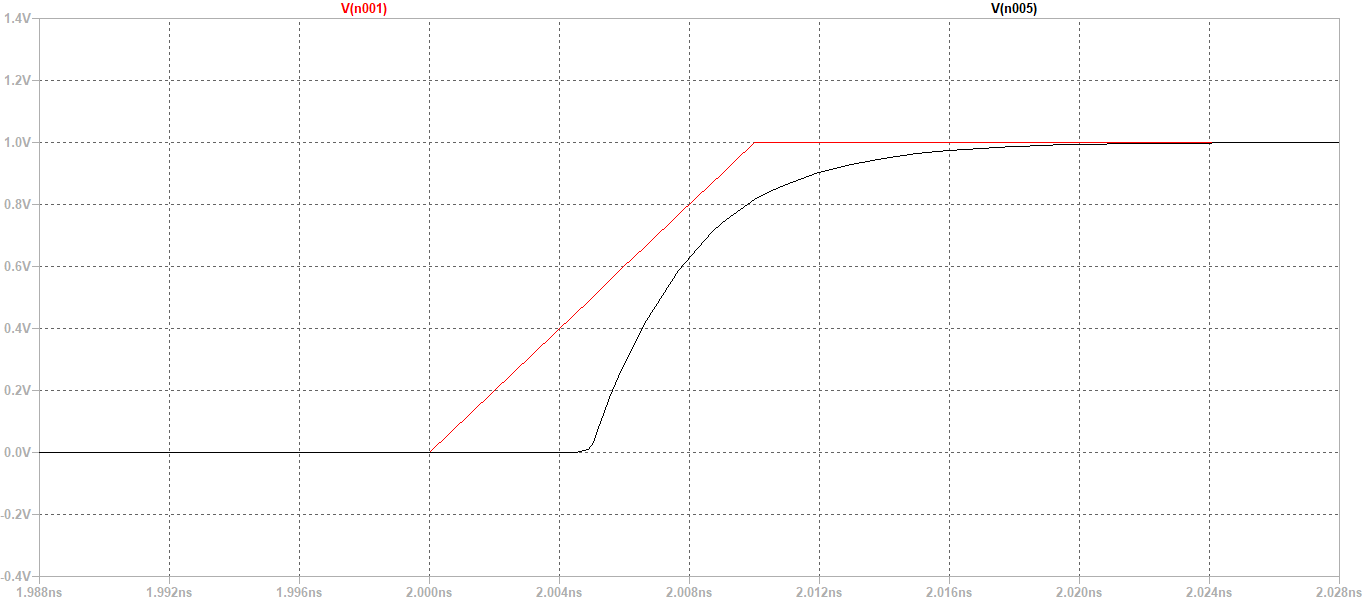
Схемы контроля служат целям диагностики и исправления ошибок при передачи данных. Мажоритарные элементы выявляют доминантный сигнал из ряда поданных (число входов должно быть нечётным ради обеспечения доминантности сигналов) и дают его на выход.

В схеме были использованы элементы, разработанные в прошлой лабораторной работе.









Задержка (X4, OUT) составляет примерно 0.002 ns

Как видно из диаграммы, в данном случае задержка практически отсутствует, так как использовались стандартные компоненты (меньше техпроцесс, соответственно меньше входная ёмкость).

Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| F1 | F2 | F3 | F4 | F5 | F | F1 | F2 | F3 | F4 | F5 | F |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

# 3. Реализация заданной функции.

Функция: if( (X1+X2) == 0 ) Y = X1 — X2; else Y = X2 + 2;

Используемые элементы:

a. Сумматор 4x:

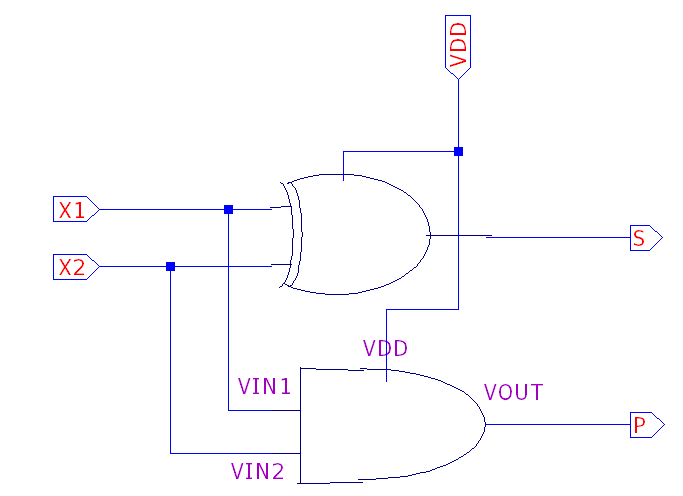
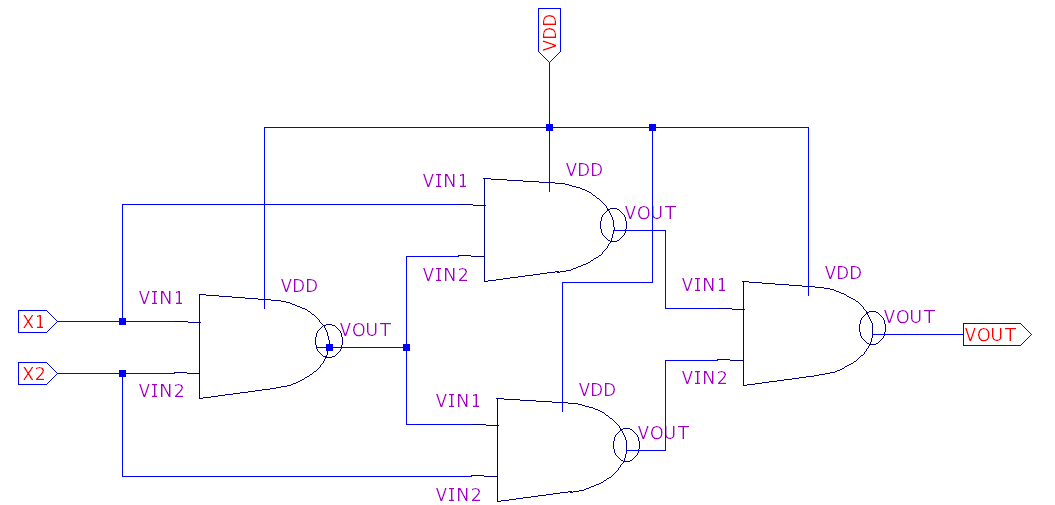
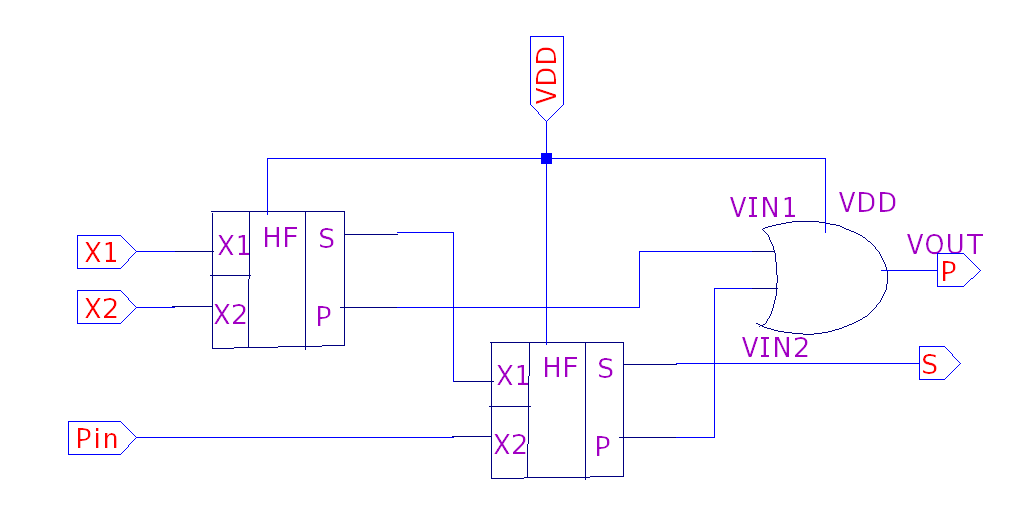
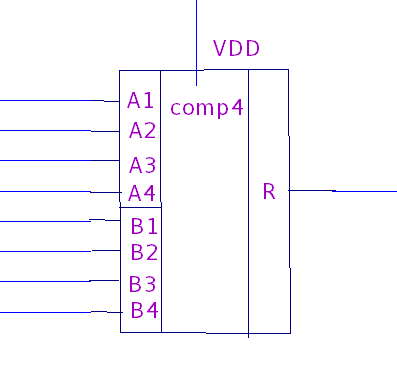
Схема полусумматора

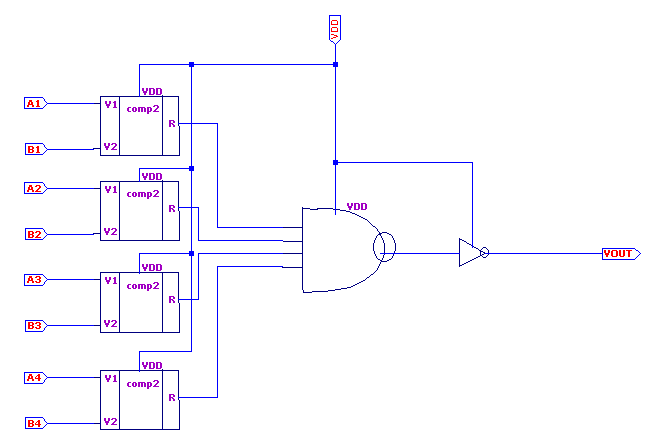
Схема XOR

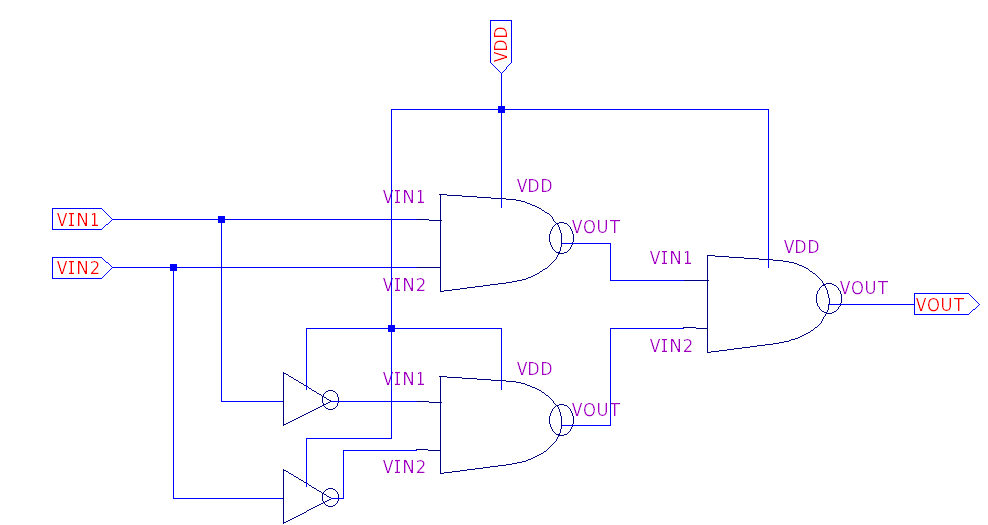


Схема одноразрядного сумматора

b. Компаратор ( равенство ) 4x





Схема двуразрядного компаратора:

с. Мультиплексор 4x

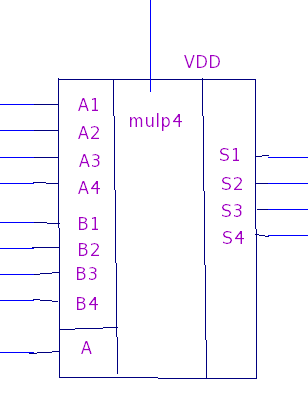


Схема 4-разрядного мультиплексора Схема 2-разрядного мультиплексера

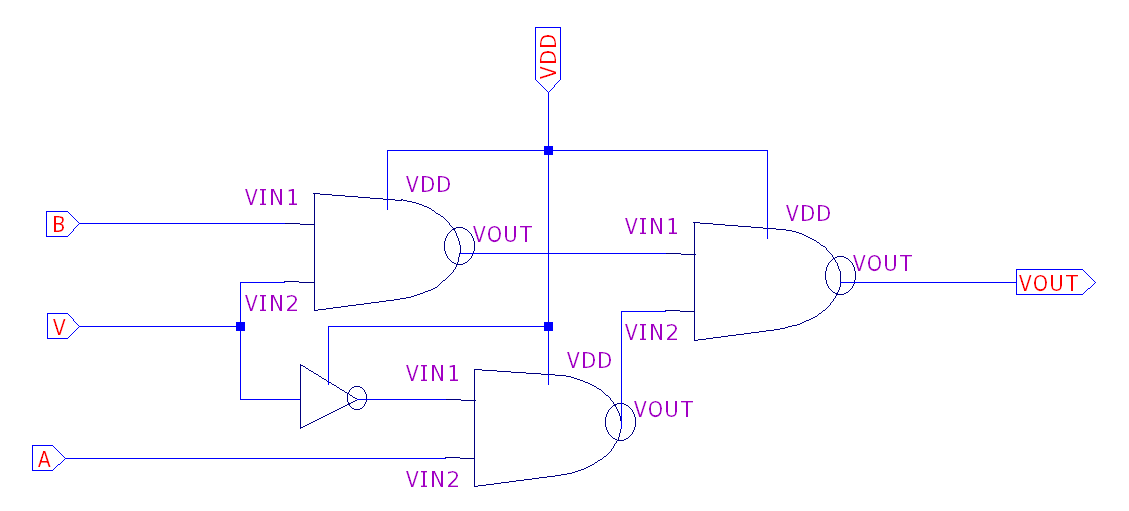
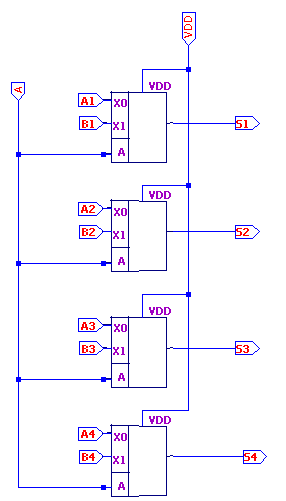


Схема по функции: