

Thinpad - Late 2017

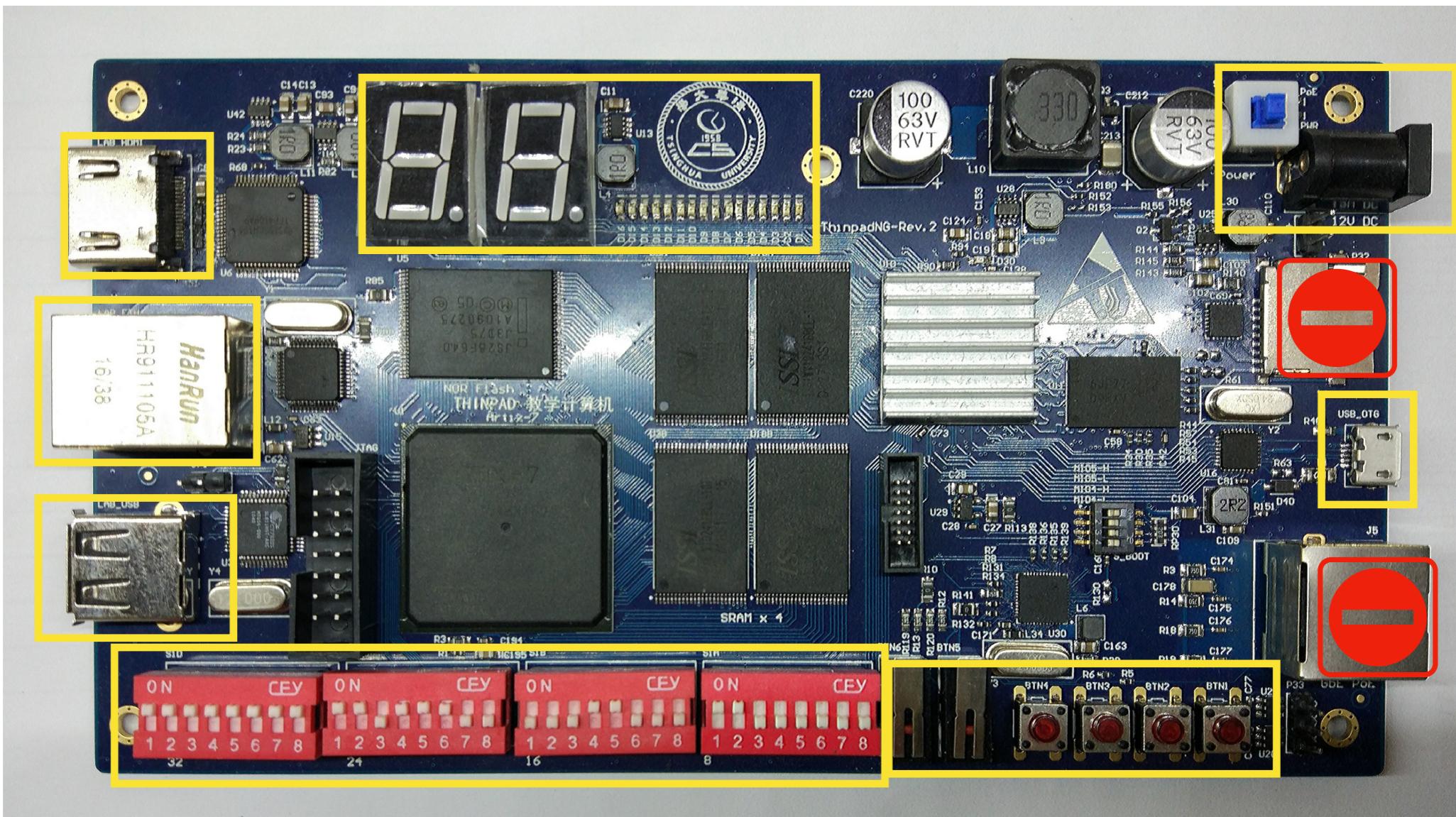
离线版本使用方法介绍

主要特点

- 搭载Xilinx Artix-7系列FPGA：XC7A100T
 - 100K LEs, 4.8Mb BRAM, 28nm制程
 - 支持最新的Vivado设计工具
- 两组SRAM内存，每组4MB容量、32位数据线
- 8MB NOR Flash闪存
- 外围接口：[SL811 USB](#), [DM9000网卡](#), [TFP410 DVI图像输出](#)
- 板载控制芯片，支持远程或离线实验

数码管与LED

图像输出



12V电源
及开关

控制端
USB接口

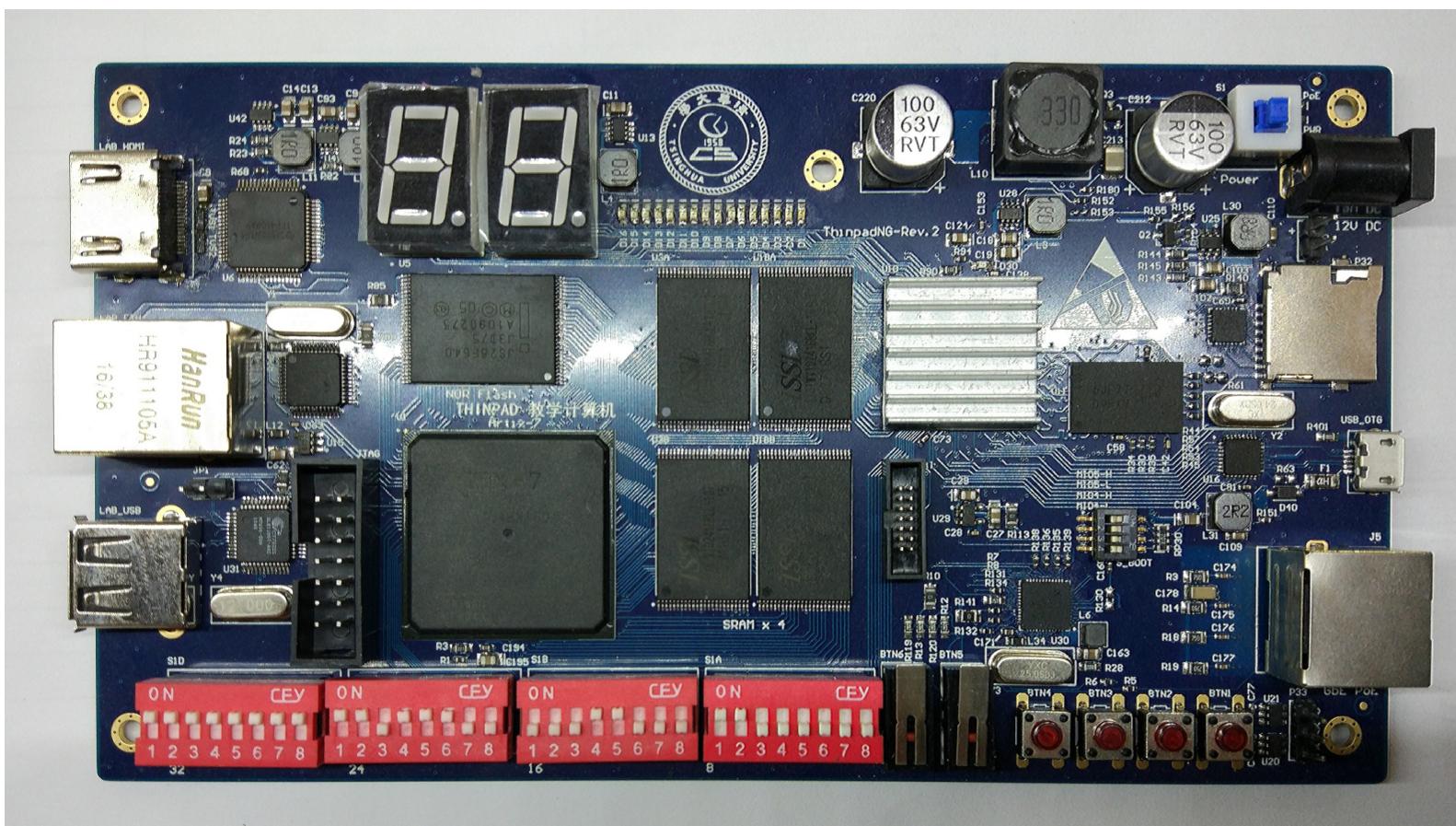
以太网

USB接口

32*DIP开关 (推到ON为“1”)

6*按钮开关 (按下为“1”)

硬件连接

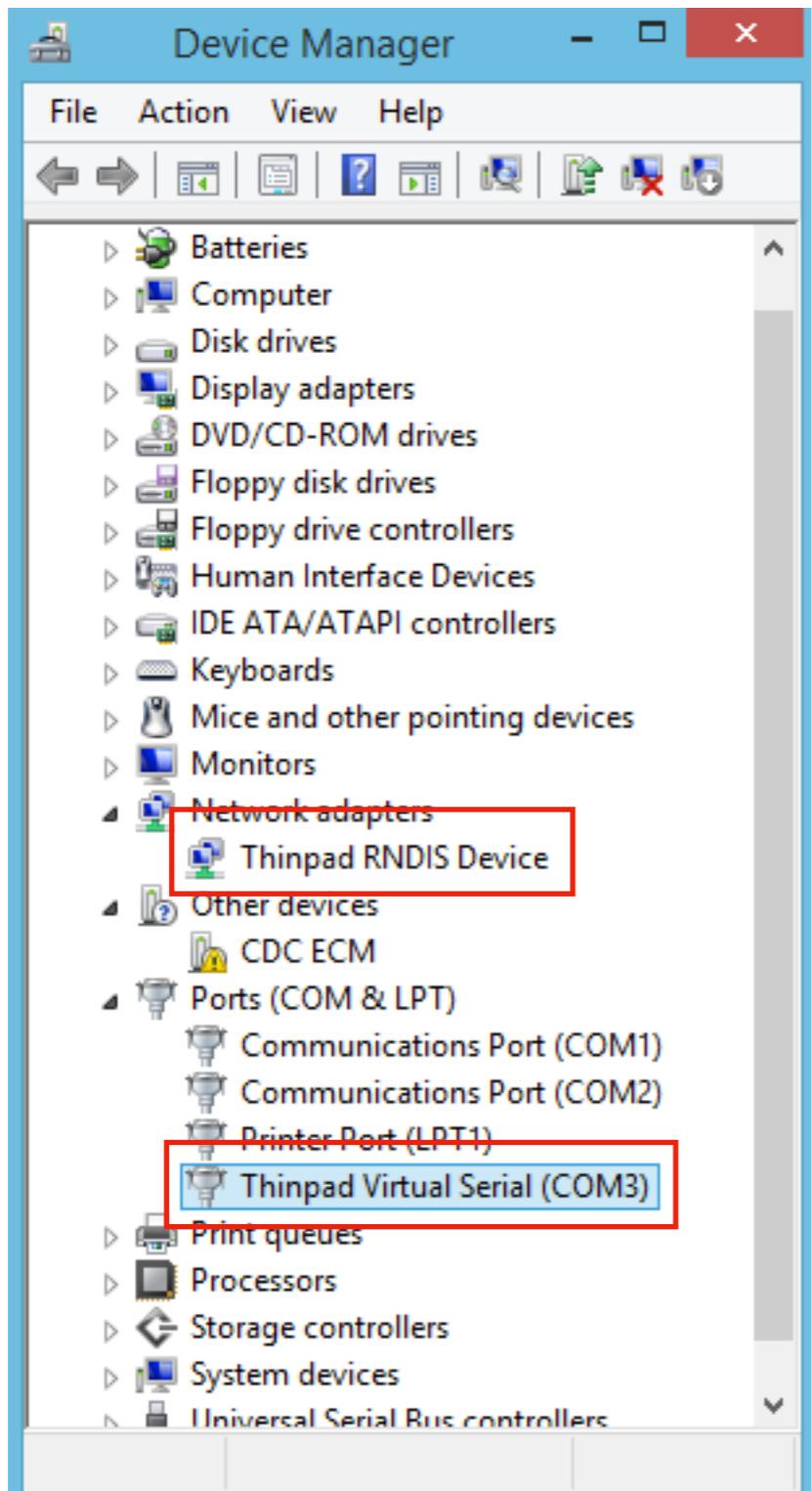


连接12V电源适配器

← Micro USB 连接电脑



检查设备状态 (Win)



确认串口和虚拟网卡驱动安装成功，虚拟网卡获得192.168.8.x的IP。

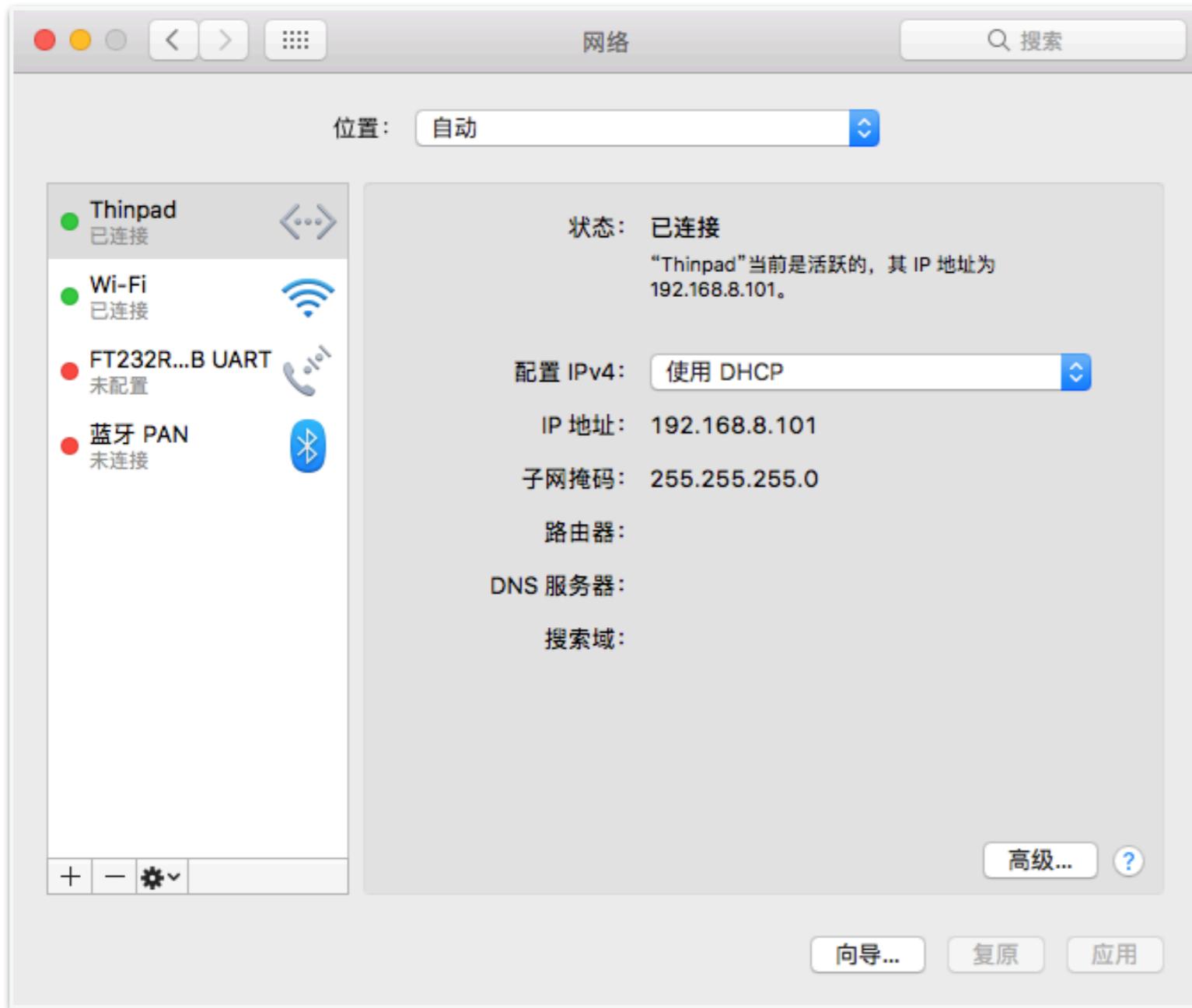
如果串口安装不成功，
稍候再处理。

检查设备状态 (Linux)

```
3: ens160u2: <BROADCAST,MULTICAST,UP,LOWER_UP> mtu 1500
    link/ether 3e:d3:05:e7:68:b3 brd ff:ff:ff:ff:ff:ff
      inet 192.168.8.101/24 brd 192.168.8.255 scope global
        valid_lft 863918sec preferred_lft 863918sec
      inet6 fe80::1413:9395:9990:8b71/64 scope link
        valid_lft forever preferred_lft forever
4: ens160u2: <BROADCAST,MULTICAST,UP,LOWER_UP> mtu 1500
    link/ether 56:3a:2e:c1:b0:81 brd ff:ff:ff:ff:ff:ff
      inet 192.168.8.100/24 brd 192.168.8.255 scope global
        valid_lft 863918sec preferred_lft 863918sec
      inet6 fe80::5ca4:923b:54f:8e4c/64 scope link
        valid_lft forever preferred_lft forever
zhang@mint64 ~ $ ls /dev/ttyACM*
/dev/ttyACM0
```

- 串口 `/dev/ttyACM*`
- 虚拟网卡获得192.168.8.x的IP地址（可能看到两个网卡，无影响）

检查设备状态 (Mac)



```
[> ls /dev/cu.usbmodem*
/dev/cu.usbmodem142123
```

- 串口 **/dev/cu.usbmodem***
- 虚拟网卡Thinpad, 获得
192.168.8.x的IP地址

访问控制页面

- 用浏览器访问 <http://192.168.8.8/> 打开控制页面（Chrome, Firefox, IE11）
 - 上传 .bit 设计文件
 - 选择串口
 - Flash 和 RAM 读写
- Windows 如果上一步没有成功安装串口，可以按页面指示下载驱动文件安装

上传设计文件

选择文件 未选择任何文件
请选择.bit设计文件

写入实验FPGA

串口参数设置

串口选择
CPLD串口控制器
▲开发板每次重启后需要重新选择

应用

将板上的 Micro USB 接口连接到电脑，可检测到一个虚拟串口。如果在Windows系统上不能自动识别，可尝试下载驱动文件，并用更新驱动程序向导安装。

Flash与RAM读写

存储选择 Flash 容量 8MB

起始地址 0x (Byte)
起始地址应当按16位对齐（即为偶数）

读取数据 0x 读取长度 (Byte) 读取

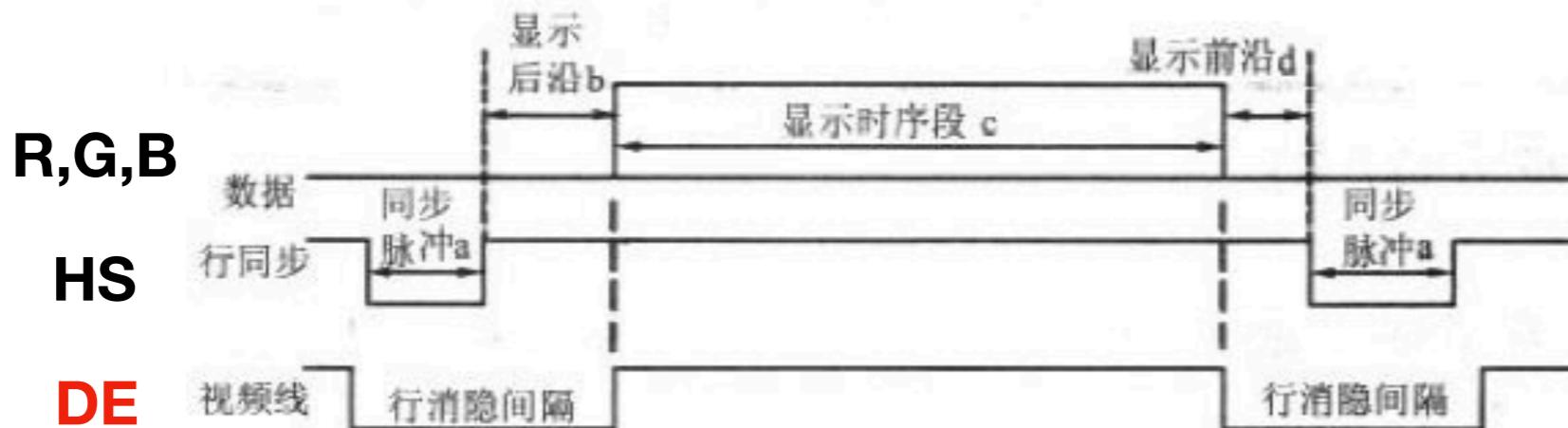
读取长度应当按16位对齐（即为偶数）

写入数据 选择文件 未选择任何文件 写入
写入长度为数据文件大小，按16位对齐（即为偶数）

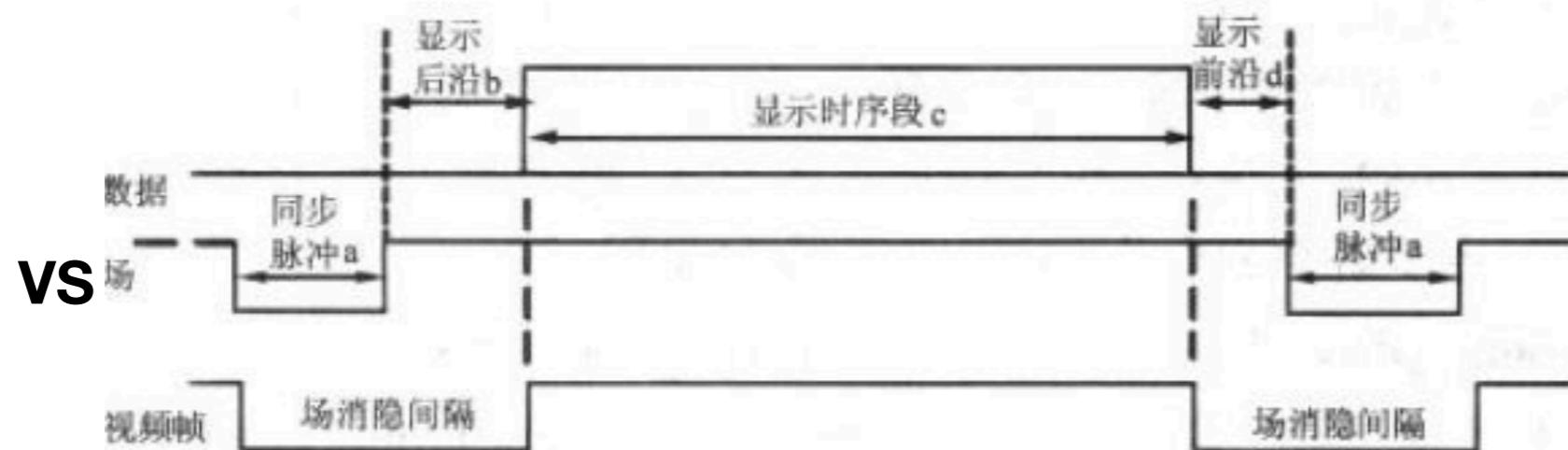
硬件差异

- RAM分为base和ext两组，互相独立，各有4MB，均为32位
- 注意开关的顺序和极性
- 串口有两种，可在控制面板选择
 - CPLD方式：信号与实验指导书一致，数据线与base RAM共享，波特率 9600，无校验位
 - 直连方式：txd/rxd直接与FPGA相连，需要自己实现串口控制器
- 图像输出VGA变为HDMI接口，有两点变化
 - FPGA必须输出与像素同步的时钟信号，和DE信号（参考工程模板）
 - 像素数据为8位，R:G:B=3:3:2

关于视频输出



CLK 行时序
VGA 的行时序



VGA 的场时序

FPGA工程说明

- 提供创建好的实验FPGA工程模板（Vivado 2017.1）
 - 器件型号选择和全部的引脚约束
 - 包含LED、开关、数码管、DVI图像输出的测试代码
 - FPGA内部实现串口控制器的参考设计

实验指导书对应

- 手动时钟 → touch_btn[4]
- RST → touch_btn[5]
- 50M CLK → clk_in
- L[n] → leds[15:0]
- DPY0 → leds[23:16], DPY1 → leds[31:24]
- SW[n] → dip_sw[n]
- RAM1 → base_ram
- RAM2 → ext_ram

注意事项

- 拿板子时请拿边缘，不要触碰元件，防止静电损坏元件
- 使用时应当避免板子形变，造成芯片脱焊
- 板子背面有裸露的焊盘，不要把板子放到导电物体上（如金属外壳）

Q&A