

Thiết kế mạch đo EEG cho ứng dụng nhận diện cảm xúc

EEG Measurement Circuit Design for Emotion Recognition Applications

Báo cáo hàng tuần – 21/01/2025

Phan Trường Giang - 2111103

Mục lục

1. Yêu cầu hệ thống	3
1.1. Name	3
1.2. Purposes	3
1.3. Input - Output	3
1.3.1. Input	3
1.3.2. Output	4
1.4. Use cases	4
1.4.1. Thu thập dữ liệu cho dataset về nhận diện cảm xúc	4
1.4.2. Chẩn đoán các chứng bệnh liên quan đến thần kinh	4
1.5. Functions	4
1.6. Performance	4
1.7. Power	5
1.8. Installation	5
1.9. Cost	6
2. Lựa chọn linh kiện	7
2.1. Cảm biến – điện cực	7
2.2. Khối lọc - khuếch đại	10
2.2.1. Cables Protection	11
2.2.2. Anti-polarization circuit	13
2.2.3. Instrumentation Amplifier	17

2.2.4.	High-Pass filter	18
2.2.5.	50Hz-Notch filter	20
2.2.6.	Low-Pass filter	22
2.2.7.	Post-Amplifier.....	24
2.2.8.	Reference Electrode	24
2.3.	Khối ADC.....	24
2.4.	Khối truyền dữ liệu.....	24
2.5.	Khối nguồn	24

1. Yêu cầu hệ thống

1.1. Name

- Tiếng Việt: Mạch đo EEG cho ứng dụng nhận diện cảm xúc.
- Tiếng Anh: EEG Measurement Circuit for Emotion Recognition Applications.

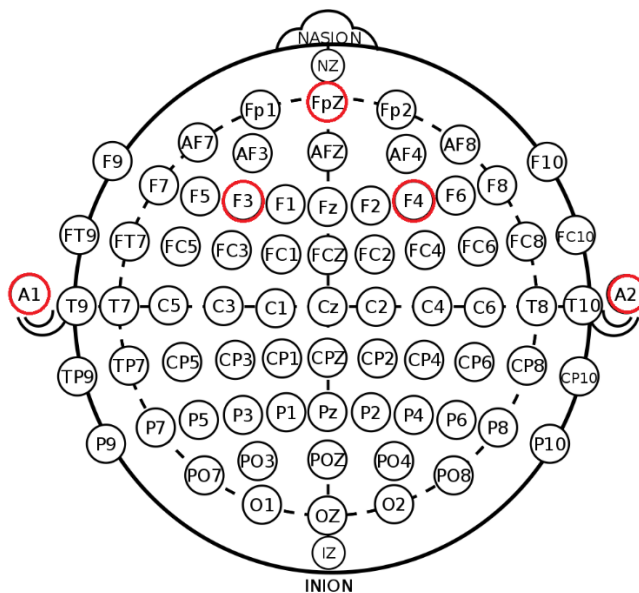
1.2. Purposes

- Thu thập tín hiệu EEG tại các vị trí phù hợp cho nhận diện cảm xúc.
- Thu thập dataset để training model nhận diện cảm xúc.

1.3. Input - Output

1.3.1. Input

- 5 điện cực ứng với các vị trí: F3, F4, Fpz, A2 lấy tín hiệu EEG.
- 1 điện cực tại A1 làm reference electrode.



Hình 1-1. Vị trí đặt các điện cực EEG (màu đỏ).

1.3.2. Output

- Tín hiệu EEG thu được qua bộ ADC thành tín hiệu số và truyền lên PC thông qua USB Type C.

1.4. Use cases

1.4.1. Thu thập dữ liệu cho dataset về nhận diện cảm xúc

- Cần kết hợp với các thiết bị khác, ví dụ như hình ảnh/ âm thanh kích thích cảm xúc của tình nguyện viên.
- Truyền các mẫu lên GUI trên PC. GUI này sẽ có các nhiệm vụ như visualize, label, lưu thành các file .txt hay .csv.

1.4.2. Chẩn đoán các chứng bệnh liên quan đến thần kinh

- Có thể sử dụng để chẩn đoán sơ bộ các chứng bệnh liên quan đến thần kinh, khó biểu hiện triệu chứng ra bên ngoài như ADHD.

1.5. Functions

- Ghi nhận tín hiệu EEG từ các vị trí F3, F4, Fpz với tham chiếu tại vị trí A1 và A2.

1.6. Performance

- **Điện cực:** không làm suy hao tín hiệu trong khoảng $0.5 - 70\text{Hz}$, nên là điện cực silver chloride. Trở kháng điện cực không quá $5K\Omega$.
- **Montage¹:** bipolar montage, có hai cặp cực đó là F3/F4, Fpz/A2 và A1 là điện cực tham chiếu cho các điện cực còn lại.

¹ EEG Montage là cấu hình của các điện cực đặt trên da đầu. Bao gồm có:

- **Bipolar Montage:** đo điện áp EEG vì sai giữa hai điện cực gần kề nhau.
- **Referential Montage:** chọn một điện cực làm tham chiếu để đo điện thế EEG trên các điện cực còn lại.
- **Laplacian Montage:** đo điện thế EEG tại một điểm trên da đầu bằng cách lấy trung bình có trọng số của các điện cực xung quanh.

- **Input impedance:** trở kháng ngõ vào của mạch phải lớn
- **Input range:** tầm đo của mạch phải lớn hơn tầm đo của tín hiệu EEG ($> 10 - 100\mu V$).
- **Filter:**
 - Bộ lọc thông cao có tần số cắt không lớn hơn $1Hz$, tức $f_{c-3dB} \leq 0.5Hz$.
 - Bộ lọc thông thấp có tần số cắt không nhỏ hơn $70Hz$, tức $f_{c-3dB} \geq 70Hz$.
 - Bộ lọc notch có tần số cắt tại $50Hz$ để giảm các interference từ điện lưới.
- **CMRR** tối thiểu phải $90dB$, $CMRR \geq 90dB$.
- **Độ lợi (Gain):** phải đảm bảo làm sao tín hiệu tại ngõ ra có biên độ $4 - 5V_{pp}$.
- I_d dòng điện chạy ngược về người dùng không được quá $10\mu A$.
- Phải có **Driven-right-leg** giữa mạch đo và cơ thể người dùng để giảm interference.
- **Tần số lấy mẫu:** lấy mẫu tín hiệu với tần số tối thiểu $500Hz$.
- ...

1.7. Power

- Nguồn cấp từ PC qua cổng **USB Type C**.

1.8. Installation

- Dán các điện cực vào các vị trí đã chỉ định ở Hình 1-1.
- Kết nối dây nối các điện cực và mạch.
- Kết nối dây USB Type C giữa mạch và PC.

1.9. Cost

- Chi phí dự kiến cho mạch đo: *2tr VND*.
- Chi phí dự kiến cho điện cực: *300 USD ~ 7tr7 VND*

Tiếp theo, cần lựa chọn các điện cực để thu thập tín hiệu EEG. Có nhiều loại điện cực cho EEG như điện cực khô, điện cực ướt, điện cực gel,... Trong trường hợp này, tiện lợi nhất là điện cực khô vì không cần phải làm sạch vị trí điện cực, thời gian setup nhanh, phù hợp cho mục đích học tập.

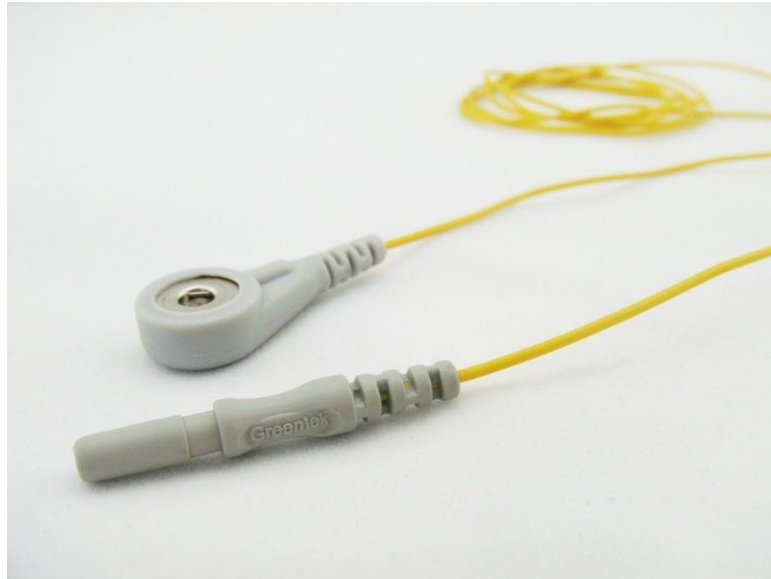


Hình 2-2. Điện cực EEG khô từ Greentek.

Các loại điện cực trên đều đồng giá 10 USD/1pcs được phân phối bởi [Wuhan Greentek Pty Ltd.](#) trên Alibaba và cần 3 điện cực cho 3 kênh F3, F4, Fpz. [Greentek Comb-shaped Polymer-based Dry Electrodes For High-quality And Comfortable Eeg Measurements - Buy Dry Electrodes eeg Measurements emg Electrodes Product on Alibaba.com.](#) Điện cực này có tiếp xúc AgCl và có trở kháng $R_{DC} \leq 500\Omega$.

Riêng vị trí A1, A2 có thể dùng điện cực gel với giá 115K VND/50pcs \approx 0.045 USD [Miếng dán điện cực tim NGƯỜI LỚN/ TRẺ EM ECG Electrodes - FARUM | Shopee Việt Nam](#) và cần 2 điện cực.

Cần thêm dây kết nối điện cực đến mạch đọc, các loại dây dẫn này có các chuẩn riêng. Dây dẫn phù hợp cho điện cực trên được gọi là snap cable.



Hình 2-3. Snap cable.

Snap cable có 1 đầu để gắn vào điện cực và đầu còn lại là kết nối chuẩn DIN42802 Touch Proof. Giá của dây này là 5 USD đến từ [Wuhan Greentek Pty Ltd.](#) trên Alibaba và cần 5 dây cho 5 kênh. [Greentek Reusable Tangle Free Snap Connection Lead Wire For Applying With Ecg Electrodes - Buy Snap Connection Lead Wire, Snap Ecg Electrodes, Ecg Electrodes Product on Alibaba.com](#)

Cuối cùng, cần socket để kết nối sợi dây này với mạch đo. Socket này cũng có chuẩn DIN42802 Touch Proof.



Hình 2-4. Socket DIN42802 3 pin cho PCB.

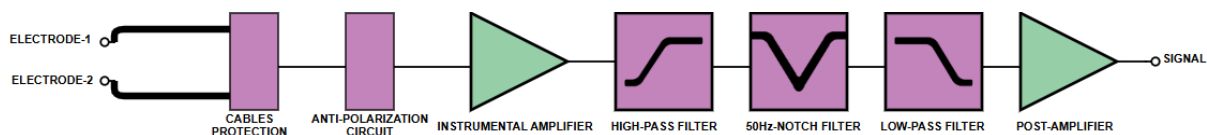
Socket này có giá 2.35 USD đến từ [Shenzhen Sinelink Electronics Co., Ltd.](#) trên Alibaba: [3 Pin Socket Female Socket For Pcb Eeg Emg Din42802 1.5 Mm Connector - Buy Eeg Connector Socket eeg 3 Pin Socket emg 3 Pin Socket 3 Pin Socket For Din42802 1.5mm Connector Product on Alibaba.com](#) và cần 5 socket cho 5 kênh.

Như vậy, tổng cộng chi phí cho cảm biến – điện cực là

$$100 + 10 \cdot 3 + (5 + 2.35) \cdot 5 + 4.51 = 171.26 \text{ USD} \approx 4,364,568.65 \text{ VND}$$

Vẫn đạt được yêu cầu hệ thống đã đề ra là 300 USD.

2.2. Khối lọc - khuếch đại



Hình 2-5. Sơ đồ khối xử lý tín hiệu EEG.

2.2.1. Cables Protection

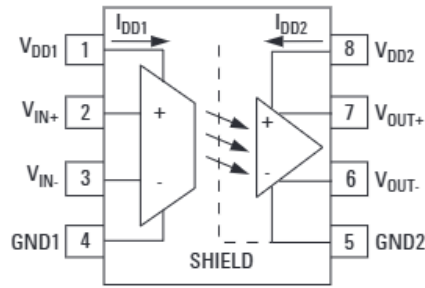
Trong quá trình đo tín hiệu y sinh từ cơ thể người, việc bảo vệ người dùng và thiết bị đo rất quan trọng. Mạch cables protection đóng vai trò cách ly giữa người dùng và thiết bị đo khỏi các tĩnh điện và các tác nhân khác từ môi trường, thậm chí là từ chính người dùng.

Trước hết, nhiệm vụ cách ly tín hiệu EEG rất phức tạp. Nếu IC cách ly không tốt sẽ làm méo dạng của tín hiệu, làm ảnh hưởng rất lớn đến việc đo đạc tín hiệu. Sau khi trải qua quá trình tìm kiếm và lọc IC, Isolation Amplifier [HCPL-7800A](#) được chọn vì những tiêu chí sau:

- Đáp ứng các yêu cầu cách ly của thiết bị y tế, như tiêu chuẩn **IEC 60601-1**², và mức cách ly điện áp lên đến 3750 Vrms (theo tiêu chuẩn UL1577).³
- Input range nhỏ (tối đa $\pm 200mV$, tầm đo của tín hiệu EEG chỉ nằm trong $10 - 100\mu V$).
- Non-linearity thấp (tối đa 0.35% với thang $\pm 200mV$ và 0.2% với thang $\pm 100mV$).
- Gain vừa đủ ($G = 8$) cho tầng tiếp theo là Instrumental Amplifier (ngõ vào cho tầng kế tiếp sẽ nằm trong khoảng $80 - 800\mu V$).

² **UL1577** tập trung vào khả năng cách ly của linh kiện, đảm bảo rằng các IC này an toàn khi tích hợp vào mạch.

³ **IEC 60601-1** là tiêu chuẩn toàn diện cho thiết bị y tế, bao gồm cả các yêu cầu về cách ly, EMC, và bảo vệ người dùng.

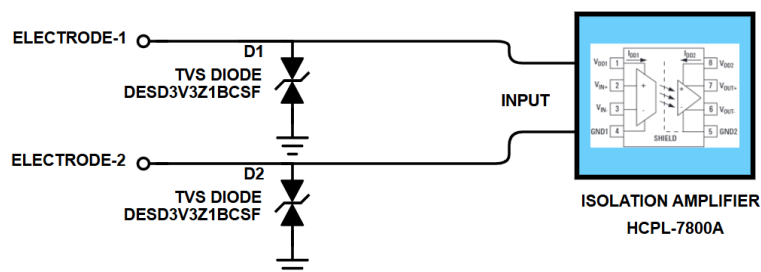


Hình 2-6. HCPL-7800A Block Diagram.

Tuy nhiên, nhược điểm của HCPL-7800A là không tích hợp bảo vệ ESD. Do đó, ta cần bổ sung thêm các linh kiện chống ESD ở phía ngõ vào của HCPL-7800A, đơn giản nhất là dùng TVS diode. [DESD3V3Z1BCSF](#) là một diode bảo vệ ESD đáp ứng tốt các yêu cầu bảo vệ mà không làm ảnh hưởng đến tín hiệu EEG. Diode này hoàn toàn phù hợp bởi các thông số sau:

- **Breakdown Voltage** $V_{BR(max)} = 5V$ vẫn nằm nhỏ hơn Input Range max của HCPL-7800 ($-6V \leq V_{in+}, V_{in-} \leq 6V$).
- **Channel Input Capacitance** thấp $C_{in-max} = 0.25pF@V_R = 0V, 1MHz$, thông số này ảnh hưởng trực tiếp đến dạng tín hiệu EEG (nếu C_{in} quá to, có thể làm méo dạng tín hiệu EEG).
- **Clamping Voltage** vừa phải $V_{CL} = 4.5V@I_{pp} = 3A, t_p = 100ns$, nhỏ hơn Input Range max của HCPL-7800.

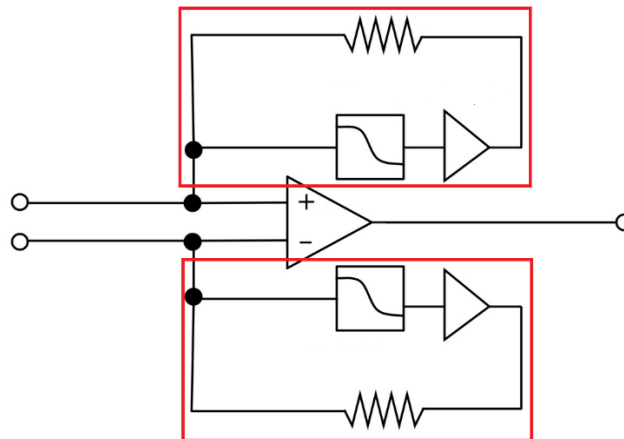
Tổng quát, phần Cables Protection sẽ có sơ đồ nguyên lý như hình Hình 2-7.



Hình 2-7. Sơ đồ khối phần Cables Protection.

2.2.2. Anti-polarization circuit

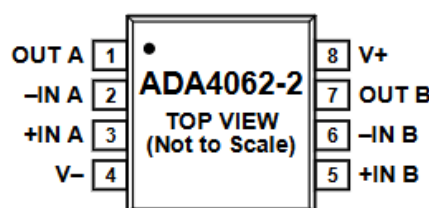
Trong quá trình đo, giao tiếp điện cực – da có thể xuất hiện thêm offset DC, yếu tố này sẽ ảnh hưởng ở đầu vào Instrumental Amplifier. Mạch Anti-polarization giúp giảm thiểu hậu quả của hiện tượng này (Hình 2-8).



Hình 2-8. Sơ đồ khối Anti-polarization circuit (màu đỏ).

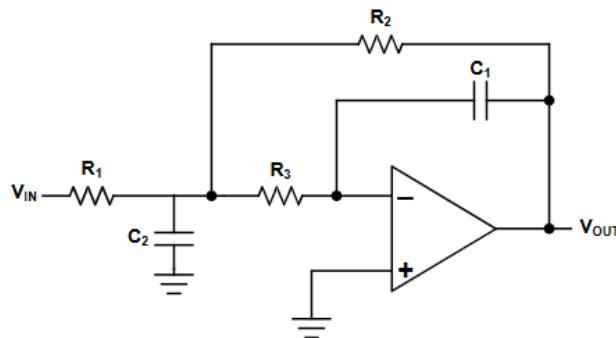
Mục tiêu của mạch này là cố gắng cho mức offset DC ở mỗi điện cực ổn định tại một giá trị bằng cách cung cấp một negative feedback với độ lợi có giá trị âm lớn. Mặt khác, mức offset DC ở 2 điện cực có thể không bằng nhau, dẫn đến hiện tượng Polarization, đây là mục đích chính của mạch này. Nhìn chung, mạch này có nguyên lý gần giống như mạch Driven-right-leg, chỉ là khác đối tượng (với Driven-right-leg là V_{CM}). Do đó, tần số cắt của bộ lọc thông thấp phải sát với tần số DC, thường có giá trị $0.05 - 1Hz$.

OPAMP được dùng trong mạch này là [ADA4062-2](#) với đặc điểm nổi bật là **Input Offset Voltage:** $V_{OS-max} = 1.5mV$, **Open Loop Gain:** $A_{VOL} = 83B$.



Hình 2-9. Sơ đồ khối MAX4238.

Thay vì ghép bộ Low-Pass Filter ở ngõ vào của bộ khuếch đại có độ lợi âm lớn, có thể dùng Active Low-Pass Filter để có thể tối ưu được thiết kế, chú ý bộ lọc này phải có độ lợi âm. Vì vậy, cấu hình Low-Pass MFB được dùng trong trường hợp này. Cấu hình bộ lọc như Hình 2-10. Ngoài ra, cấu hình này cho đáp ứng tần số tốt hơn cấu hình Sallen-Key.



Hình 2-10. Bộ lọc Low-pas MFB.

Trước hết, cần phải xác định các yêu cầu của bộ lọc trước khi thiết kế:

- Tần số cắt: $f_c \leq 0.07Hz$.
- Hệ số phẩm chất: $Q = 0.7$
- Độ lợi dải thông: $G_{BP} \geq 40dB$.
- Đáp ứng pha ở dải thông phải là 180° .

Từ [Active Low-Pass Filter Design](#), thông số của bộ lọc Low-Pass MFB (Hình 2-10) như sau

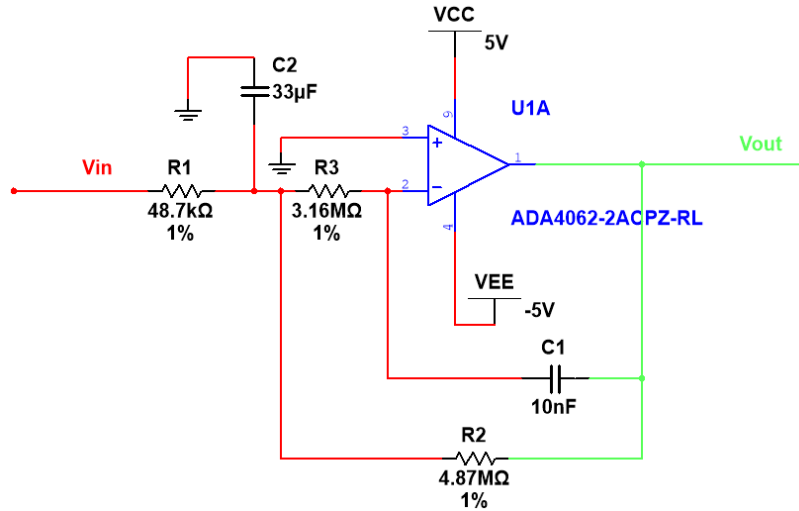
$$H(\omega) = \frac{\frac{-R_2}{R_1}}{-\omega^2(R_2R_3C_1C_2) + j\omega\left(R_2C_1 + R_2C_1 + \frac{R_2R_3C_1}{R_1}\right) + 1}$$

$$K = \frac{-R_2}{R_1}$$

$$FSF \times f_c = \frac{1}{2\pi\sqrt{R_2R_3C_1C_2}}$$

$$Q = \frac{\sqrt{R_2R_3C_1C_2}}{R_3C_1 + R_2C_1 + R_3C_1(-K)}$$

Với bộ lọc Butterworth bậc hai, giá trị $FSF = 1$, $Q = 0.7071$ và chọn $G = -100V/V$, ta tính được các giá trị R và C như Hình 2-11. Sau đó, cần khảo sát đáp ứng tần số của bộ lọc đã thiết kế (Hình 2-12).



Hình 2-11. Bộ lọc Low-Pass MFB bậc hai với tần số cắt $f_c = 0.07Hz$ và hệ số phẩm chất $Q = 0.7071$.

Bởi vì các giá trị linh kiện để được đúng có yêu cầu đặt ra đều không tồn tại trong thực tế, các giá trị linh kiện được chọn gần với giá trị tính toán nhất, do đó sẽ có sự sai lệch về giá trị K , Q và f_c , cụ thể như sau:

$$K = \frac{-R_2}{R_1} = -\frac{4.87M}{48.7k} = -100$$

$$Q = \frac{\sqrt{R_2 R_3 C_1 C_2}}{R_3 C_1 + R_2 C_1 + R_3 C_1 (-K)}$$

$$= \frac{\sqrt{4.87M \cdot 3.16M \cdot 10n \cdot 33\mu}}{3.16M \cdot 10n + 4.87M \cdot 10n + 3.16M \cdot 10n \cdot [-(-100)]}$$

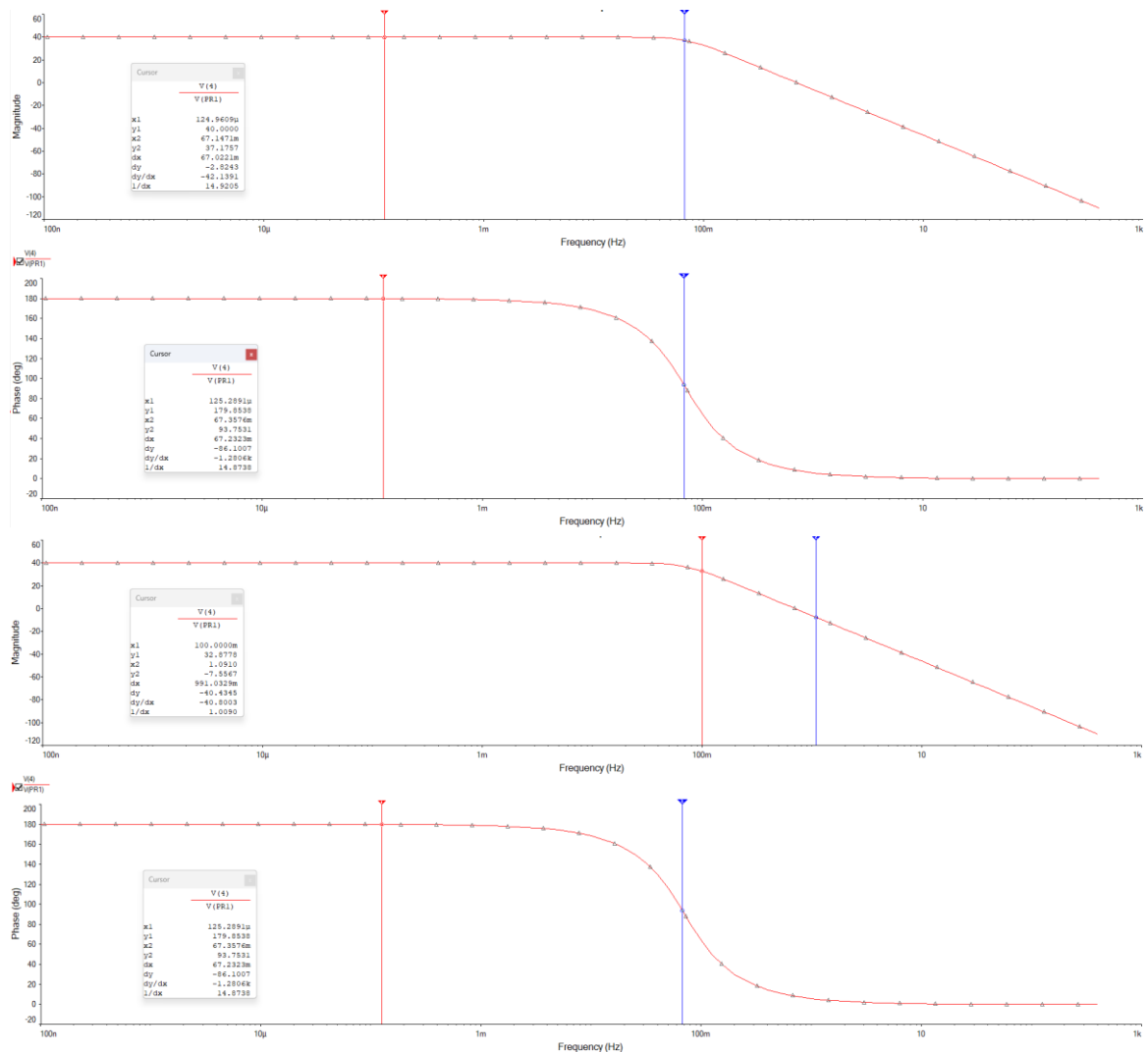
$$= 0.695$$

$$f_c = \frac{1}{2\pi \sqrt{4.87M \cdot 3.16M \cdot 33\mu \cdot 10n}} = 0.07Hz$$

Giá trị $Q < 0.695$ ở bộ lọc Butterworth bậc hai có thể làm đáp ứng tần số tại f_c của bộ lọc bớt dốc hơn nhưng vẫn nằm trong khoảng chấp nhận được. Ngoài ra, trong thiết kế Active filter cũng cần quan tâm tới thông số Slew Rate SR .

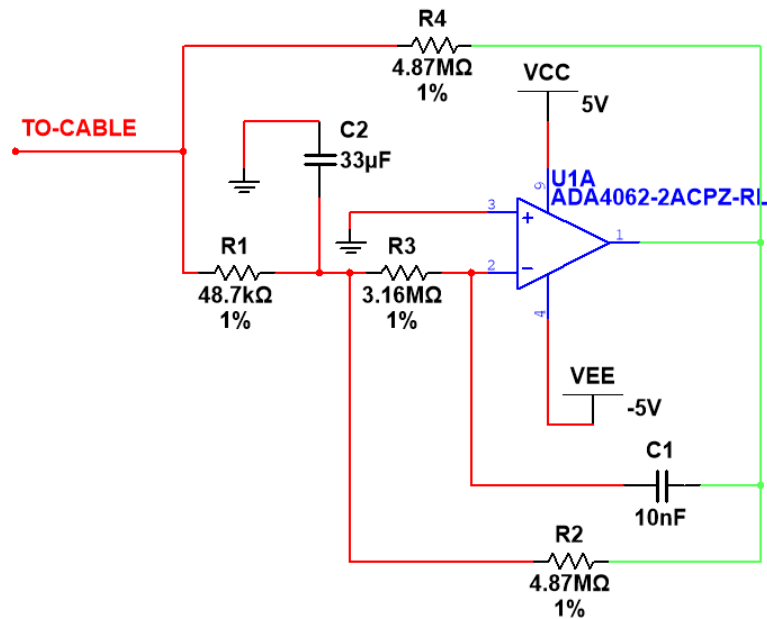
$$V_{o(pp)} = \frac{SR}{2\pi \cdot f_c}$$

Điều này đồng nghĩa với SR càng lớn thì mạch ổn định được mức offset DC càng nhanh.



Hình 2-12. Đáp ứng tần số của bộ lọc Low-Pass MFB.

Từ Hình 2-12, ta thấy $f_{C-3dB} = 0.07Hz$, độ dốc $-40dB/dec$, độ lợi dải thông $G_{BP} = 40dB$, đáp ứng pha tại dải thông là 180° , không sai lệch nhiều so với tính toán ban đầu.

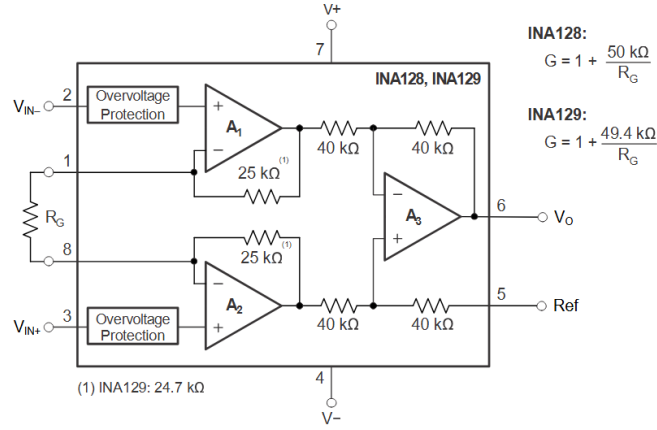


Hình 2-13. Sơ đồ mạch Anti-polarization.

2.2.3. Instrumentation Amplifier

Biên độ của tín hiệu EEG thu được từ các điện cực nằm ở hàng μV , đặc biệt là nhiễu common-mode, interference từ điện lưới,.... Do đó cần chọn Instrumentation Amplifier (IA) có CMRR cao ($CMRR_{min} = 100dB$) và độ lợi lớn ($G_{min} = 1000$). Từ tiêu chí đó, IA [INA128](#) (Hình 2-14) được chọn bởi các thông số sau:

- $G_{max} = 10000$.
- $CMRR_{min} = 110dB @ G = 1000$.
- Ngoài ra, $BW_{-3dB} = 20kHz @ G = 1000$ và $SR = 1.2V/\mu s @ G = 5$ phù hợp để thực hiện các mạch lọc.



Hình 2-14. Sơ đồ khối INA128.

2.2.4. High-Pass filter

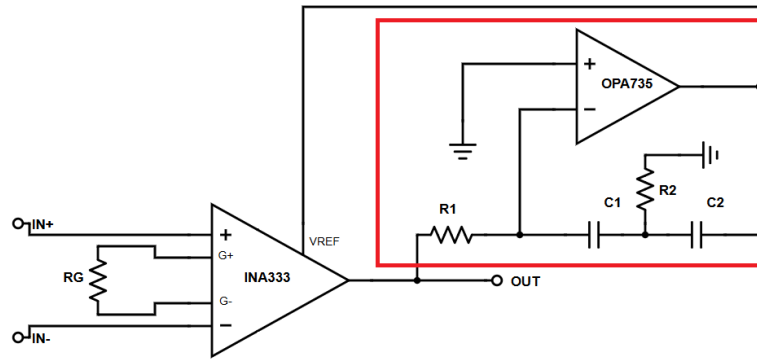
Bởi vì tần số tín hiệu EEG nằm trong khoảng $0.5 - 70\text{Hz}$ nên ta cần có bộ lọc thông cao để lọc bỏ đi các thành phần tần số thấp hơn 0.5Hz . Ngoài ra bộ lọc này còn lọc đi các offset DC sinh ra bởi các OPAMP ở tầng trước.

Ta có thể dùng chân V_{ref} của INA128 và mạch tích phân đóng vai trò như một mạch lọc thông cao (Hình 2-15). Hàm truyền của mạch tích phân này như sau:

$$H_{int}(s) = -\frac{\frac{Z_{C1} \cdot Z_{C2}}{R_2} + Z_{C1} + Z_{C2}}{R_1} = -\frac{1 + sR_2(C_1 + C_2)}{s^2 R_1 R_2 C_1 C_2}$$

Như vậy,

$$\begin{aligned} V_{out} &= G \cdot V_{in} + V_{ref} = G \cdot V_{in} + H_{int}(s) \cdot V_{out} = G \cdot V_{in} \cdot \frac{1}{1 - H_{int}(s)} \\ &= G \cdot V_{in} \cdot \frac{s^2}{s^2 + s \frac{(C_1 + C_2)}{R_1 C_1 C_2} + \frac{1}{R_1 R_2 C_1 C_2}} \end{aligned}$$

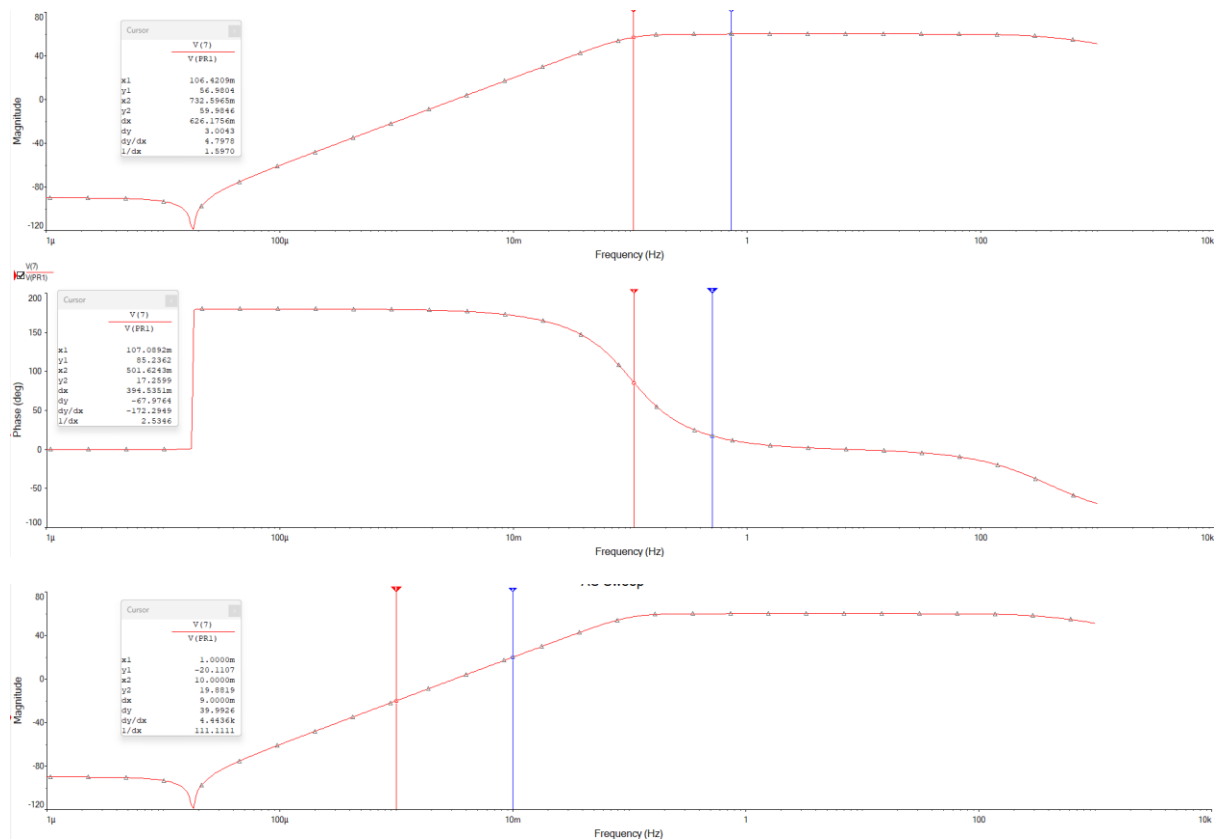


Hình 2-15. Cấu hình mạch lọc thông cao với feedback về V_{ref} là mạch tích phân có cấu hình T-network (khoanh màu đỏ).

Từ phương trình của V_{out} , ta có thể thấy mạch tích phân đóng vai trò như mạch lọc thông cao bậc 2 với $f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$ và $Q = \frac{R_1 C_1 C_2}{(C_1 + C_2) \cdot \sqrt{R_1 R_2 C_1 C_2}}$.

Mặc dù tín hiệu EEG có tần số từ $0.5 - 70\text{Hz}$, nhưng tần số cắt của bộ lọc thông cao cần phải thấp hơn 0.5Hz để đảm bảo rằng các thành phần tần số ở 0.5Hz không bị sai lệch như suy hao, trễ/ sớm pha. Vậy nên, chọn tần số cắt cho mạch lọc thông cao này là $f_c = 0.05\text{Hz}$ và $Q = 0.7$. Sau khi tính toán, các thông số được chọn các giá trị sau:

$$R_1 = 138\text{k}\Omega, R_2 = 54.9\text{k}\Omega, C_1 = 33\mu\text{F}, C_2 = 33\mu\text{F}$$



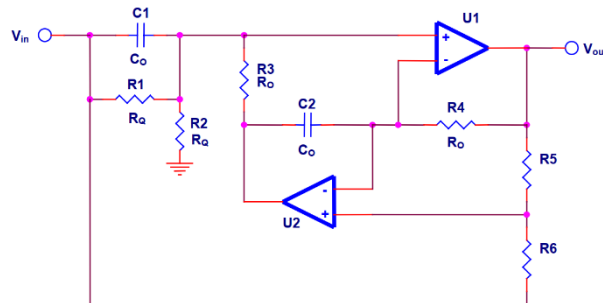
Harmonic	Frequency	Magnitude	Phase	Norm. Mag	Norm. Phase
0	0	0.0138886	0	2.97854	0
1	0.25	0.0046629	-32.677	1	0
2	0.5	0.995963	17.2529	213.593	49.9295
3	0.75	0.000758831	-27.355	0.162738	5.32154
4	1	0.00051333	-21.648	0.110088	11.0287
5	1.25	0.000388238	-17.113	0.0832612	15.564
6	1.5	0.000312927	-13.504	0.0671099	19.1725
7	1.75	0.000262636	-10.555	0.0563245	22.1212
8	2	0.000226603	-8.0843	0.048597	24.5923
9	2.25	0.000199481	-5.9581	0.0427804	26.7185

2.2.5. 50Hz-Notch filter

Hệ thống dùng nguồn thông USB Type C nên rất bị ảnh hưởng bởi nhiễu từ điện lưới với tần số 50Hz (tại Việt Nam). Cấu hình Notch filter được ưu chuộng sử dụng là Twin-T Notch filter vì tính đơn giản. Tuy nhiên, cấu hình này có một số hạn chế như sau:

- Cần nhiều linh kiện có sai số nhỏ để có thể đạt được tần số notch (cụ thể là 3 điện trở và 3 tụ điện). Nếu mismatch giữa các linh kiện xảy ra, có thể làm lệch tần số notch và sai lệch đáp ứng pha.
- Đòi hỏi giá trị R lớn để đạt được Q lớn.

Vì vậy, ta cần lựa chọn một cấu hình khác có hiệu suất tốt hơn, cụ thể là cấu hình Fliege Notch Filter với khả năng triệt tần số và đáp ứng pha tốt hơn.



Hình 2-16. Cấu hình Fliege Notch Filter.

Ưu điểm nổi bật của cấu hình này là đáp ứng tần số rất tốt, chỉ cần 4 linh kiện để quyết định tần số notch (R_0 và C_0), nhưng cấu hình này có độ phức tạp cao hơn và cần đến hai linh kiện tích cực (OPAMP). Hàm truyền của bộ lọc này như sau:

$$H(s) = \frac{s^2 R_0^2 R_Q R_6 C_0 + s R_0^2 (R_6 - R_5) C_0 + R_Q R_5}{s^2 R_0^2 R_Q R_6 C_0 + s R_0^2 (R_5 + R_6) C_0 + R_Q R_5}$$

Nếu cho $R_5 = R_6 = R_0$, ta có:

$$H(s) = \frac{s^2 R_0^3 R_Q C_0^2 + R_Q R_0}{s^2 R_0^3 R_Q C_0^2 + 2s R_0^3 C_0 + R_Q R_0} = \frac{s^2 + \frac{1}{R_0^2 C_0^2}}{s^2 + s \frac{2}{R_Q C_0} + \frac{1}{R_0^2 C_0^2}}$$

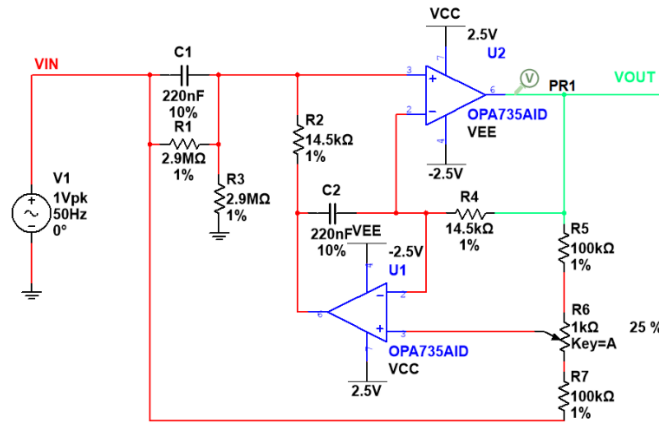
Từ đó, ta xác định được tần số notch và Q của bộ lọc:

$$f_c = \frac{1}{2\pi R_0 C_0}$$

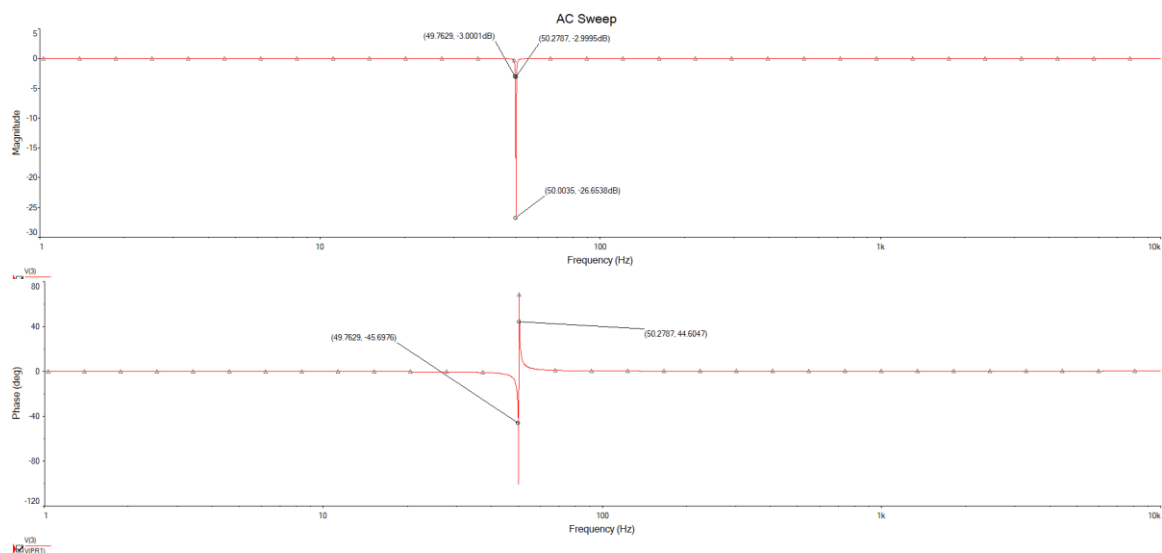
$$Q = \frac{\frac{1}{R_0 C_0}}{\frac{2}{R_Q C_0}} = \frac{R_Q}{2R_0}$$

Với điều kiện $R_5 = R_6 = R_0$.

Tần số notch mạch thiết kế cần đạt được là $50Hz$ tại $Q = 100$, ta được các giá trị linh kiện như Hình 2-17. Nhận thấy, sai số của linh kiện có ảnh hưởng đến tần số notch, do đó, ta lắp thêm biến trở $1k\Omega$ để có thể dễ điều chỉnh. Sau khi tinh chỉnh biến trở, đáp ứng tần số của bộ lọc đáp ứng như kỳ vọng, với tần số notch đạt được ở $f_c = 50.0035Hz$ và đáp ứng pha ở trước và sau tần số notch gần bằng 0.



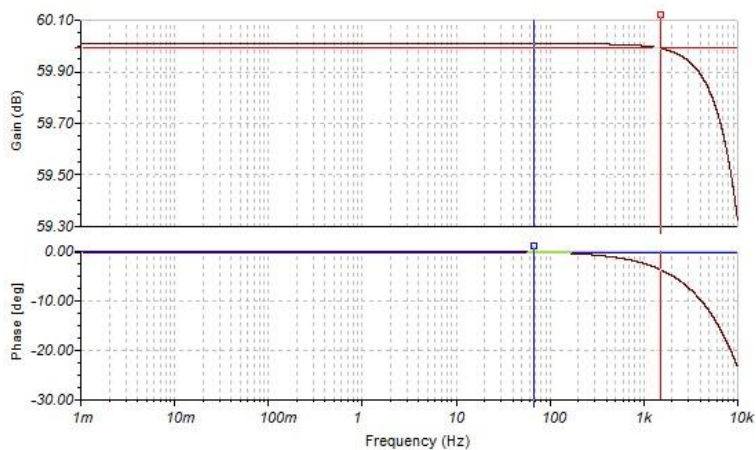
Hình 2-17. Giá trị các linh kiện trong bộ lọc Fliege Notch.



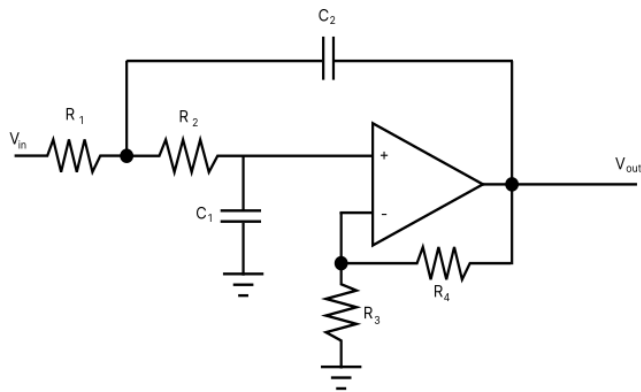
Hình 2-18. Đáp ứng biên độ và đáp ứng pha của bộ lọc Fliege Notch đã thiết kế.

2.2.6. Low-Pass filter

Trước hết, từ đáp ứng tần số của INA128, ta nhận thấy tín hiệu bắt đầu có xu hướng trễ pha từ tần số $f = 200\text{Hz}$ (Hình 2-19). Do đó, ta cần lựa chọn tần số cắt cho bộ lọc thông thấp hợp lý để tín hiệu ở tần số gần 70Hz không bị trễ pha quá nhiều (tối đa 10°). Cấu hình cho bộ lọc thông thấp này đó là Sallen-Key bởi vì cấu hình này có $G > 0$ và đây còn là bộ lọc bậc hai (Hình 2-20).

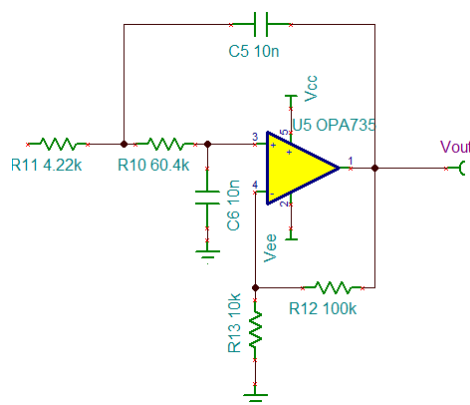


Hình 2-19. Đáp ứng tần số của INA128 với $G=1000$.

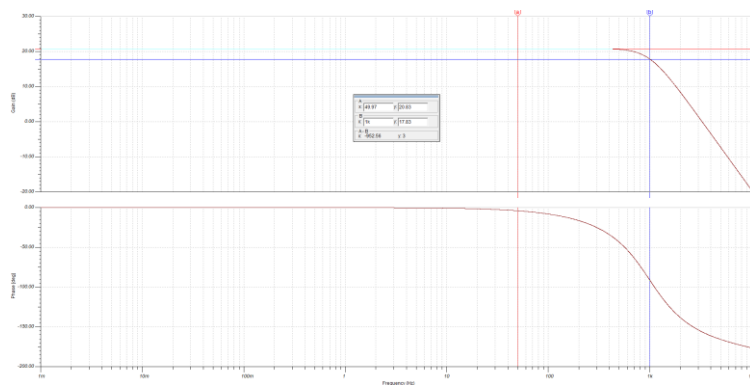


Hình 2-20. Sallen-Key Low-Pass Filter.

Sau qua trình lựa chọn tần số f_c và Q và G , cặp giá trị f_c và Q mà bộ lọc có đáp ứng pha thỏa mãn điều kiện nhất đó là $f_c = 1kHz$ và $Q = 0.7$ và $G = 101V/V$ (Hình 2-22) cùng với các giá trị linh kiện như Hình 2-21.

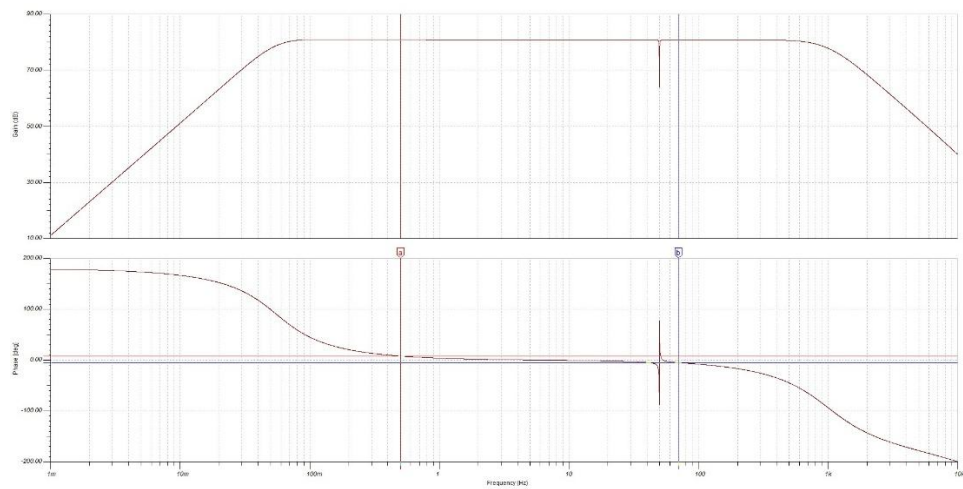


Hình 2-21. Thông số chi tiết bộ lọc thông thấp Sallen-Key.



Hình 2-22. Đáp ứng tần số của bộ lọc thông thấp Sallen-Key đã thiết kế.

2.2.7. Post-Amplifier



Hình 2-23. Đáp ứng tần số toàn mạch khi kết nối các khối ở trên.

2.2.8. Reference Electrode

2.3. Khối ADC

2.4. Khối truyền dữ liệu

2.5. Khối nguồn