

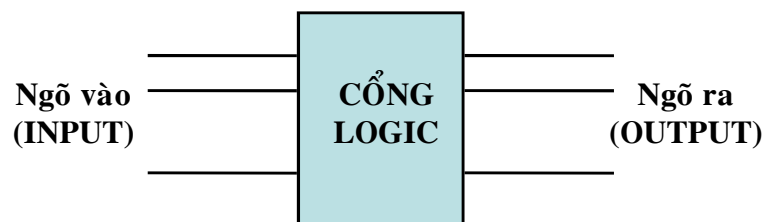
Chương 3: HỆ TỔ HỢP

I. Giới thiệu – Cách thiết kế hệ tổ hợp:

Mạch logic được chia làm 2 loại:

- Hệ tổ hợp (Combinational Circuit)
- Hệ tuần tự (Sequential Circuit).

Hệ tổ hợp là mạch mà các ngõ ra chỉ phụ thuộc vào giá trị của các ngõ vào. Mọi sự thay đổi của ngõ vào sẽ làm ngõ ra thay đổi theo.



1

* Các bước thiết kế:

- Phát biểu bài toán.
- Xác định số biến ngõ vào và số biến ngõ ra.
- Thành lập bảng giá trị chỉ rõ mối quan hệ giữa ngõ vào và ngõ ra.

<i>Ngõ vào</i>				<i>Ngõ ra</i>			
X_{n-1}	...	X_1	X_0	Y_{m-1}	...	Y_1	Y_0
0	...	0	0				
1	...	1	1				

- Tìm biểu thức rút gọn của từng ngõ ra phụ thuộc vào các biến ngõ vào.
- Thực hiện sơ đồ logic.

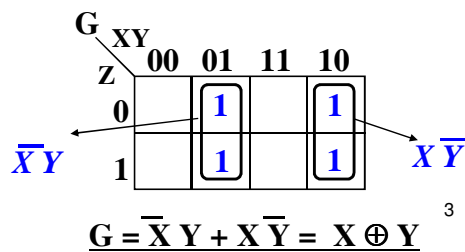
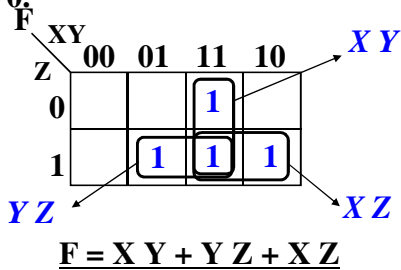
2

Vd: Thiết kế hệ tổ hợp có 3 ngõ vào X, Y, Z; và 2 ngõ ra F, G.

- Ngõ ra F là 1 nếu như 3 ngõ vào có số bit 1 nhiều hơn số bit 0; ngược lại F = 0.

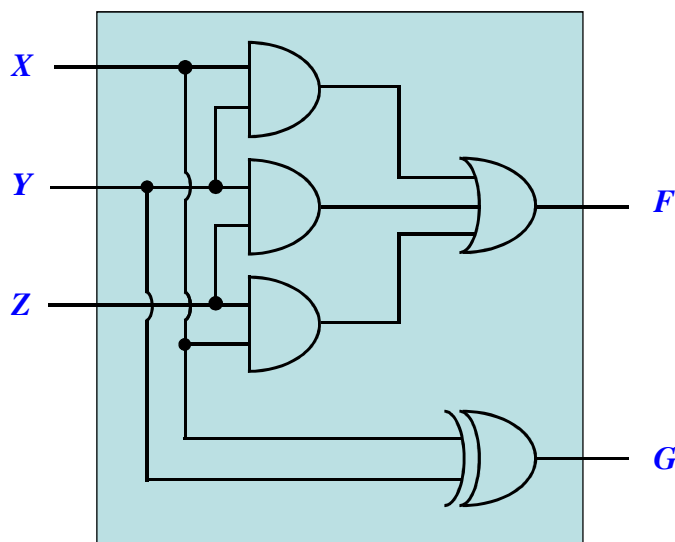
- Ngõ ra G là 1 nếu như giá trị nhị phân của 3 ngõ vào lớn hơn 1 và nhỏ hơn 6; ngược lại G = 0.

X	Y	Z	F	G
0	0	0	0	0
0	0	1	0	0
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	0



$$F = XY + YZ + XZ$$

$$G = \bar{X}Y + X\bar{Y} = X \oplus Y$$



Trường hợp hệ tổ hợp không sử dụng tất cả 2^n tổ hợp của ngõ vào, thì tại các tổ hợp không sử dụng đó ngõ ra có giá trị tùy định.

Vd: Thiết kế hệ tổ hợp có ngõ vào biểu diễn cho 1 số mã BCD. Nếu giá trị ngõ vào nhỏ hơn 3 thì ngõ ra có giá trị bằng bình phương giá trị ngõ vào; ngược lại giá trị ngõ ra bằng giá trị ngõ vào trừ đi 3.

$$F_2 = A + BCD + \bar{B}C\bar{D}$$

$$F_1 = AD + B\bar{C}D + BC\bar{D}$$

$$F_0 = A\bar{D} + B\bar{D} + \bar{A}\bar{B}\bar{C}D$$

A	B	C	D	F_2	F_1	F_0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	1	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	1	0	1
1	0	0	1	1	1	0
1	0	1	0	X	X	X
1	0	1	1	X	X	X
1	1	0	0	X	X	X
1	1	0	1	X	X	X
1	1	1	0	X	X	X
1	1	1	1	X	X	X

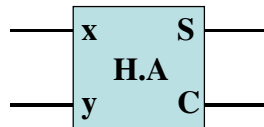
5

II. Bộ công - trừ nhị phân:

1. Bộ cộng (Adder):

a. Bộ cộng bán phần (Half Adder – H.A):

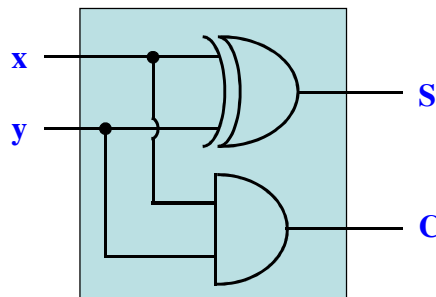
Bộ cộng bán phần là hệ tổ hợp có nhiệm vụ thực hiện phép cộng số học $x + y$ (x, y là 2 bit nhị phân ngõ vào); hệ có 2 ngõ ra: bit tổng S (Sum) và bit nhớ C (Carry).



x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

$$S = \bar{x}y + x\bar{y} = x \oplus y$$

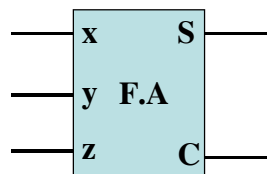
$$C = xy$$



6

b. Bộ cộng toàn phần (Full Adder – F.A):

Bộ cộng toàn phần thực hiện phép cộng số học 3 bit $x + y + z$ (z biểu diễn cho bit nhớ từ vị trí có trọng số nhỏ hơn gởi tới)



x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

S	xy	00	01	11	10
z	0		1		1
1		1		1	

$$S = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$

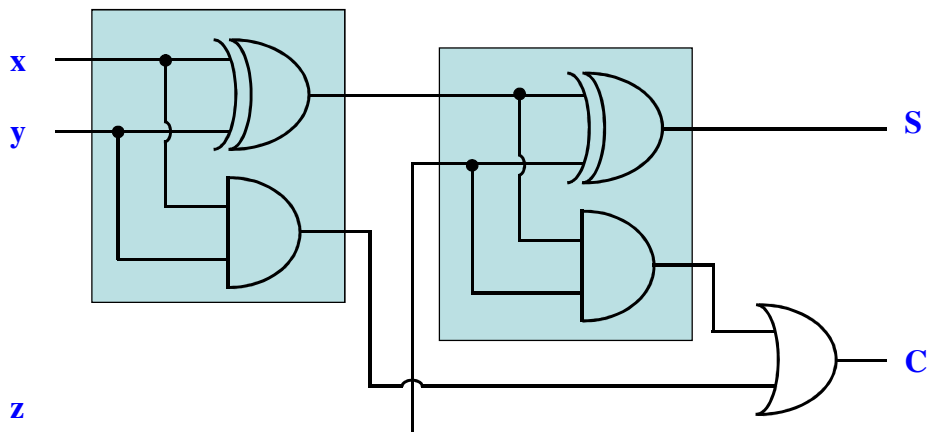
C	xy	00	01	11	10
z	0			1	
1			1	1	1

$$C = xy + xz + yz$$

7

$$\begin{aligned}
 S &= \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz \\
 &= \bar{z}(\bar{x}y + x\bar{y}) + z(\bar{x}\bar{y} + xy) \\
 &= \bar{z}(x \oplus y) + z(\overline{x \oplus y}) \\
 \underline{S} &= z \oplus (x \oplus y)
 \end{aligned}$$

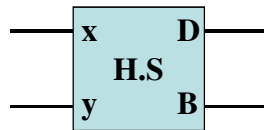
$$\begin{aligned}
 C &= xy + xz + yz \\
 &= xy + x\bar{y}z + xy\bar{z} + \bar{x}yz \\
 &= xy(I + z) + z(\bar{x}y + x\bar{y}) \\
 \underline{C} &= xy + z(x \oplus y)
 \end{aligned}$$



8

2. Bộ trừ (Subtractor):**a. Bộ trừ bán phần (Half Subtractor – H.S):**

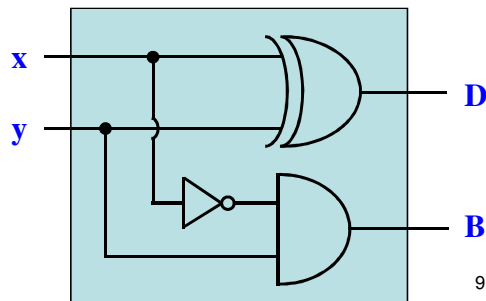
Bộ trừ bán phần có nhiệm vụ thực hiện phép trừ số học $x - y$ (x, y là 2 bit nhị phân ngõ vào); hệ có 2 ngõ ra: bit hiệu D (Difference) và bit mượn B (Borrow).



x	y	B	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

$$D = \bar{x}y + x\bar{y} = x \oplus y$$

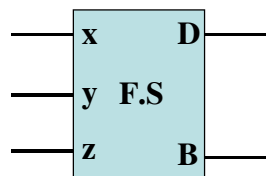
$$B = \bar{x}y$$



9

b. Bộ trừ toàn phần (Full Subtractor – F.S):

Bộ trừ toàn phần thực hiện phép trừ số học 3 bit $x - y - z$ (z biểu diễn cho bit mượn từ vị trí có trọng số nhỏ hơn)



x	y	z	B	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

		xy			
		00	01	11	10
z	0		1		1
	1	1		1	

$$S = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$

$$S = z \oplus (x \oplus y)$$

		xy			
		00	01	11	10
z	0		1		
	1	1	1	1	

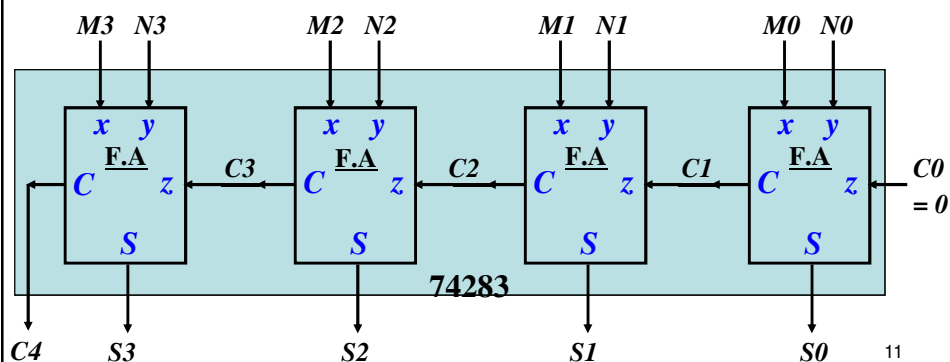
$$C = \bar{x}y + \bar{x}z + yz$$

$$C = \bar{x}y + z(x \oplus y)$$

10

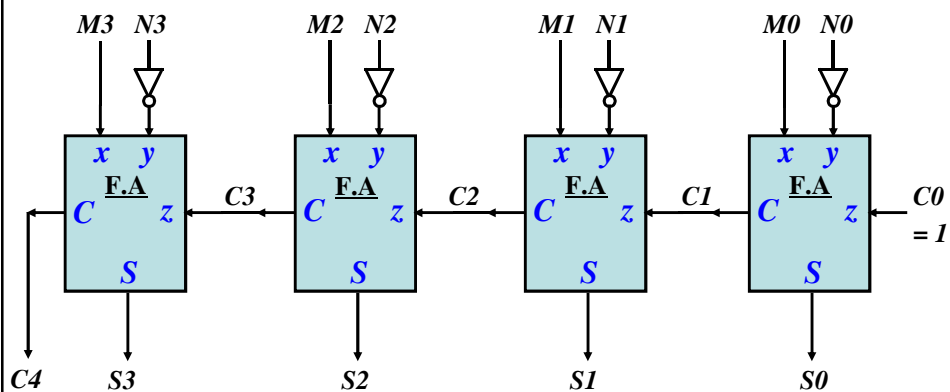
3. Bộ cộng/trừ nhị phân song song:**a. Bộ cộng nhị phân:**

$$\begin{array}{r}
 \quad \quad \quad C3 \quad C2 \quad C1 \\
 M: \quad \quad M3 \quad M2 \quad M1 \quad M0 \\
 + \quad \quad N: \quad \quad N3 \quad N2 \quad N1 \quad N0 \\
 \hline
 \quad \quad C4 \quad S3 \quad S2 \quad S1 \quad S0
 \end{array}$$

**b. Bộ trừ nhị phân:**

- Sử dụng các bộ trừ toàn phần F.S
- Thực hiện bằng phép cộng với bù 2 của số trừ

$$M - N = M + \text{Bù}_2(N) = M + \text{Bù}_1(N) + 1$$



Kết quả: - $C4 = 1$ kết quả là số dương
 - $C4 = 0$ kết quả là số âm

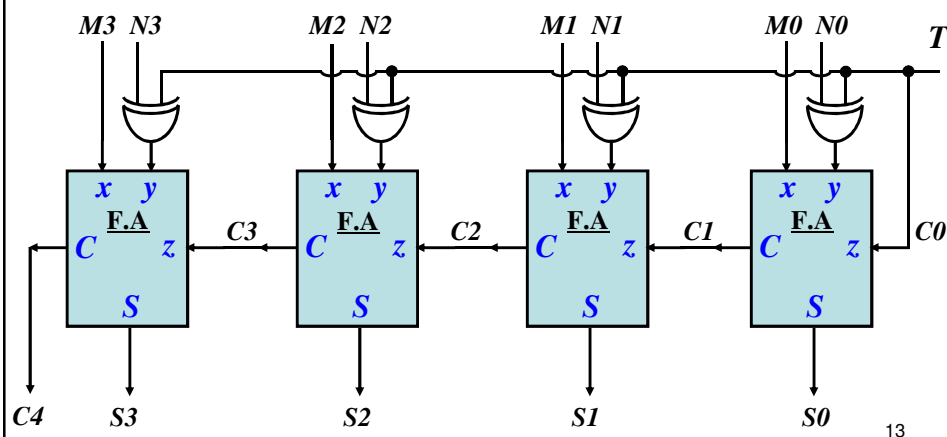
c. Bộ cộng/trừ nhị phân:

Phép toán	C_0	y_i
CỘNG	0	N_i
TRỪ	1	$\overline{N_i}$

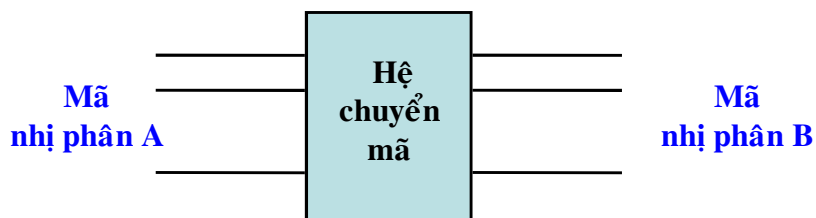
Ngõ vào điều khiển $T = 0$: Cộng $T = 1$: Trừ

$$C_0 = T$$

$$y_i = T \oplus N_i$$

**III. Hệ chuyển mã (Code Conversion):**

- Hệ chuyển mã là hệ tổ hợp có nhiệm vụ làm cho 2 hệ thống tương thích với nhau, mặc dù mỗi hệ thống dùng mã nhị phân khác nhau.



- Hệ chuyển mã có ngõ vào cung cấp các tổ hợp mã nhị phân A và các ngõ ra tạo ra các tổ hợp mã nhị phân B. Như vậy, ngõ vào và ngõ ra phải có số lượng từ mã bằng nhau.

14

Vd: Thiết kế hệ chuyển mã từ mã BCD thành mã BCD quá 3.

A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	X	X	X	X
1	0	1	1	X	X	X	X
1	1	0	0	X	X	X	X
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X

$$W = A + B(C + D)$$

$$X = B \oplus (C + D)$$

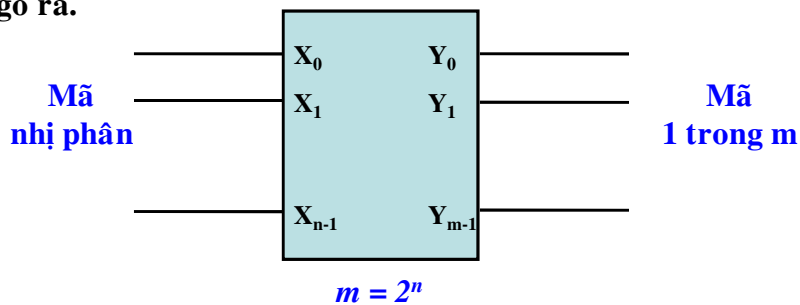
$$Y = \overline{C \oplus D}$$

$$Z = \overline{D}$$

IV. Bộ giải mã (DECODER):

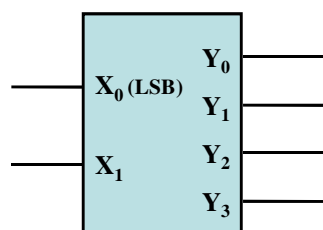
1. Giới thiệu:

- Bộ giải mã là hệ chuyển mã có nhiệm vụ chuyển từ mã nhị phân cơ bản n bit ở ngõ vào thành mã nhị phân 1 trong m ở ngõ ra.



- Với giá trị i của tổ hợp nhị phân ở ngõ vào, thì ngõ ra Y_i sẽ tích cực và các ngõ ra còn lại sẽ không tích cực.

- Có 2 dạng: ngõ ra tích cực cao (mức 1) và ngõ ra tích cực thấp (mức 0).

a. Bộ giải mã ngõ ra tích cực cao:

X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

$$Y_0 = \overline{X_1} \overline{X_0} = m_0$$

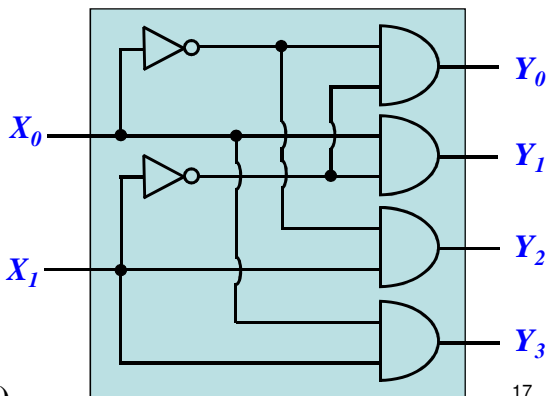
$$Y_1 = \overline{X_1} X_0 = m_1$$

$$Y_2 = X_1 \overline{X_0} = m_2$$

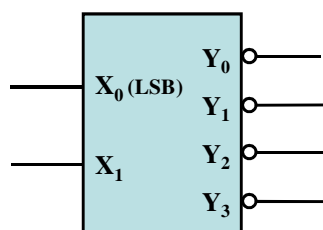
$$Y_3 = X_1 X_0 = m_3$$

Ngõ ra: $Y_i = m_i$

($i = 0, 1, \dots, 2^n-1$)



17

b. Bộ giải mã ngõ ra tích cực thấp:

X_1	X_0	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

$$Y_0 = X_1 + X_0 = M_0 = \overline{m_0}$$

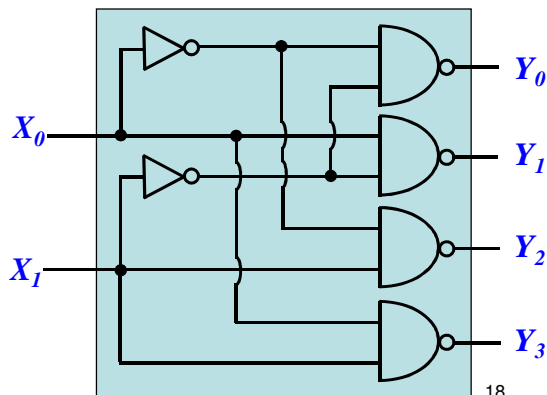
$$Y_1 = X_1 + \overline{X_0} = M_1 = \overline{m_1}$$

$$Y_2 = \overline{X_1} + X_0 = M_2 = \overline{m_2}$$

$$Y_3 = \overline{X_1} + \overline{X_0} = M_3 = \overline{m_3}$$

Ngõ ra: $Y_i = M_i$

($i = 0, 1, \dots, 2^n-1$)

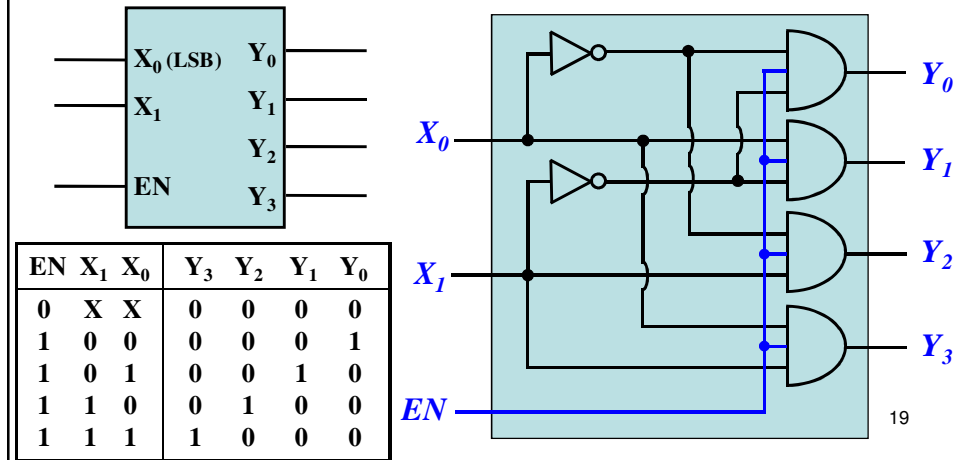


18

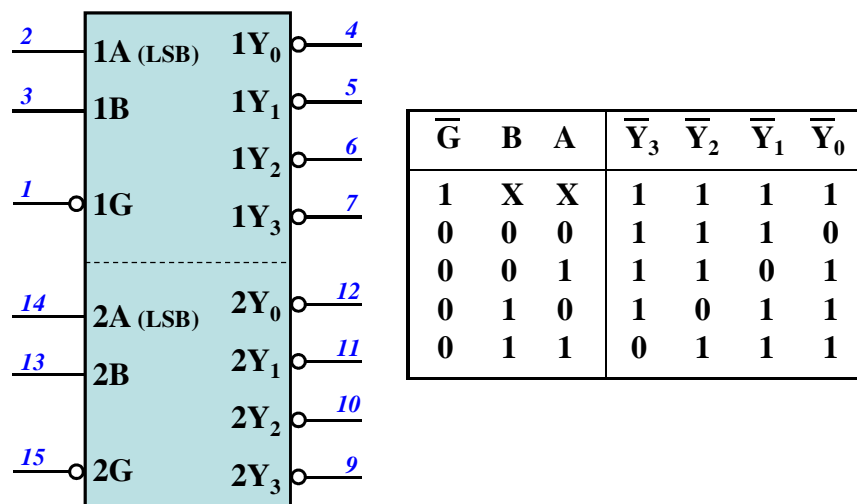
c. Bộ giải mã có ngõ vào cho phép:

- Ngoài các ngõ vào dữ liệu, bộ giải mã có thể có 1 hay nhiều ngõ vào cho phép.

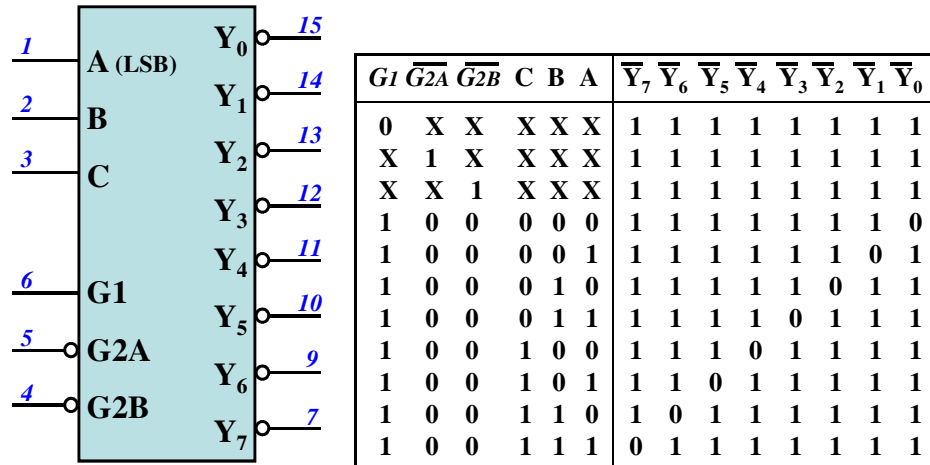
- Khi các ngõ vào cho phép ở trạng thái tích cực thì mạch giải mã mới được hoạt động. Ngược lại, mạch giải mã sẽ không hoạt động; khi đó các ngõ ra đều ở trạng thái không tích cực.

**2. IC giải mã:**

a. IC 74139: gồm 2 bộ giải mã 2 sang 4 ngõ ra tích cực thấp



20

b. IC 74138: bộ giải mã 3 sang 8 ngõ ra tích cực thấp

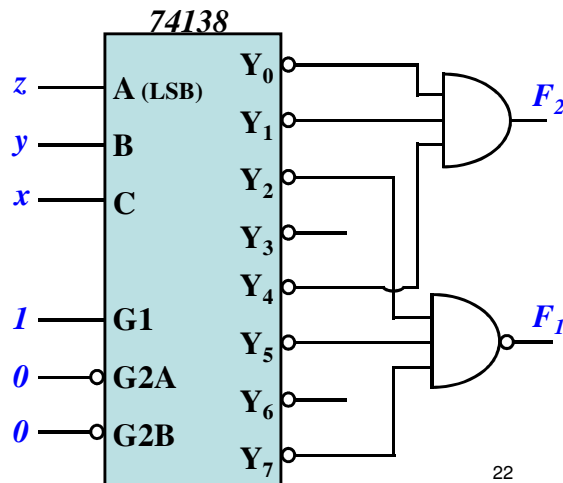
21

3. Sử dụng bộ giải mã thực hiện hàm Boole:

Ngõ ra của bộ giải mã là minterm (ngõ ra tích cực cao) hoặc maxterm (ngõ ra tích cực thấp) của n biến ngõ vào. Do đó, ta có thể sử dụng bộ giải mã thực hiện hàm Boole theo dạng chính tắc.

$$\begin{aligned}
 F1(x, y, z) &= \sum(2, 5, 7) \\
 &= m_2 + m_5 + m_7 \\
 &= \overline{m}_2 + \overline{m}_5 + \overline{m}_7 \\
 &= \overline{M_2 M_5 M_7}
 \end{aligned}$$

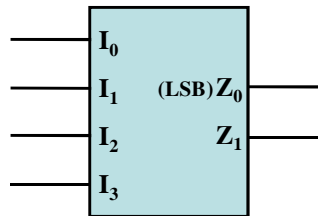
$$\begin{aligned}
 F2(x, y, z) &= \prod(0, 1, 4) \\
 &= M_0 M_1 M_4
 \end{aligned}$$



22

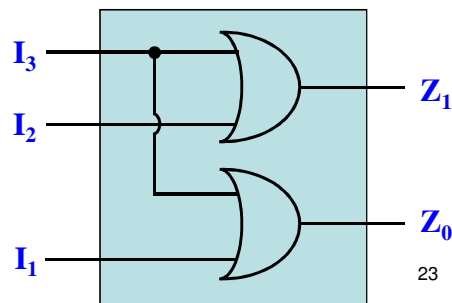
V. Bộ mã hóa (ENCODER):**1. Giới thiệu:**

- Encoder là hệ chuyển mã thực hiện hoạt động ngược lại với decoder. Nghĩa là encoder có m ngõ vào theo mã nhị phân 1 trong m và n ngõ ra theo mã nhị phân cơ bản (với $m \leq 2^n$).
- Với ngõ vào I_i được tích cực thì ngõ ra chính là tổ hợp giá trị nhị phân i tương ứng.



I_3	I_2	I_1	I_0	Z_1	Z_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

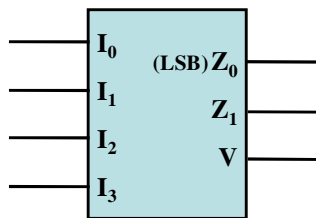
$$\begin{aligned} Z_1 &= I_3 + I_2 \\ Z_0 &= I_3 + I_1 \end{aligned}$$



23

*** Bộ mã hóa có ưu tiên (Priority Encoder):**

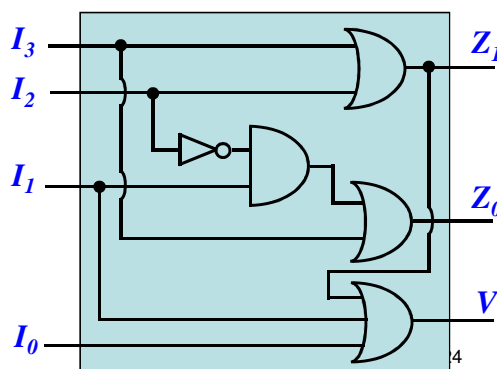
Bộ mã hóa có ưu tiên là mạch mã hóa sao cho nếu có nhiều hơn 1 ngõ vào cùng tích cực thì ngõ ra sẽ là giá trị nhị phân của ngõ vào có ưu tiên cao nhất.



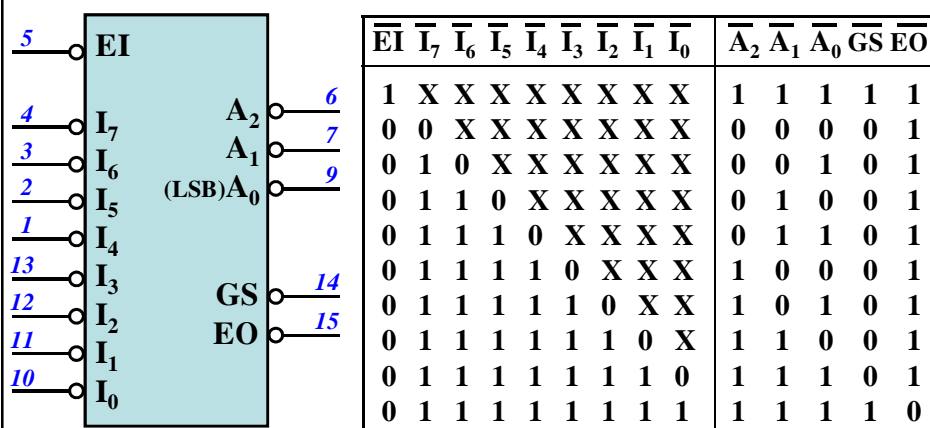
I_3	I_2	I_1	I_0	Z_1	Z_0	V
0	0	0	0	X	X	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

Thứ tự ưu tiên: $I_3 > I_2 > I_1 > I_0$

$$\begin{aligned} Z_1 &= I_3 + I_2 \\ Z_0 &= I_3 + \overline{I_2} I_1 \\ V &= I_3 + I_2 + I_1 + I_0 \end{aligned}$$



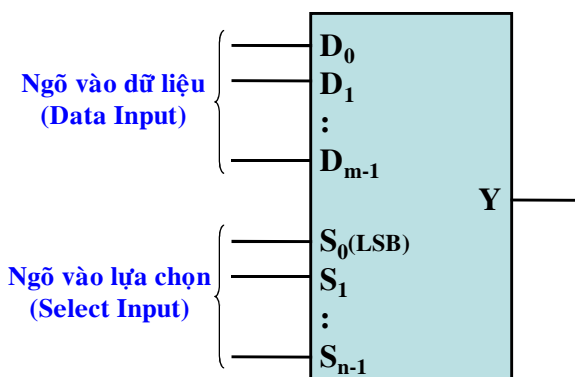
4

2. IC mã hóa ưu tiên 8 → 3 (74148):

25

VI. Bộ dồn kênh (Multiplexer - MUX):**1. Giới thiệu:**

- MUX $2^n \rightarrow 1$ là hệ tổ hợp có nhiều ngõ vào nhưng chỉ có 1 ngõ ra. Ngõ vào gồm 2 nhóm: m ngõ vào dữ liệu (data input) và n ngõ vào lựa chọn (select input).



- Với 1 giá trị i của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu D_i sẽ được chọn đưa đến ngõ ra. ($m = 2^n$)

26

*** Bộ MUX 4 → 1:**

$$Y = \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3$$

$$= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3$$

$$= \sum m_i D_i \quad (i = 0, 1, 2, 3)$$

S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Tổng quát: $Y = \sum m_i D_i$ (với $i = 0, 1, \dots, 2^n - 1$)

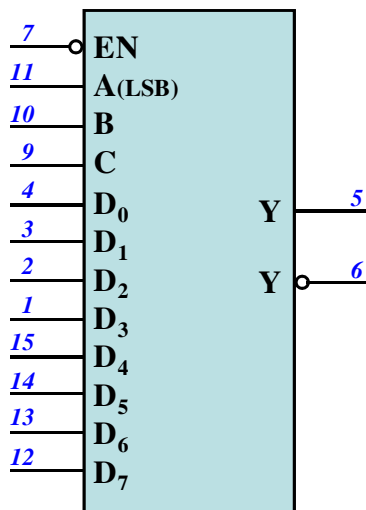
27

2. IC dồn kênh:

a. 74LS153: gồm 2 bộ MUX 4 → 1

\bar{G}	B	A	Y
1	X	X	0
0	0	0	C_0
0	0	1	C_1
0	1	0	C_2
0	1	1	C_3

28

b. 74151: bộ MUX 8 → 1

$\overline{\text{EN}}$	C	B	A	Y
1	X	X	X	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

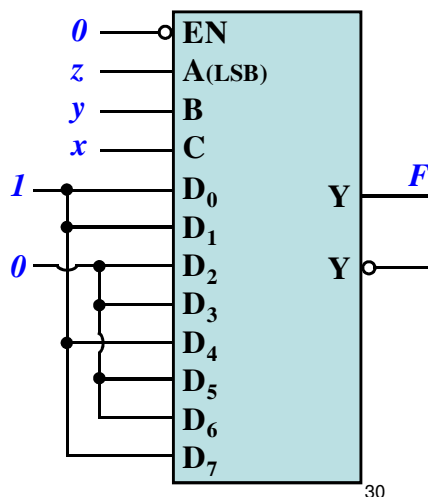
29

3. Sử dụng bộ MUX thực hiện hàm Boole:**a. Bộ MUX 2ⁿ thực hiện hàm Boole n biến:**

$$\begin{aligned}
 F(x, y, z) &= \sum(0, 1, 4, 7) \\
 &= m_0 + m_1 + m_4 + m_7 \\
 &= m_0 1 + m_1 1 + m_2 0 + m_3 0 \\
 &\quad + m_4 1 + m_5 0 + m_6 0 + m_7 1
 \end{aligned}$$

$$\begin{aligned}
 Y &= \sum m_i D_i \\
 &= m_0 D_0 + m_1 D_1 + m_2 D_2 + m_3 D_3 \\
 &\quad + m_4 D_4 + m_5 D_5 + m_6 D_6 + m_7 D_7
 \end{aligned}$$

$$\Rightarrow \begin{aligned}
 D_0 &= D_1 = D_4 = D_7 = 1 \\
 D_2 &= D_3 = D_5 = D_6 = 0
 \end{aligned}$$



30

b. Bộ MUX 2ⁿ thực hiện hàm Boole n+1 biến:

$$F(x, y, z) = \Sigma(0, 1, 4, 7)$$

$$\begin{aligned} &= \bar{x}\bar{y}\bar{z} + \bar{x}\bar{y}z + x\bar{y}\bar{z} + x\bar{y}z \\ &= \bar{x}\bar{y}.1 + \bar{x}\bar{y}.0 + x\bar{y}.\bar{z} + x\bar{y}.z \\ &= m_0.1 + m_1.0 + m_2.\bar{z} + m_3.z \end{aligned}$$

$$Y = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3$$

$$\Rightarrow D_0 = 1; D_1 = 0; D_2 = \bar{z}; D_3 = z$$

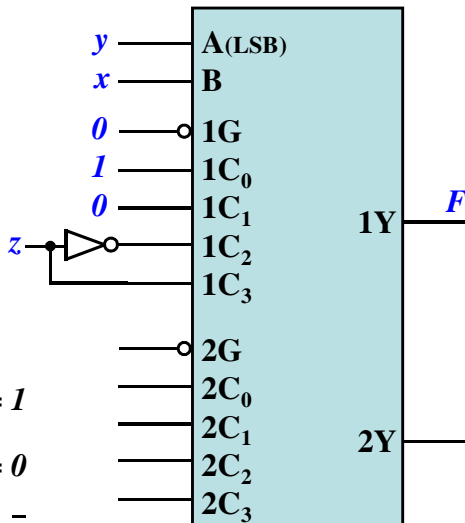
x	y	z	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

$$D_0 = 1$$

$$D_1 = 0$$

$$D_2 = \bar{z}$$

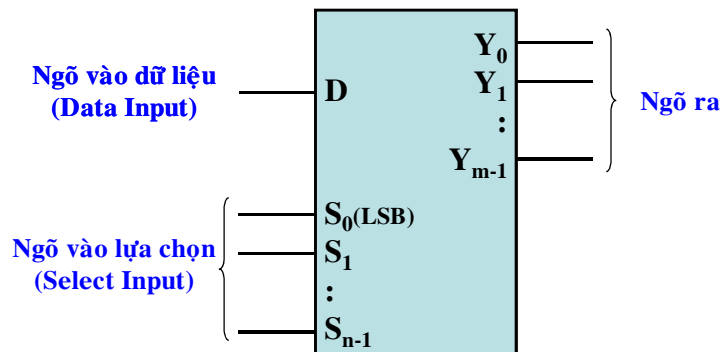
$$D_3 = z$$



31

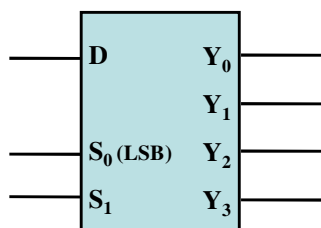
VII. Bộ phân kênh (DEMUX):**1. Giới thiệu:**

- Bộ DEMUX 1→2ⁿ có chức năng thực hiện hoạt động ngược lại với bộ MUX. Mạch có 1 ngõ vào dữ liệu, n ngõ vào lựa chọn và 2ⁿ ngõ ra.



- Với 1 giá trị *i* của tổ hợp nhị phân các ngõ vào lựa chọn, ngõ vào dữ liệu *D* sẽ được đưa đến ngõ ra *Y_i*.

32

*** Bộ DEMUX 1 → 4:**

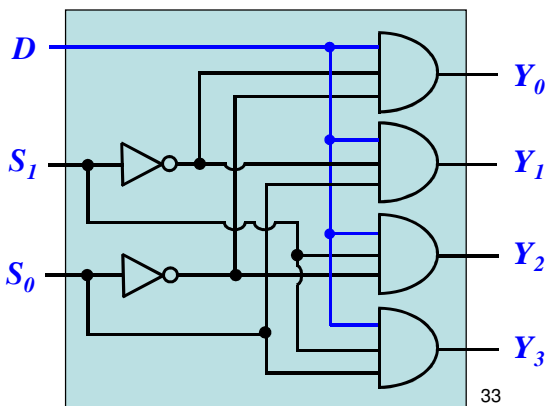
S_1	S_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

$$Y_0 = \overline{S_1} \overline{S_0} D = m_0 D$$

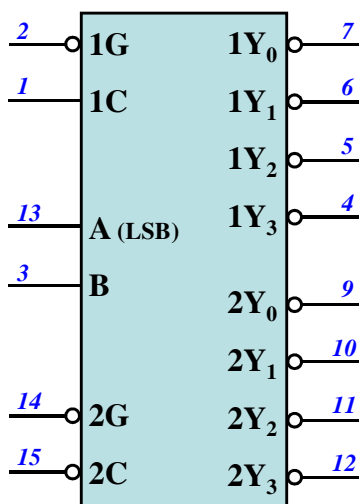
$$Y_1 = \overline{S_1} S_0 D = m_1 D$$

$$Y_2 = S_1 \overline{S_0} D = m_2 D$$

$$Y_3 = S_1 S_0 D = m_3 D$$



33

2. IC phân kênh 74LS155: gồm 2 bộ phân kênh 1 → 4

B	A	$\overline{1G}$	$1C$	$\overline{1Y_0}$	$\overline{1Y_1}$	$\overline{1Y_2}$	$\overline{1Y_3}$
X	X	1	X	1	1	1	1
X	X	X	0	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1
1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	0

B	A	$\overline{2G}$	$\overline{2C}$	$\overline{2Y_0}$	$\overline{2Y_1}$	$\overline{2Y_2}$	$\overline{2Y_3}$
X	X	1	X	1	1	1	1
X	X	X	1	1	1	1	1
0	0	0	0	0	1	1	1
0	1	0	0	1	0	1	1
1	0	0	0	1	1	0	1
1	1	0	0	1	1	1	0

34

VIII. Bộ so sánh độ lớn (Comparator):**1. Giới thiệu:**

- Bộ so sánh là hệ tổ hợp có nhiệm vụ so sánh 2 số nhị phân không dấu A và B (mỗi số n bit).
- Bộ so sánh có 3 ngõ ra (A>B), (A=B) và (A<B); chỉ có 1 ngõ ra tích cực theo kết quả so sánh.

*** Bộ so sánh 3 bit:**A: $A_2 A_1 A_0$ B: $B_2 B_1 B_0$

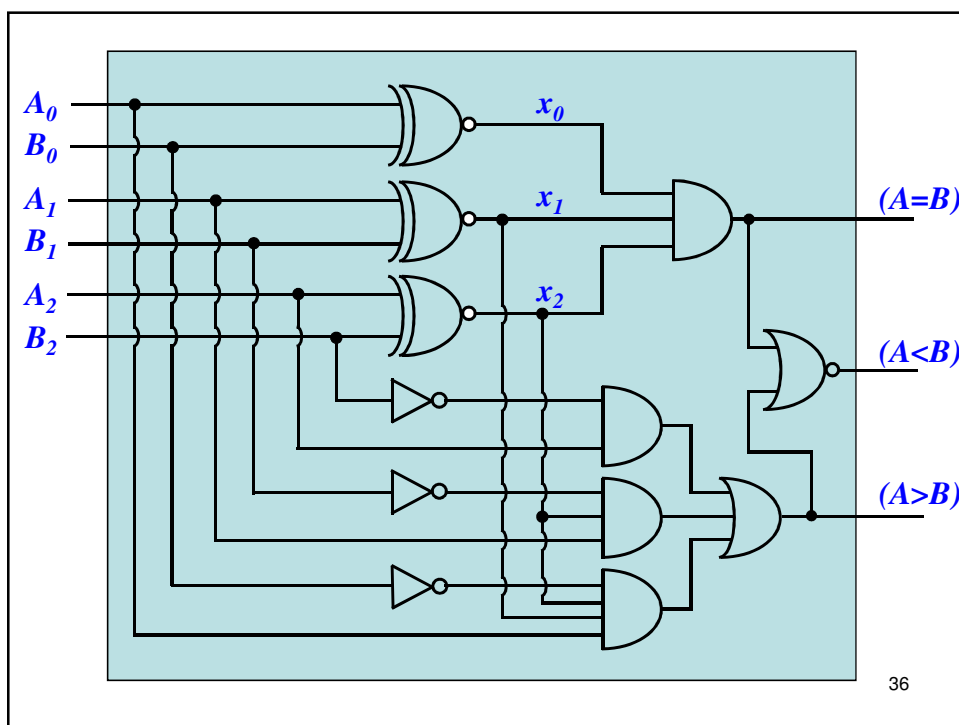
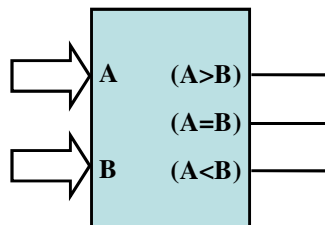
Sử dụng biến trung gian:

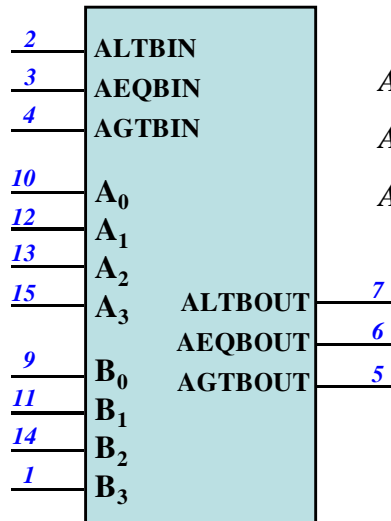
$$x_i = \overline{A_i} \oplus B_i \quad (i = 0, 1, 2)$$

$$(A = B) = x_2 x_1 x_0$$

$$(A > B) = A_2 \overline{B_2} + x_2 A_1 \overline{B_1} + x_2 x_1 A_0 \overline{B_0}$$

$$(A < B) = \overline{A_2} B_2 + x_2 \overline{A_1} B_1 + x_2 x_1 \overline{A_0} B_0 = \overline{(A=B) + (A>B)}$$



2. IC so sánh 74LS85:

$$AGTBOUT = (A > B) + (A = B)AGTBIN$$

$$AEQBOUT = (A = B) AEQBIN$$

$$ALTBOU = (A < B) + (A = B)ALTBIN$$

37