

## CHƯƠNG 3 CỔNG LOGIC

### ❖ CÁC KHÁI NIỆM LIÊN QUAN

### ❖ CỔNG LOGIC CƠ BẢN

### ❖ THÔNG SỐ KỸ THUẬT

#### ❖ Họ TTL

- ❖ Cổng cơ bản
- ❖ Các kiểu ngõ ra

#### ❖ Họ MOS

- ❖ NMOS
- ❖ CMOS

#### ❖ GIAO TIẾP GIỮA CÁC HỌ IC SỐ

- ❖ TTL thúc CMOS
- ❖ CMOS thúc TTL

---

Cổng logic là tên gọi chung của các mạch điện tử có chức năng thực hiện các hàm logic. Cổng logic có thể được chế tạo bằng các công nghệ khác nhau (Lưỡng cực, MOS), có thể được tổ hợp bằng các linh kiện rời nhưng thường được chế tạo bởi công nghệ tích hợp IC (Integrated circuit).

Chương này giới thiệu các loại cổng cơ bản, các họ IC số, các tính năng kỹ thuật và sự giao tiếp giữa chúng.

## 3.1 CÁC KHÁI NIỆM LIÊN QUAN

### 3.1.1 Tín hiệu tương tự và tín hiệu số

Tín hiệu tương tự là tín hiệu có biên độ biến thiên liên tục theo thời gian. Nó thường do các hiện tượng tự nhiên sinh ra. Thí dụ, tín hiệu đặc trưng cho tiếng nói là tổng hợp của các tín hiệu hình sin trong dải tần số thấp với các họa tần khác nhau.

Tín hiệu số là tín hiệu có dạng xung, gián đoạn về thời gian và biên độ chỉ có 2 mức rõ rệt: mức cao và mức thấp. Tín hiệu số chỉ được phát sinh bởi những mạch điện thích hợp. Để có tín hiệu số người ta phải số hóa tín hiệu tương tự bằng các mạch biến đổi tương tự sang số (ADC)

### 3.1.2 Mạch tương tự và mạch số

Mạch điện tử xử lý các tín hiệu tương tự được gọi là mạch tương tự và mạch xử lý tín hiệu số được gọi là mạch số.

Một cách tổng quát, mạch số có nhiều ưu điểm so với mạch tương tự:

- Dễ thiết kế và phân tích. Vận hành của các cổng logic dựa trên tính chất dẫn điện (bảo hòa) hoặc ngưng dẫn của transistor. Việc phân tích và thiết kế dựa trên chức năng và đặc tính kỹ thuật của các IC và các khối mạch chứ không dựa trên từng linh kiện rời

- Có thể hoạt động theo chương trình lập sẵn nên rất thuận tiện trong điều khiển tự động, tính toán, lưu trữ dữ liệu và liên kết với máy tính.

- Ít bị ảnh hưởng của nhiễu tức có khả năng dung nạp tín hiệu nhiễu với biên độ lớn hơn rất nhiều so với mạch tương tự.

- Dễ chế tạo thành mạch tích hợp và có khả năng tích hợp với mật độ cao.

Dựa vào số cổng trong một chip, người ta phân loại IC số như sau:

- Số cổng < 10: SSI (Small Scale Integrated), mức độ tích hợp nhỏ.

-  $10 < \text{Số cổng} < 100$ : MSI (Medium Scale Integrated), mức độ tích hợp trung bình.

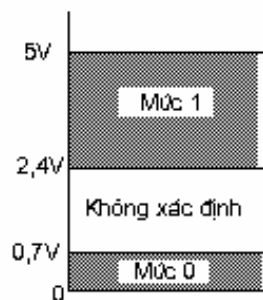
-  $100 < \text{Số cổng} < 1000$ : LSI (Large Scale Integrated), mức độ tích hợp lớn.

-  $1000 < \text{Số cổng} < 10000$ : VLSI (Very Large Scale Integrated), mức độ tích hợp rất lớn

- Số cổng > 10000: ULSI (Ultra Large Scale Integrated), mức độ tích hợp siêu lớn.

### 3.1.3 Biểu diễn các trạng thái Logic 1 và 0

Trong hệ thống mạch logic, các trạng thái logic được biểu diễn bởi các mức điện thế. Với qui ước **logic dương**, điện thế cao biểu diễn logic 1, điện thế thấp biểu diễn logic 0. Ngược lại ta có qui ước **logic âm**. Trong thực tế, mức 1 và 0 tương ứng với một khoảng điện thế xác định và có một khoảng chuyển tiếp giữa mức cao và thấp, ta gọi là khoảng **không xác định**. Khi điện áp của tín hiệu rơi vào khoảng này, mạch sẽ không nhận ra là mức 0 hay 1. Khoảng này tùy thuộc vào họ IC sử dụng và được cho trong bảng thông số kỹ thuật của linh kiện. (H 3.1) là giản đồ điện thế của các mức logic của một số cổng logic thuộc họ TTL.



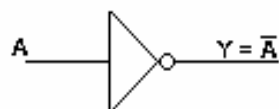
(H 3.1)

## 3.2 CÔNG LOGIC CƠ BẢN

### 3.2.1 Cổng NOT

- Còn gọi là cổng đảo (Inverter), dùng để thực hiện hàm đảo  $Y = \bar{A}$

- Ký hiệu (H 3.2), mũi tên chỉ chiều di chuyển của tín hiệu và vòng tròn là ký hiệu đảo. Trong những trường hợp không thể nhầm lẫn về chiều này, người ta có thể bỏ mũi tên.



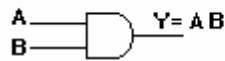
(H 3.2)

A	$Y = \bar{A}$
0	1
1	0

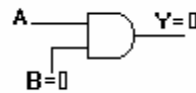
Bảng sự thật

### 3.2.2 Cổng AND

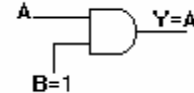
- Dùng thực hiện hàm AND 2 hay nhiều biến.
- Cổng AND có số ngõ vào tùy thuộc số biến và một ngõ ra. Ngõ ra của cổng là hàm AND của các biến ngõ vào.
- Ký hiệu cổng AND 2 ngõ vào cho 2 biến (H 3.3a)



(a)



(H 3.3)



(b)

A	B	Y=A.B
0	0	0
0	1	0
1	0	0
1	1	1

Hoặc

A	B	Y=A.B
x	0	0
x	1	A

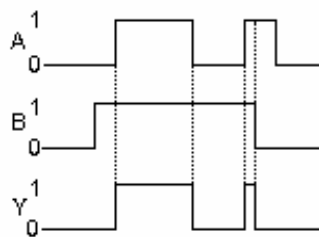
#### - Nhận xét:

- Ngõ ra cổng AND chỉ ở mức cao khi tất cả ngõ vào lên cao.
- Khi có một ngõ vào = 0, ngõ ra = 0 bất chấp các ngõ vào còn lại.
- Khi có một ngõ vào = 1, ngõ ra = AND của các ngõ vào còn lại.

Vậy với cổng AND 2 ngõ vào ta có thể dùng 1 ngõ vào làm ngõ kiểm soát (H 3.3b), khi ngõ kiểm soát = 1, **cổng mở** cho phép tín hiệu logic ở ngõ vào còn lại qua cổng và khi ngõ kiểm soát = 0, **cổng đóng**, ngõ ra luôn bằng 0, bất chấp ngõ vào còn lại.

Với cổng AND có nhiều ngõ vào hơn, khi có một ngõ vào được đưa lên mức cao thì ngõ ra bằng AND của các biến ở các ngõ vào còn lại.

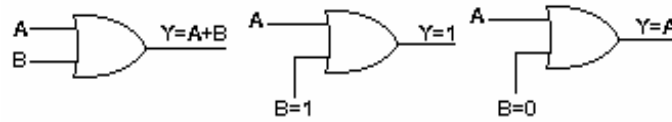
Hình (H 3.4) là giản đồ thời gian của cổng AND hai ngõ vào. Trên giản đồ, ngõ ra Y chỉ lên mức 1 khi cả A và B đều ở mức 1.



(H 3.4)

### 3.2.3 Cổng OR

- Dùng để thực hiện hàm OR 2 hay nhiều biến.
- Cổng OR có số ngõ vào tùy thuộc số biến và một ngõ ra.
- Ký hiệu cổng OR 2 ngõ vào



(H 3.5)

- Bảng sự thật

A	B	Y=A+B
0	0	0
0	1	1
1	0	1
1	1	1

Hoặc

A	B	Y=A+B
x	1	1
x	0	A

- **Nhận xét:** - Ngã ra cổng OR chỉ ở mức thấp khi cả 2 ngã vào xuống thấp.
- Khi có một ngã vào =1, ngã ra = 1 bất chấp ngã vào còn lại.
- Khi có một ngã vào =0, ngã ra = OR các ngã vào còn lại.

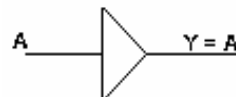
Vậy với cổng OR 2 ngã vào ta có thể dùng 1 ngã vào làm ngã kiểm soát, khi ngã kiểm soát = 0, **cổng mở**, cho phép tín hiệu logic ở ngã vào còn lại qua cổng và khi ngã kiểm soát = 1, **cổng đóng**, ngã ra luôn bằng 1.

Với cổng OR nhiều ngã vào hơn, khi có một ngã vào được đưa xuống mức thấp thì ngã ra bằng OR của các biến ở các ngã vào còn lại.

### 3.2.4 Cổng BUFFER

Còn gọi là cổng đệm. Tín hiệu số qua cổng BUFFER không đổi trạng thái logic. Cổng BUFFER được dùng với các mục đích sau:

- Sửa dạng tín hiệu.
- Đưa điện thế của tín hiệu về đúng chuẩn của các mức logic.
- Nâng khả năng cấp dòng cho mạch.
- Ký hiệu của cổng BUFFER.

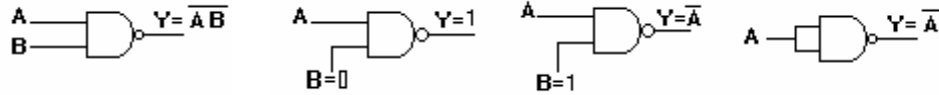


(H 3.6)

Tuy cổng đệm không làm thay đổi trạng thái logic của tín hiệu vào cổng nhưng nó giữ vai trò rất quan trọng trong các mạch số.

### 3.2.5 Cổng NAND

- Là kết hợp của cổng AND và cổng NOT, thực hiện hàm  $Y = \overline{A.B}$  (Ở đây chỉ xét cổng NAND 2 ngã vào, độc giả tự suy ra trường hợp nhiều ngã vào).
- Ký hiệu của cổng NAND (Gồm AND và NOT, cổng NOT thu gọn lại một vòng tròn)
- Tương tự như cổng AND, ở cổng NAND ta có thể dùng 1 ngã vào làm ngã kiểm soát. Khi ngã kiểm soát = 1, cổng mở cho phép tín hiệu logic ở ngã vào còn lại qua cổng và bị đảo, khi ngã kiểm soát = 0, cổng đóng, ngã ra luôn bằng 1.
- Khi nối tất cả ngã vào của cổng NAND lại với nhau, nó hoạt động như một cổng đảo

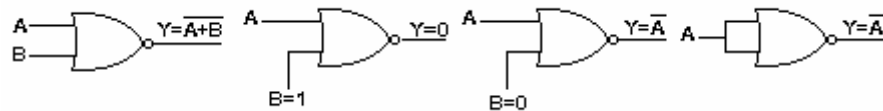


(H 3.7)

### 3.2.6 Cổng NOR

- Là kết hợp của cổng OR và cổng NOT, thực hiện hàm  $Y = \overline{A + B}$

Ký hiệu của cổng NOR (Gồm cổng OR và NOT, nhưng cổng NOT thu gọn lại một vòng tròn)



(H 3.8)

Các bảng sự thật và các giản đồ thời gian của các cổng BUFFER, NAND, NOR, sinh viên có thể tự thực hiện lấy

### 3.2.7 Cổng EX-OR

- Dùng để thực hiện hàm EX-OR.  $Y = A \oplus B = \overline{A}B + A\overline{B}$

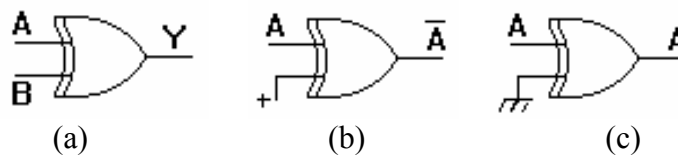
- Cổng EX-OR chỉ có 2 ngõ vào và 1 ngõ ra

- Ký hiệu (H 3.9a)

- Một tính chất rất quan trọng của cổng EX-OR:

+ Tương đương với một cổng đảo khi có một ngõ vào nối lên mức cao, (H 3.9b)

+ Tương đương với một cổng đệm khi có một ngõ vào nối xuống mức thấp, (H 3.9c)



(H 3.9)

### 3.2.8 Cổng EX-NOR

- Là kết hợp của cổng EX-OR và cổng NOT

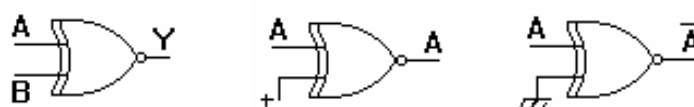
- Cổng EX-NOR có 2 ngõ vào và một ngõ ra

- Hàm logic ứng với cổng EX-NOR là

$$Y = \overline{A \oplus B} = \overline{A}B + A\overline{B}$$

- Ký hiệu (H 3.10)

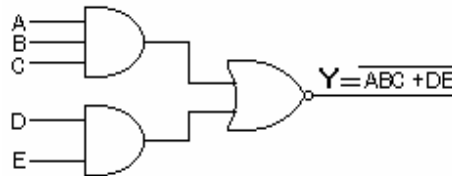
- Các tính chất của cổng EX-NOR giống cổng EX-OR nhưng có ngõ ra đảo lại.



(H 3.10)

### 3.2.9 Cổng phức AOI (AND-OR-INVERTER)

Ứng dụng các kết quả của Đại số BOOLE, người ta có thể kết nối nhiều cổng khác nhau trên một chip IC để thực hiện một hàm logic phức tạp nào đó. Cổng AOI là một kết hợp của 3 loại cổng AND (A), OR (O) và INVERTER (I). Thí dụ để thực hiện hàm logic  $Y = \overline{A.B.C + D.E}$ , ta có cổng phức sau:



(H 3.11)

### 3.2.10 Biến đổi qua lại giữa các cổng logic

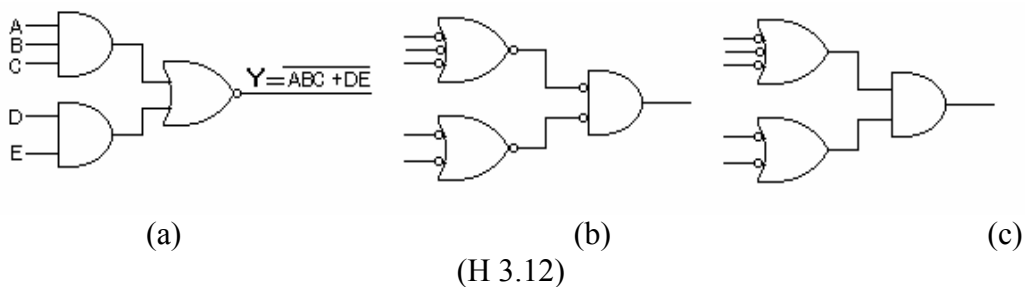
Trong chương Hàm Logic chúng ta đã thấy tất cả các hàm logic có thể được thay thế bởi 2 hàm duy nhất là hàm AND (hoặc OR) kết hợp với hàm NOT. Các cổng logic có chức năng thực hiện hàm logic, như vậy chúng ta chỉ cần dùng 2 cổng AND (hoặc OR) và NOT để thực hiện tất cả các hàm logic. Tuy nhiên, vì cổng NOT cũng có thể tạo ra từ cổng NAND (hoặc NOR). Như vậy, tất cả các hàm logic có thể được thực hiện bởi một cổng duy nhất, đó là cổng NAND (hoặc NOR). Hàm ý này cho phép chúng ta biến đổi qua lại giữa các cổng với nhau.

Quan sát Định lý De Morgan chúng ta rút ra qui tắc biến đổi qua lại giữa các cổng AND, NOT và OR, NOT như sau:

Chỉ cần thêm các cổng đảo ở ngõ vào và ngõ ra khi biến đổi từ AND sang OR hoặc ngược lại. Dĩ nhiên nếu ở các ngõ đã có đảo rồi thì đảo này sẽ mất đi.

**Thí dụ 1:** Ba mạch dưới đây tương đương nhau:

(H 3.12b) có được bằng cách đổi AND - OR thêm các đảo ở các ngõ vào và ra. Từ (H 3.12b) đổi sang (H 3.12c) ta bỏ 2 cổng đảo nối từ ngõ ra cổng NOR đến ngõ vào cổng AND

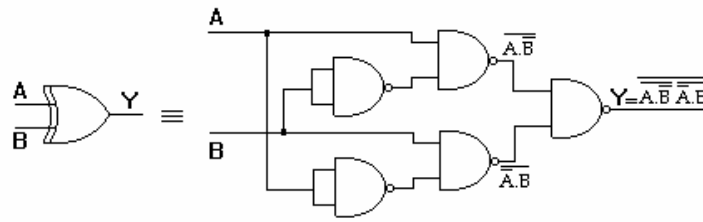


(H 3.12)

**Thí dụ 2:** Vẽ mạch tương đương của cổng EX-OR dùng toàn cổng NAND. Dùng định lý De-Morgan, biểu thức hàm EX-OR viết lại:

$$Y = \overline{A.B} + \overline{A.B} = \overline{\overline{\overline{A.B}} \cdot \overline{\overline{A.B}}} = \overline{A.B.A.B}$$

Và mạch tương đương cho ở (H 3.13)



(H 3.13)

### 3.3 THÔNG SỐ KỸ THUẬT CỦA IC SỐ

Để sử dụng IC số có hiệu quả, ngoài sơ đồ chân và bảng sự thật của chúng, ta nên biết qua một số thuật ngữ chỉ các thông số cho biết các đặc tính của IC.

#### 3.3.1 Các đại lượng điện đặc trưng

-  $V_{CC}$ : Điện thế nguồn (power supply): khoảng điện thế cho phép cấp cho IC để hoạt động tốt. Thí dụ với IC số họ TTL,  $V_{CC}=5\pm 0,5$  V, họ CMOS  $V_{DD}=3-15$ V (Người ta thường dùng ký hiệu  $V_{DD}$  và  $V_{SS}$  để chỉ nguồn và mass của IC họ MOS)

-  $V_{IH}(\min)$ : Điện thế ngõ vào mức cao (High level input voltage): Đây là điện thế ngõ vào nhỏ nhất còn được xem là mức 1

-  $V_{IL}(\max)$ : Điện thế ngõ vào mức thấp (Low level input voltage): Điện thế ngõ vào lớn nhất còn được xem là mức 0.

-  $V_{OH}(\min)$ : Điện thế ngõ ra mức cao (High level output voltage): Điện thế nhỏ nhất của ngõ ra khi ở mức cao.

-  $V_{OL}(\max)$ : Điện thế ngõ ra mức thấp (Low level output voltage): Điện thế lớn nhất của ngõ ra khi ở mức thấp.

-  $I_{IH}$ : Dòng điện ngõ vào mức cao (High level input current): Dòng điện lớn nhất vào ngõ vào IC khi ngõ vào này ở mức cao.

-  $I_{IL}$ : Dòng điện ngõ vào mức thấp (Low level input current): Dòng điện ra khỏi ngõ vào IC khi ngõ vào này ở mức thấp

-  $I_{OH}$ : Dòng điện ngõ ra mức cao (High level output current): Dòng điện lớn nhất ngõ ra có thể cấp cho tải khi nó ở mức cao.

-  $I_{OL}$ : Dòng điện ngõ ra mức thấp (Low level output current): Dòng điện lớn nhất ngõ ra có thể nhận khi ở mức thấp.

-  $I_{CCH}, I_{CCL}$ : Dòng điện chạy qua IC khi ngõ ra lần lượt ở mức cao và thấp.

Ngoài ra còn một số thông số khác được nêu ra dưới đây

#### 3.3.2 Công suất tiêu tán (Power requirement)

Mỗi IC khi hoạt động sẽ tiêu thụ một công suất từ nguồn cung cấp  $V_{CC}$  (hay  $V_{DD}$ ). Công suất tiêu tán này xác định bởi điện thế nguồn và dòng điện qua IC. Do khi hoạt động dòng qua IC thường xuyên thay đổi giữa hai trạng thái cao và thấp nên công suất tiêu tán sẽ được tính từ dòng trung bình qua IC và công suất tính được là công suất tiêu tán trung bình

$$P_D(\text{avg}) = I_{CC}(\text{avg}) \cdot V_{CC}$$

Trong đó

$$I_{CC}(\text{avg}) = \frac{I_{CCH} + I_{CCL}}{2}$$

Đối với các cổng logic họ TTL, công suất tiêu tán ở hàng mW và với họ MOS thì chỉ ở hàng nW.

### 3.3.3 Fan-Out:

Một cách tổng quát, ngõ ra của một mạch logic đòi hỏi phải cấp dòng cho một số ngõ vào các mạch logic khác. Fan Out là số ngõ vào lớn nhất có thể nối với ngõ ra của một IC cùng loại mà vẫn bảo đảm mạch hoạt động bình thường. Nói cách khác Fan Out chỉ khả năng chịu tải của một cổng logic

Ta có hai loại Fan-Out ứng với 2 trạng thái logic của ngõ ra:

$$\text{Fan-Out}_H = \frac{I_{OH}}{I_{IH}}$$

$$\text{Fan-Out}_L = \frac{I_{OL}}{I_{IL}}$$

Thường hai giá trị Fan-Out này khác nhau, khi sử dụng, để an toàn, ta nên dùng trị nhỏ nhất trong hai trị này.

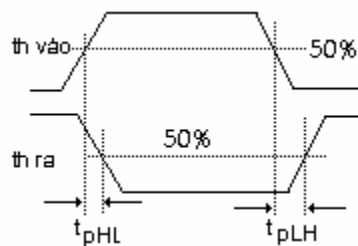
Fan-Out được tính theo đơn vị Unit Load UL (tải đơn vị).

### 3.3.4 Thời trễ truyền (Propagation delays)

Tín hiệu logic khi truyền qua một cổng luôn luôn có một thời gian trễ.

Có hai loại thời trễ truyền: Thời trễ truyền từ thấp lên cao  $t_{PLH}$  và thời trễ truyền từ cao xuống thấp  $t_{PHL}$ . Hai giá trị này thường khác nhau. Sự thay đổi trạng thái được xác định ở tín hiệu ra. Thí dụ tín hiệu qua một cổng đảo, thời trễ truyền được xác định như ở (H 3.14)

Tùy theo họ IC, thời trễ truyền thay đổi từ vài ns đến vài trăm ns. Thời trễ truyền càng lớn thì tốc độ làm việc của IC càng nhỏ.



(H 3.14)

### 3.3.5 Tích số công suất-vận tốc (speed- power product)

Để đánh giá chất lượng IC, người ta dùng đại lượng tích số công suất-vận tốc đó là tích số công suất tiêu tán và thời trễ truyền. Thí dụ họ IC có thời trễ truyền là 10 ns và công suất tiêu tán trung bình là 50 mW thì tích số công suất-vận tốc là:

$$10 \text{ ns} \times 50 \text{ mW} = 10 \cdot 10^{-9} \times 50 \cdot 10^{-3} = 500 \cdot 10^{-12} \text{ watt-sec} = 500 \text{ picojoules (pj)}$$

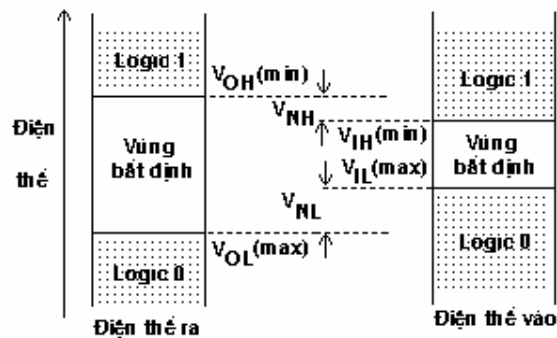
Trong quá trình phát triển của công nghệ chế tạo IC người ta luôn muốn đạt được các IC có công suất tiêu tán và thời trễ truyền càng nhỏ càng tốt. Như vậy một IC có chất lượng càng tốt khi tích số công suất-vận tốc càng nhỏ. Tuy nhiên trên thực tế hai giá trị này thay đổi theo chiều ngược với nhau, nên ta khó mà đạt được các giá trị theo ý muốn, dù sao trong quá trình phát triển của công nghệ chế tạo linh kiện điện tử trị số này luôn được cải thiện.



### 3.3.6 Tính miễn nhiễu (noise immunity)

Các tín hiệu nhiễu như tia lửa điện, cảm ứng từ có thể làm thay đổi trạng thái logic của tín hiệu do đó ảnh hưởng đến kết quả hoạt động của mạch.

Tính miễn nhiễu của một mạch logic tùy thuộc khả năng dung nạp hiệu thế nhiễu của mạch và được xác định bởi lề nhiễu. Lề nhiễu có được do sự chênh lệch của các điện thế giới hạn (còn được gọi là ngưỡng logic) của mức cao và thấp giữa ngõ ra và ngõ vào của các cổng (H 3.15).



(H 3.15)

Tín hiệu khi vào mạch logic được xem là mức 1 khi có trị  $>V_{IH}(\min)$  và là mức 0 khi  $<V_{IL}(\max)$ . Điện thế trong khoảng giữa không ứng với một mức logic nào nên gọi là vùng bất định. Do có sự khác biệt giữa  $V_{OH}(\min)$  với  $V_{IH}(\min)$  và  $V_{OL}(\max)$  với  $V_{IL}(\max)$  nên ta có 2 giá trị lề nhiễu:

Lề nhiễu mức cao:  $V_{NH} = V_{OH}(\min) - V_{IH}(\min)$

Lề nhiễu mức thấp:  $V_{NL} = V_{IL}(\max) - V_{OL}(\max)$

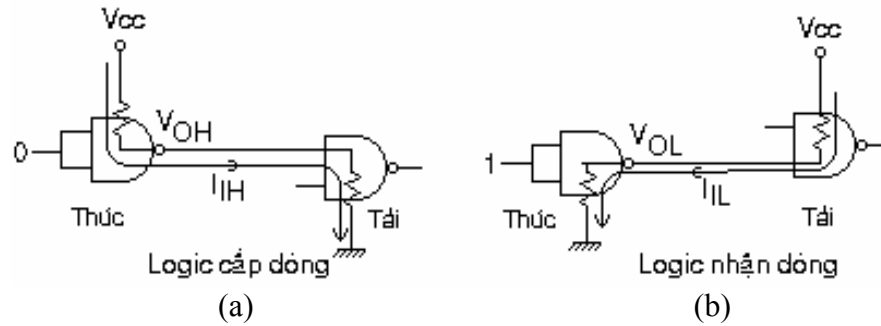
Khi tín hiệu ra ở mức cao đưa vào ngõ vào, bất cứ tín hiệu nhiễu nào có giá trị âm và biên độ  $>V_{NH}$  đều làm cho điện thế ngõ vào rơi vào vùng bất định và mạch không nhận ra được tín hiệu thuộc mức logic nào. Tương tự cho trường hợp ngõ ra ở mức thấp tín hiệu nhiễu có trị dương biên độ  $>V_{NL}$  sẽ đưa mạch vào trạng thái bất định.

### 3.3.7 Logic cấp dòng và logic nhận dòng

Một mạch logic thường gồm nhiều tầng kết nối với nhau. Tầng cấp tín hiệu gọi là **tầng thúc** và tầng nhận tín hiệu gọi là **tầng tải**. Sự trao đổi dòng điện giữa hai tầng thúc và tải thể hiện bởi logic cấp dòng và logic nhận dòng.

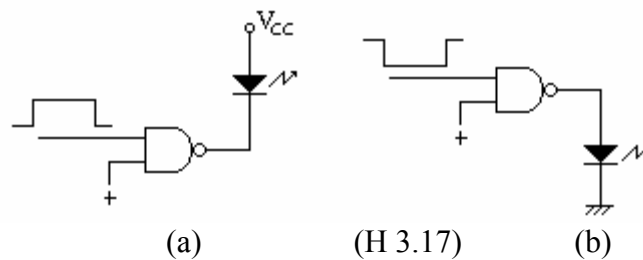
(H 3.16a) cho thấy hoạt động gọi là cấp dòng: Khi ngõ ra mạch logic 1 ở mức cao, nó cấp dòng  $I_{IH}$  cho ngõ vào của mạch logic 2, vai trò như một tải nối mass. Ngõ ra cổng 1 như là một nguồn dòng cấp cho ngõ vào cổng 2

(H 3.16b) cho thấy hoạt động gọi là nhận dòng: Khi ngõ ra mạch logic 1 ở mức thấp, nó nhận dòng  $I_{IL}$  từ ngõ vào của mạch logic 2 xem như nối với nguồn  $V_{CC}$ .



(H 3.16)

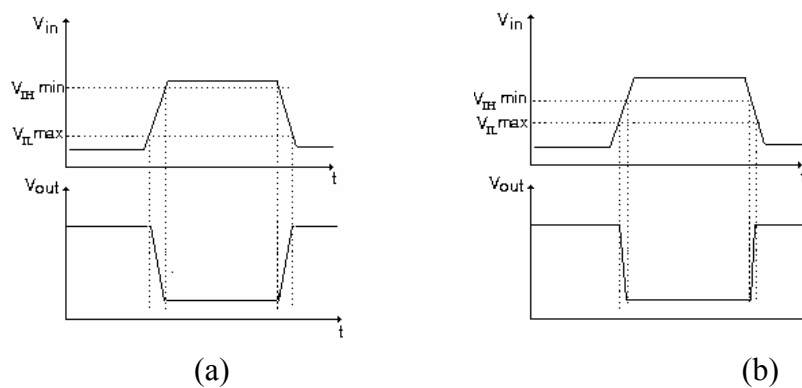
Thường dòng nhận của tầng thúc khi ở mức thấp có trị khá lớn so với dòng cấp của nó khi ở mức cao, nên người ta hay dùng trạng thái này khi cần gánh những tải tương đối nhỏ, ví dụ khi chỉ cần thúc cho một led, người ta có thể dùng mạch (H 3.17a) mà không thể dùng mạch (H 3.17b).



(H 3.17)

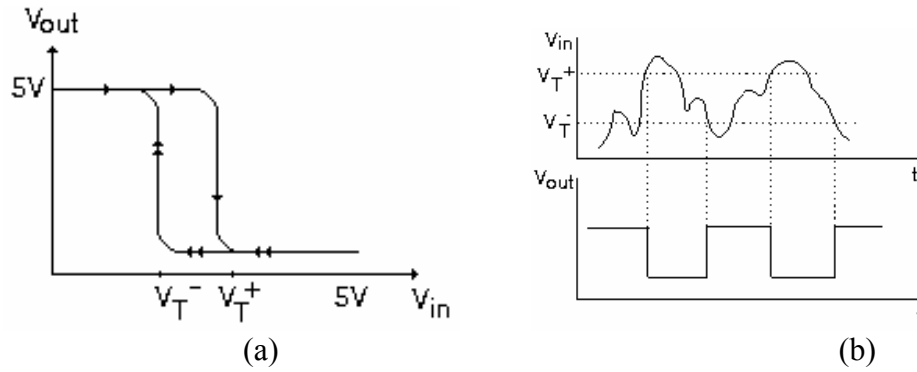
### 3.3.8 Tính Schmitt Trigger

Trong phần giới thiệu về logic, ta thấy còn một khoảng điện thế nằm giữa các ngưỡng logic, đây chính là khoảng điện thế ứng với transistor làm việc trong vùng tác động. Khoảng cách này xác định về mức nhiễu và có tác dụng làm giảm độ rộng sườn xung (tức làm cho đường dốc lên và dốc xuống của tín hiệu ra dốc hơn) khi qua mạch. Mức nhiễu càng lớn khi vùng chuyển tiếp của ngõ vào càng nhỏ, tín hiệu ra thay đổi trạng thái trong một khoảng thời gian càng nhỏ nên sườn xung càng dốc. Tuy nhiên vẫn còn một khoảng sườn xung nằm trong vùng chuyển tiếp nên tín hiệu ra không vuông hoàn toàn. (H 3.18a) và (H 3.18b) minh họa điều đó



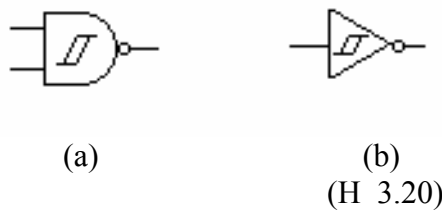
(H 3.18)

Để cải thiện hơn nữa dạng tín hiệu ngõ ra, bảo đảm tính miễn nhiễu cao, người ta chế tạo các cổng có tính trễ điện thế (H 3.19a), được gọi là cổng Schmitt Trigger (H 3.19b) mô tả mối quan hệ giữa  $V_{out}$  và  $V_{in}$  của một cổng đảo Schmitt Trigger.



(H 3.19)

(H 3.20a&b) là ký hiệu các cổng Schmitt Trigger.



(H 3.20)

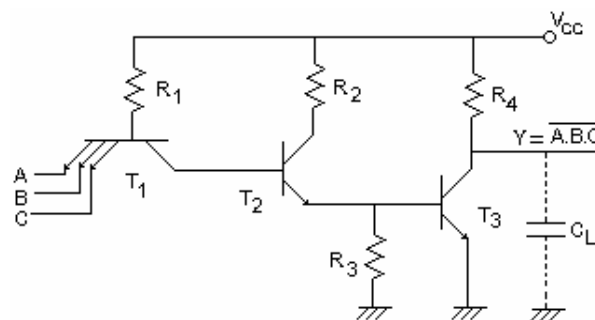
## 3.4 HỌ TTL

Trong quá trình phát triển của công nghệ chế tạo mạch số ta có các họ: RTL (Resistor-transistor logic), DCTL (Direct couple-transistor logic), RCTL (Resistor-Capacitor-transistor logic), DTL (Diod-transistor logic), ECL (Emitter- couple logic) v.v.... Đến bây giờ tồn tại hai họ có nhiều tính năng kỹ thuật cao như thời trễ truyền nhỏ, tiêu hao công suất ít, đó là họ TTL (transistor-transistor logic) dùng công nghệ chế tạo BJT và họ MOS (Công nghệ chế tạo MOS)

Dưới đây, lần lượt khảo sát các cổng logic của hai họ TTL và MOS

### 3.4.1 Cổng cơ bản họ TTL

Lấy cổng NAND 3 ngõ vào làm thí dụ để thấy cấu tạo và vận hành của một cổng cơ bản



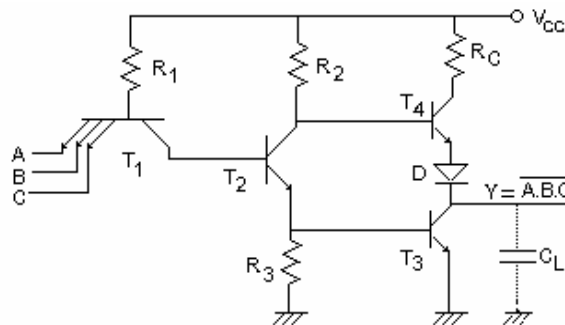
(H 3.21)

Khi một trong các ngõ vào A, B, C xuống mức không  $T_1$  dẫn đưa đến  $T_2$  ngưng,  $T_3$  ngưng, ngõ ra Y lên cao; khi cả 3 ngõ vào lên cao,  $T_1$  ngưng,  $T_2$  dẫn,  $T_3$  dẫn, ngõ ra Y xuống thấp. Đó chính là kết quả của cổng NAND.

Tụ  $C_L$  trong mạch chính là tụ ký sinh tạo bởi sự kết hợp giữa ngõ ra của mạch (tăng thức) với ngõ vào của tầng tải, khi mạch hoạt động tụ sẽ nạp điện qua  $R_4$  (lúc  $T_3$  ngưng) và phóng qua  $T_3$  khi transistor này dẫn do đó thời trễ truyền của mạch quyết định bởi  $R_4$  và  $C_L$ , khi  $R_4$  nhỏ mạch hoạt động nhanh nhưng công suất tiêu thụ lúc đó lớn, muốn giảm công suất phải tăng  $R_4$  nhưng như vậy thời trễ truyền sẽ lớn hơn (mạch giao hoán chậm hơn). Để giải quyết khuyết điểm này đồng thời thỏa mãn một số yêu cầu khác, người ta đã chế tạo các cổng logic với các kiểu ngõ ra khác nhau.

### 3.4.2 Các kiểu ngõ ra

#### @ Ngõ ra totempole

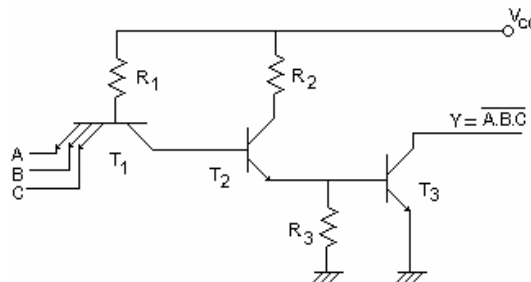


(H 3.22)

$R_4$  trong mạch cơ bản được thay thế bởi cụm  $T_4$ ,  $R_C$  và Diod  $D$ , trong đó  $R_C$  có trị rất nhỏ, không đáng kể.  $T_2$  bây giờ giữ vai trò mạch đảo pha: khi  $T_2$  dẫn thì  $T_3$  dẫn và  $T_4$  ngưng,  $Y$  xuống thấp, khi  $T_2$  ngưng thì  $T_3$  ngưng và  $T_4$  dẫn, ngõ ra  $Y$  lên cao. Tụ  $C_L$  nạp điện qua  $T_4$  khi  $T_4$  dẫn và phóng qua  $T_3$  (dẫn), thời hằng mạch rất nhỏ và kết quả là thời trễ truyền nhỏ. Ngoài ra do  $T_3$  &  $T_4$  luân phiên ngưng tương ứng với 2 trạng thái của ngõ ra nên công suất tiêu thụ giảm đáng kể. Diod  $D$  có tác dụng nâng điện thế cực B của  $T_4$  lên để bảo đảm khi  $T_3$  dẫn thì  $T_4$  ngưng.

Mạch này có khuyết điểm là không thể nối chung nhiều ngõ ra của các cổng khác nhau vì có thể gây hư hỏng khi các trạng thái logic của các cổng này khác nhau.

#### @ Ngõ ra cực thu để hở



(H 3.23)


Ngõ ra cực thu để hở có một số lợi điểm sau:

- Cho phép kết nối các ngõ ra của nhiều cổng khác nhau, nhưng khi sử dụng phải mắc một điện trở từ ngõ ra lên nguồn  $V_{cc}$ , gọi là **điện trở kéo lên**, trị số của điện trở này có thể được chọn lớn hay nhỏ tùy theo yêu cầu có lợi về mặt công suất hay tốc độ làm việc.

- Người ta cũng chế tạo các IC ngã ra có cực thu để hở cho phép điện trở kéo lên mắc vào nguồn điện thế cao, dùng cho các tải đặc biệt hoặc dùng tạo sự giao tiếp giữa họ TTL với CMOS dùng nguồn cao.

The diagram shows a circuit for a 3-input AND gate. It consists of three 2-input AND gates (labeled with the Greek letter  $\Omega$ ) and one 3-input OR gate. The inputs A, B, C, D, E, and F are connected to the 2-input AND gates as follows: A and B to the first, C and D to the second, and E and F to the third. The outputs of these gates are labeled  $\overline{AB}$ ,  $\overline{CD}$ , and  $\overline{EF}$ . These three outputs are connected to the inputs of the 3-input OR gate. The output of the OR gate is labeled  $Y = (\overline{AB}) + (\overline{CD}) + (\overline{EF})$ . A pull-up resistor labeled 'R kéo lên' is connected between the output Y and the supply voltage  $V_{CC}$ . A dashed box around the OR gate is labeled 'Điểm AND', indicating that the circuit implements the AND function  $Y = \overline{(\overline{AB}) + (\overline{CD}) + (\overline{EF})}$ .

The diagram shows a 74LS112 flip-flop with its J, K, and clock inputs connected to ground. Its Q output is connected to the input of a 7406 inverter. The inverter's output is connected to a buzzer labeled '24V, 25mA'. The flip-flop is powered by a +5V supply, and the inverter is powered by a +24V supply.



C	A	Y
1	0	1
1	1	0
0	X	Z cao

Bảng sự thật

Mạch (H 3.26) là một công đảo có ngã ra 3 trạng thái, trong đó  $T_4$  &  $T_5$  được mắc Darlington để cấp dòng ra lớn cho tải. Diod  $D$  nối vào ngã vào  $C$  để điều khiển. Hoạt động của mạch giải thích như sau:

- Khi  $C=1$ , Diod D ngưng dẫn, mạch hoạt động như một công đảo
- Khi  $C=0$ , Diod D dẫn, cực thu  $T_2$  bị ghim áp ở mức thấp nên  $T_3, T_4$  &  $T_5$  đều ngưng, ngõ ra mạch ở trạng thái tổng trở cao.

Ký hiệu của công đảo ngã ra 3 trạng thái, có ngã điều khiển C tác động mức cao và bằng sự thật cho ở (H 3.27)

Cũng có các công đảo và công đệm 3 trạng thái với ngã điều khiển C tác động mức thấp mà SV có thể tự vẽ ký hiệu và bảng sự thật.

(H 3.28)

Vận chuyển: Ứng với một giá trị địa chỉ AB, một ngõ ra mạch giải mã địa chỉ được tác động (lên cao) cho phép một cổng mở và dữ liệu ở ngõ vào cổng đó được truyền ra ngõ ra. Thí dụ khi AB = 00,  $Y_0 = 1$  ( $Y_1=Y_2=Y_3=0$ )  $G_1$  mở,  $D_0$  truyền qua  $G_1$  đến ngõ ra, trong lúc  $G_2, G_3, G_4$  đóng, có ngõ ra ở trạng thái Z cao, không ảnh hưởng đến hoạt động của mạch.

### 3.4.3 Đặc tính các loạt TTL

Các IC số họ TTL được sản xuất lần đầu tiên vào năm 1964 bởi hãng Texas Instrument Corporation của Mỹ, lấy số hiệu là 74XXXX & 54XXXX. Sự khác biệt giữa 2 họ 74XXXX và 54 XXXX chỉ ở hai điểm:

74:  $V_{CC}=5 \pm 0,5$  V và khoảng nhiệt độ hoạt động từ 0° C đến 70° C

54:  $V_{CC}=5 \pm 0,25$  V và khoảng nhiệt độ hoạt động từ -55° C đến 125° C

Các tính chất khác hoàn toàn giống nhau nếu chúng có cùng số.

Trước số 74 thường có thêm ký hiệu để chỉ hãng sản xuất. Thí dụ SN của hãng Texas, DM của National Semiconductor, S của Signetics

Ngoài ra trong quá trình phát triển, các thông số kỹ thuật (nhất là tích số công suất vận tốc) luôn được cải tiến và ta có các loạt khác nhau: 74 chuẩn, 74L (Low power), 74 H (High speed), 74S (Schottky), 74LS (Low power Schottky), 74AS (Advance Schottky), 74ALS (Advance Low power Schottky), 74F (Fast, Fair Child).

Bảng 3.1 cho thấy một số tính chất của các loạt kể trên:

Thông số kỹ thuật	74	74L	74H	74S	74L S	74AS	74ALS	74F
Thời trễ truyền (ns)	9	33	6	3	9,5	1,7	4	3
Công suất tiêu tán (mW)	10	1	23	20	2	8	1,2	6
Tích số công suất vận tốc (pJ)	90	33	138	60	19	13,6	4,8	18
Tần số xung $C_K$ max (MHz)	35	3	50	125	45	200	70	100
Fan Out (cùng loạt)	10	20	10	20	20	40	20	33
<b>Điện thế</b>								
$V_{OH}(\min)$	2,4	2,4	2,4	2,7	2,7	2,5	2,5	2,5
$V_{OL}(\max)$	0,4	0,4	0,4	0,5	0,5	0,5	0,4	0,5
$V_{IH}(\min)$	2,0	2,0	2,0	2,0	2,0	2,0	2,0	2,0
$V_{IL}(\max)$	0,8	0,7	0,8	0,8	0,8	0,8	0,8	0,8

Bảng 3.1

- Loạt 74S: Các transistor trong mạch được mắc thêm một Diod Schottky giữa hai cực CB với mục đích giảm thời gian chuyển trạng thái của transistor do đó làm giảm thời trễ truyền.

- Loạt 74AS và 74ALS là cải tiến của 74S để làm giảm hơn nữa giá trị tích số Công suất - Vận tốc.

- Loạt 74F: Dùng kỹ thuật đặc biệt làm giảm điện dung ký sinh do đó cải thiện thời trễ truyền của cổng.

## 3.5 HO MOS

Gồm các IC số dùng công nghệ chế tạo của transistor MOSFET loại tăng, kênh N và kênh P. Với transistor kênh N ta có NMOS, transistor kênh P ta có PMOS và nếu dùng cả hai loại transistor kênh P & N ta có CMOS. Tính năng kỹ thuật của loại NMOS và PMOS có thể

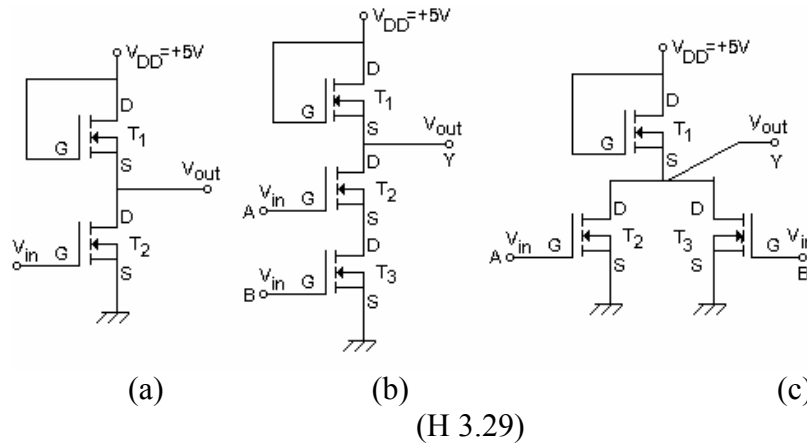
nói là giống nhau, trừ nguồn cấp điện có chiều ngược với nhau do đó ta chỉ xét loại NMOS và CMOS.

Các transistor MOS dùng trong IC số cũng chỉ hoạt động ở một trong 2 trạng thái: dẫn hoặc ngưng.

- Khi dẫn, tùy theo nồng độ pha của chất bán dẫn mà transistor có nội trở rất nhỏ (từ vài chục  $\Omega$  đến hàng trăm  $K\Omega$ ) tương đương với một khóa đóng.

- Khi ngưng, transistor có nội trở rất lớn (hàng  $10^{10}\Omega$ ), tương đương với một khóa hở.

### 3.5.1 Cổng cơ bản NMOS



(H 3.29a), (H 3.29b) và (H3.29c) là các cổng NOT, NAND và NOR dùng NMOS  
Bảng 3.2 cho thấy quan hệ giữa các điện thế của các ngõ vào, ra cổng NOT

$V_{in}$	$T_1$	$T_2$	$V_{out}$
0V (logic 0)	$R_{ON} = 100K\Omega$	$R_{OFF} = 10^{10}\Omega$	+5V (logic 1)
+5V (logic1)	$R_{ON} = 100K\Omega$	$R_{ON} = 1K\Omega$	0,05V (logic 0)

Bảng 3.2

Ngoài ra vận hành của cổng NAND và NOR được giải thích như sau:

❖ Cổng NAND:

- Khi 2 ngõ vào nổi lên mức cao,  $T_2$  và  $T_3$  dẫn, ngõ ra xuống thấp.
- Khi có 1 ngõ vào nổi xuống mức thấp, một trong 2 transistor  $T_2$  hoặc  $T_3$

ngưng, ngõ ra lên cao.

Đó chính là kết quả của cổng NAND 2 ngõ vào.

❖ Cổng NOR:

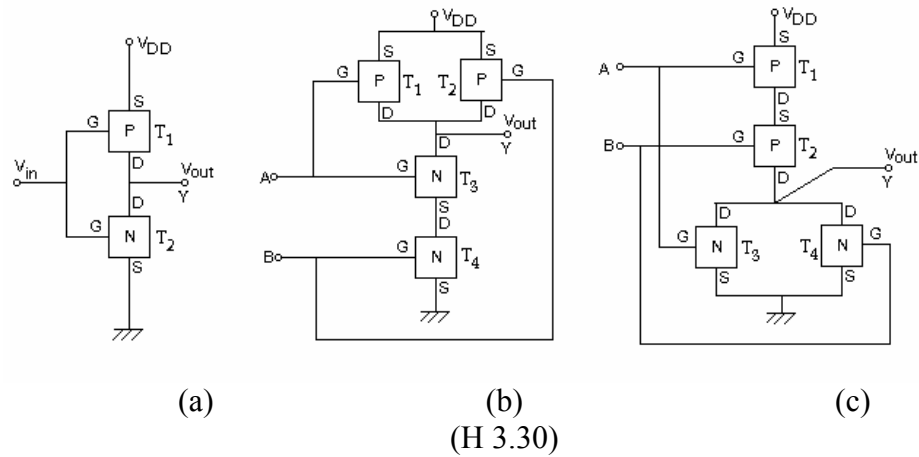
- Khi 2 ngõ vào nổi xuống mức thấp,  $T_2$  và  $T_3$  ngưng, ngõ ra lên cao.
- Khi có 1 ngõ vào nổi lên mức cao, một trong 2 transistor  $T_2$  hoặc  $T_3$  dẫn, ngõ

ra xuống thấp.

Đó chính là kết quả của cổng NOR 2 ngõ vào.

### 3.5.2 Cổng cơ bản CMOS

Họ CMOS sử dụng hai loại transistor kênh N và P với mục đích cải thiện tích số công suất vận tốc, mặc dù khả năng tích hợp thấp hơn loại N và P. (H 3.30a), (H 3.30b) và (H 3.30c) là các cổng NOT, NAND và NOR họ CMOS



Bảng 3.3 cho thấy quan hệ điện thế của các ngõ vào , ra cổng NOT

$V_{in}$	$T_1$	$T_2$	$V_{out}$
$V_{DD}$ (logic1)	$R_{OFF}=10^{10}\Omega$	$R_{ON} = 1K\Omega$	0V (logic 0)
0V (logic0)	$R_{ON} = 1K\Omega$	$R_{OFF}=10^{10}\Omega$	$V_{DD}$ (logic 1)

Bảng 3.3

Ngoài ra vận hành của cổng NAND và NOR được giải thích như sau:

❖ Cổng NAND:

- Khi 2 ngõ vào nổi lên mức cao,  $T_1$  và  $T_2$  ngưng,  $T_3$  và  $T_4$  dẫn, ngõ ra xuống thấp.
  - Khi có 1 ngõ vào nổi xuống mức thấp, một trong 2 transistor  $T_3$  hoặc  $T_4$  ngưng, một trong 2 transistor  $T_1$  hoặc  $T_2$  dẫn, ngõ ra lên cao.
- Đó chính là kết quả của cổng NAND 2 ngõ vào.

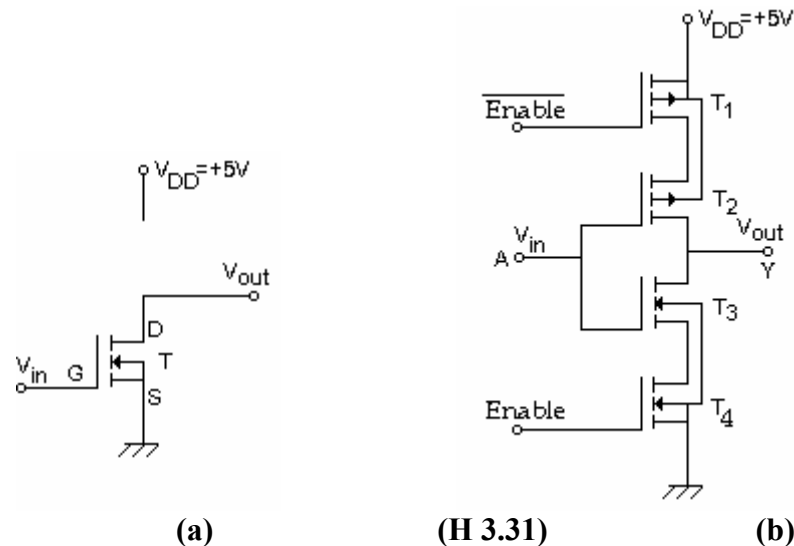
❖ Cổng NOR:

- Khi 2 ngõ vào nổi xuống mức thấp,  $T_1$  và  $T_2$  dẫn,  $T_3$  và  $T_4$  ngưng, ngõ ra lên cao.
  - Khi có 1 ngõ vào nổi lên mức cao, một trong 2 transistor  $T_3$  hoặc  $T_4$  dẫn, một trong 2 transistor  $T_1$  hoặc  $T_2$  ngưng, ngõ ra xuống thấp.
- Đó chính là kết quả của cổng NOR 2 ngõ vào.

### 3.5.3 Các cổng CMOS khác

Người ta cũng sản xuất các cổng CMOS với cực Drain để hở và ngõ ra 3 trạng thái để sử dụng trong các trường hợp đặc biệt như họ TTL

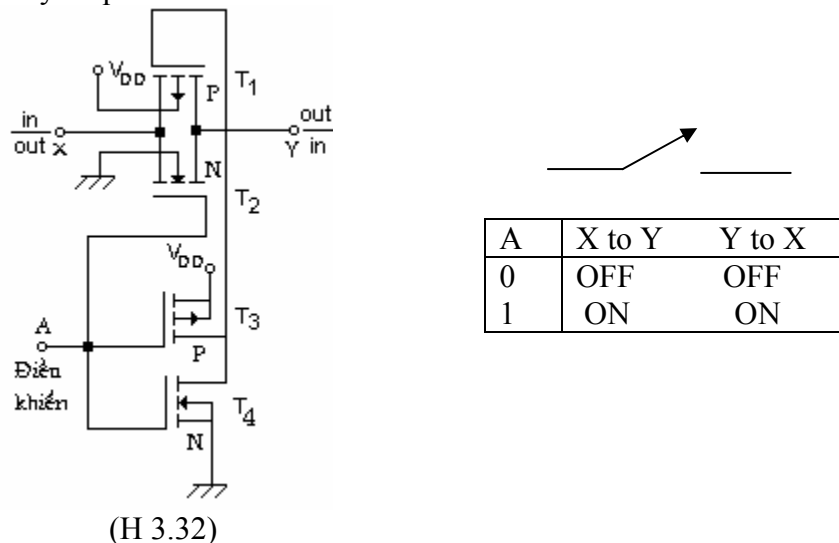




(H 3.31a) là một cổng NOT có cực D để hở, khi sử dụng phải có điện trở kéo lên  
(H 3.31b) là một cổng NOT có ngõ ra 3 trạng thái:

- Khi ngõ vào Enable = 1,  $T_1$  và  $T_4$  dẫn, mạch hoạt động như là cổng đảo,
- Khi ngõ vào Enable = 0,  $T_1$  và  $T_4$  đều ngưng đưa mạch vào trạng thái Z cao.

Ngoài ra lợi dụng tính chất của transistor MOS có nội trở rất nhỏ khi dẫn, người ta cũng chế tạo các mạch có khả năng truyền tín hiệu theo 2 chiều, gọi là khóa 2 chiều. (H 3.32) là một khóa 2 chiều với A là ngõ vào điều khiển. Khi  $A = 0$  khóa hở, khi  $A = 1$ , khóa đóng cho tín hiệu truyền qua theo 2 chiều



Vận hành:  $T_3$  và  $T_4$  vai trò là một cổng đảo

- Khi  $A = 0$ , cực G của  $T_2$  ở mức thấp nên  $T_2$  (kênh N) ngưng, cực G của  $T_1$  (kênh P) ở mức cao nên  $T_1$  ngưng, mạch tương đương với khóa hở.
- Khi  $A = 1$ , cực G của  $T_2$  ở mức cao nên  $T_2$  dẫn, cực G của  $T_1$  ở mức thấp nên  $T_1$  dẫn, mạch tương đương với khóa đóng. Tín hiệu truyền qua một chiều nhờ  $T_1$  (loại P) và theo chiều ngược lại nhờ  $T_2$  (loại N)

Biên độ của tín hiệu  $V_i$  truyền qua khóa phải thỏa điều kiện  $0 < V_i < V_{DD}$ .

Như vậy nếu ta sử dụng nguồn  $\pm V_{DD}$  thì khóa cho tín hiệu xoay chiều đi qua.

### 3.5.3 Đặc tính của họ MOS

Một số tính chất chung của các cổng logic họ MOS (NMOS, PMOS và CMOS) có thể kể ra như sau:

- Nguồn cấp điện :  $V_{DD}$  từ 3V đến 15V
- Mức logic:  $V_{OL}(\max) = 0V$   $V_{OH}(\min) = V_{DD}$   
 $V_{IL}(\max) = 30\% V_{DD}$   $V_{IH}(\min) = 70\% V_{DD}$
- Lề nhiễu :  $V_{NH} = 30\% V_{DD}$   $V_{NL} = 30\% V_{DD}$

Với nguồn 5V, lề nhiễu khoảng 1,5V, rất lớn so với họ TTL.

- Thời trễ truyền tương đối lớn, khoảng vài chục ns, do điện dung ký sinh ở ngã vào và tổng trở ra của transistor khá lớn.

- Công suất tiêu tán tương đối nhỏ, hàng nW, do dòng qua transistor MOS rất nhỏ.

- Số Fan Out: 50 UL

Do tổng trở vào của transistor MOS rất lớn nên dòng tải cho các cổng họ MOS rất nhỏ, do đó số Fan Out của họ MOS rất lớn, tuy nhiên khi mắc nhiều tầng tải vào một tầng thúc thì điện dung ký sinh tăng lên (gồm nhiều tụ mắc song song) ảnh hưởng đến thời gian giao hoán của mạch nên khi dùng ở tần số cao người ta giới hạn số Fan Out là 50, nghĩa là một cổng MOS có thể cấp dòng cho 50 cổng tải cùng loạt.

- Như đã nói ở trên, CMOS có cải thiện thời trễ truyền so với loại NMOS và PMOS, tuy nhiên mật độ tích hợp của CMOS thì nhỏ hơn hai loại này. Dù sao so với họ TTL thì mật độ tích hợp của họ MOS nói chung lớn hơn rất nhiều, do đó họ MOS rất thích hợp để chế tạo dưới dạng LSI và VLSI.

### 3.5.4 Các loạt CMOS

CMOS có hai ký hiệu: 4XXX do hãng RCA chế tạo và 14XXX của hãng MOTOROLA, có hai loạt 4XXXA (14XXXA) và 4XXXB (14XXXB), loạt B ra đời sau có cải thiện dòng ra.

Ngoài ra còn có các loạt :

- 74C : CMOS có cùng sơ đồ chân và chức năng với IC TTL nếu có cùng số. Thí dụ IC 74C74 là IC gồm 2 FF D tác động bởi cạnh xung đồng hồ giống như IC 7474 của TTL. Hầu hết (nhưng không tất cả) các thông số của loạt 74C giống với 74 TTL nên ta có thể thay thế 2 loại này cho nhau được.

- 74HC (High speed CMOS), 74HCT: Đây là loạt cải tiến của 74C, tốc độ giao hoán có thể so sánh với 74LS, riêng 74HCT thì hoàn toàn tương thích với TTL kể cả các mức logic. Đây là loạt IC CMOS được dùng rộng rãi.

- 74AC và 74ACT (Advance CMOS) cải tiến của 74 HC và HCT về mặt nhiễu bằng cách sắp xếp lại thứ tự các chân, do đó nó không tương thích với TTL về sơ đồ chân.

## 3.6 GIAO TIẾP GIỮA CÁC HỌ IC SỐ

Giao tiếp là thực hiện việc kết nối ngã ra của một mạch hay hệ thống với ngã vào của mạch hay hệ thống khác. Do tính chất về điện khác nhau giữa hai họ TTL và CMOS nên việc giao tiếp giữa chúng trong nhiều trường hợp không thể nối trực tiếp được mà phải nhờ một mạch trung gian nối giữa tầng thúc và tầng tải sao cho điện thế tín hiệu ra ở tầng thúc phù hợp với tín hiệu vào của tầng tải và dòng điện tầng thúc phải đủ cấp cho tầng tải.

---

CMOS ( $V_{DD}=$

---

TTL

---

Nguyễn Trung Lập

Thông số	5V)			74	74LS	74AS	74ALS
	4000B	74HC	74HCT				
$V_{IH}(\min)$	3,5V	3,5V	2,0V	2,0V	2,0V	2,0V	2,0V
$V_{IL}(\max)$	1,5V	1,0V	0,8V	0,8V	0,8V	0,8V	0,8V
$V_{OH}(\min)$	4,95V	4,9V	4,9V	2,4V	2,7V	2,7V	2,7V
$V_{OL}(\max)$	0,05V	0,1V	0,1V	0,4V	0,5V	0,5V	0,4V
$I_{IH}(\max)$	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	40 $\mu$ A	20 $\mu$ A	200 $\mu$ A	20 $\mu$ A
$I_{IL}(\max)$	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	1,6 mA	0,4 mA	2 mA	100 $\mu$ A
$I_{OH}(\max)$	0,4 mA	4 mA	4 mA	0,4 mA	0,4 mA	2 mA	0,4 mA
$I_{OL}(\max)$	0,4 mA	4 mA	4 mA	16 mA	8 mA	20 mA	8 mA

Bảng 3.4

Có thể nói điều kiện để thức trực tiếp

- Khi dòng điện ra của tầng thức lớn hơn hoặc bằng dòng điện vào của tầng tải ở cả hai trạng thái thấp và cao.

- Khi hiệu thế ngã ra của tầng thức ở hai trạng thái thấp và cao phù hợp với điện thế vào của tầng tải.

Như vậy, trước khi xét các trường hợp cụ thể ta xem qua bảng kê các thông số của hai họ IC

### 3.6.1 TTL thức CMOS

- **TTL thức CMOS dùng điện thế thấp** ( $V_{DD} = 5V$ ):

Từ bảng 3.4 dòng điện vào của CMOS có trị rất nhỏ so với dòng ra của các loại TTL, vậy về dòng điện không có vấn đề

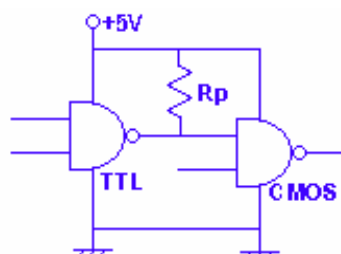
Tuy nhiên khi so sánh hiệu thế ra của TTL với hiệu thế vào của CMOS ta thấy  $V_{OH}(\max)$  của tất cả các loại TTL đều khá thấp so với  $V_{IH}(\min)$  của TTL, như vậy phải có biện pháp nâng hiệu thế ra của TTL lên. Điều này thực hiện được bằng một điện trở kéo lên mắc ở ngã ra của IC TTL (H 3.33)

- **TTL thức 74 HCT:**

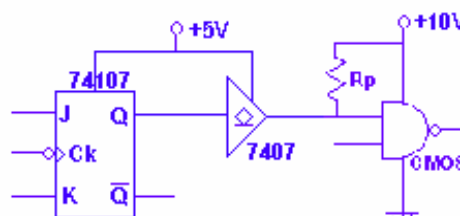
Như đã nói trước đây, riêng loại 74HCT là loại CMOS được thiết kế tương thích với TTL nên có thể thực hiện kết nối mà không cần điện trở kéo lên.

- **TTL thức CMOS dùng nguồn cao** ( $V_{DD} = +10V$ )

Ngay cả khi dùng điện trở kéo lên, điện thế ngã ra mức cao của TTL vẫn không đủ cấp cho ngã vào CMOS, người ta phải dùng một cổng đệm có ngã ra để hở có thể dùng nguồn cao (Thí dụ IC 7407) để thực hiện sự giao tiếp (H 3.34)



(H 3.33)



(H 3.34)

### 3.6.2 CMOS thức TTL

- CMOS thức TTL ở trạng thái cao:

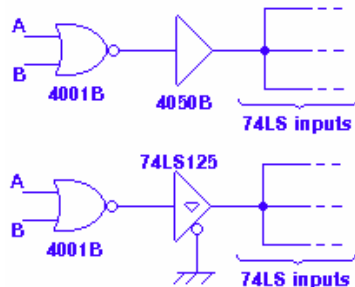
Bảng 3.4 cho thấy điện thế ra và dòng điện ra mức cao của CMOS đủ để cấp cho TTL. Vậy không có vấn đề ở trạng thái cao

- CMOS thúc TTL ở trạng thái thấp:

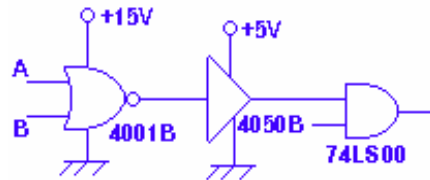
Dòng điện vào ở trạng thái thấp của TTL thay đổi trong khoảng từ  $100\text{ }\mu\text{A}$  đến  $2\text{ mA}$ . Hai loạt 74HC và 74HCT có thể nhận dòng  $4\text{ mA}$ . Vậy hai loạt này có thể giao tiếp với một IC TTL mà không có vấn đề. Tuy nhiên, với loạt 4000B,  $I_{OL}$  rất nhỏ không đủ để giao tiếp với ngay cả một IC TTL, người ta phải dùng một cổng đệm để nâng dòng tải của loạt 4000B trước khi thúc vào IC 74LS (H 3.35)

- CMOS dùng nguồn cao thúc TTL:

Có một số IC loạt 74LS được chế tạo đặc biệt có thể nhận điện thế ngã vào cao khoảng  $15\text{V}$  có thể được thúc trực tiếp bởi CMOS dùng nguồn cao, tuy nhiên đa số IC TTL không có tính chất này, vậy để có thể giao tiếp với CMOS dùng nguồn cao, người ta phải dùng cổng đệm để hạ điện thế ra xuống cho phù hợp với IC TTL (H 3.36)



(H 3.35)



(H 3.36)

### Vài thí dụ dùng cổng thiết kế mạch

1. Dùng cổng NAND 2 ngã vào thiết kế mạch tạo hàm  $Y = f(A,B,C) = 1$  khi thỏa các điều kiện sau:

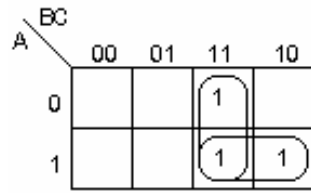
- $A=0$ ,  $B=1$  và  $C=1$
- $A=1$ ,  $B=1$  bất chấp  $C$

### Giải

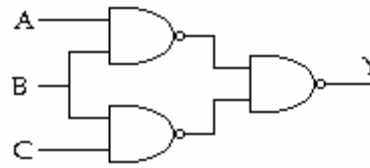
Dựa vào điều kiện của bài toán ta có bảng sự thật của hàm  $Y$

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Rút gọn hàm:



$$Y = AB + BC$$



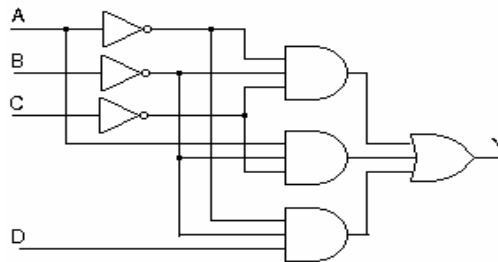
(H 3.37)

Để dùng toàn cổng NAND tạo hàm, ta dùng định lý De Morgan, biến đổi hàm Y:

$$Y = \overline{\overline{Y}} = \overline{\overline{AB + BC}} = \overline{\overline{AB} \cdot \overline{BC}}$$

Và mạch có dạng (H 3.37)

2. Cho mạch



(H P3.38)

a./ Viết biểu thức hàm Y theo các biến A,B,C.

b./ Rút gọn hàm logic này

c./ Thay thế mạch trên bằng một mạch chỉ gồm cổng NAND 2 ngõ vào

**Giải**

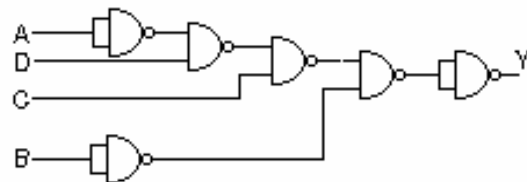
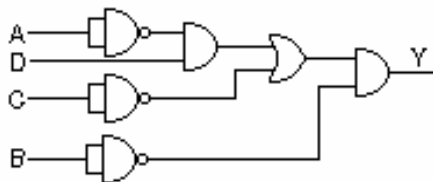
a./ Ta có  $Y = \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot D$

b./ Rút gọn

$$Y = \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot D = \overline{B} \cdot \overline{C} (\overline{A} + A) + \overline{A} \cdot \overline{B} \cdot D = \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot D = \overline{B} (\overline{C} + \overline{A} D)$$

c./ Vẽ mạch thay thế dùng cổng NAND 2 ngõ vào

Trước nhất ta vẽ mạch tương ứng hàm rút gọn, sau đó dùng biến đổi cổng



(H P3.39)

\*\*\*

**BÀI TẬP**

- Thiết kế mạch thực hiện các hàm sau đây dùng toàn cổng NAND 2 ngõ vào:
  - $f(A,B,C) = 1$  nếu  $(ABC)_2$  là số chẵn.
  - $f(A,B,C) = 1$  nếu có ít nhất 2 biến = 1.
  - $f(A,B,C) = 1$  nếu số nhị phân  $(ABC)_2 > 5$ .
  - $f(A,B,C) = 1$  nếu số biến có giá trị 1 là số chẵn.
  - $f(A,B,C) = 1$  nếu có một và chỉ một biến = 1.
- Thiết kế mạch gồm 2 ngõ vào D, E và 2 ngõ ra P, C thỏa các điều kiện sau đây:
  - Nếu E = 1 D = 0  $\Rightarrow$  P = 1, C = 0
  - Nếu E = 1 D = 1  $\Rightarrow$  P = 0, C = 1
  - Nếu E = 0 D bất kỳ  $\Rightarrow$  P = 1, C = 1
- Hàm logic F(A, B, C) thỏa tính chất sau đây :  
 $F(A,B,C) = 1$  nếu có một và chỉ một biến bằng 1
  - Lập bảng sự thật cho hàm F.
  - Vẽ mạch logic tạo hàm F.
- Thiết Kế mạch tạo hàm  $Y = \overline{A}.\overline{B}.\overline{C} + A\overline{B}.\overline{C} + \overline{A}.\overline{B}C$  bằng các cổng NAND 2 ngõ vào
- Hàm F(A,B,C) xác định bởi bảng sự thật

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

- Dùng bản đồ Karnaugh rút gọn hàm F.
- Vẽ sơ đồ mạch logic thực hiện hàm F.
- Vẽ lại mạch chỉ dùng cổng NOR hai ngõ vào.

- Rút gọn hàm logic :  
 $f(A,B,C,D) = \Sigma(0,1, 2, 4, 5, 8)$ , A = MSB. Hàm không xác định với các tổ hợp biến (3, 7,10).  
 Dùng số cổng NOR ít nhất để thực hiện mạch tạo hàm trên.
- Hàm  $f(A,B,C) = 1$  khi số biến = 1 là số chẵn
  - Viết biểu thức logic của hàm  $f(A,B,C)$  theo tổ hợp biến A,B,C.
  - Dùng các cổng EX-OR để thực hiện mạch tạo hàm trên.
- Một mạch tổ hợp nhận vào một số nhị phân  $A = A_3A_2A_1A_0$  ( $A_0$  là LSB) tạo ra ở ngõ ra Y ở mức cao khi và chỉ khi  $0010 < A < 1000$ . Hãy thiết kế mạch với:
  - Cấu trúc NAND-NAND.
  - Toàn cổng NAND 2 ngõ vào.

**logic III - 23**

**9.** Một mạch tổ hợp nhận vào một số BCD, có tên là X. Ngã ra của mạch lên 1 khi thỏa điều kiện  $1_{10} \leq X \leq 5_{10}$ .  
Hãy thiết kế mạch tổ hợp trên, dùng toàn cổng NAND 2 ngõ vào.

**10.** Hàm  $f(A,B,C,D) = 1$  khi có ít nhất 3 biến = 1

- Viết biểu thức logic của hàm  $f(A,B,C,D)$  theo tổ hợp biến A,B,C,D.
- Dùng các cổng NAND 2 ngõ vào (số cổng ít nhất) để thực hiện mạch tạo hàm trên.