

# Chương 4: **HỆ TUẦN TỰ**

**I. KHÁI NIỆM VỀ HỆ TUẦN TỰ**

**II. CÁC PHẦN TỬ NHỚ**

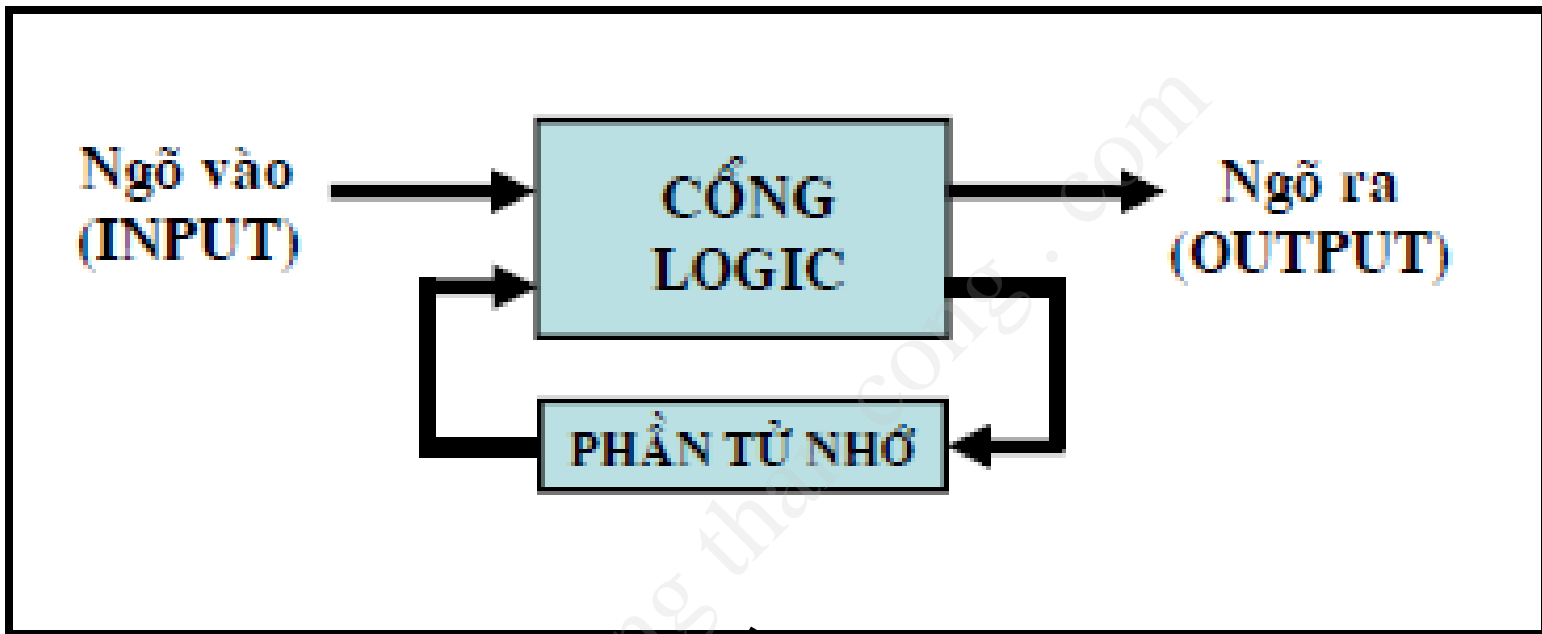
**III. BỘ ĐẾM**

**IV. THANH GHI DỊCH**

**V. PHÂN TÍCH VÀ THIẾT KẾ HỆ TUẦN TỰ**

**VI. MÁY TRẠNG THÁI**

# I. KHÁI NIỆM



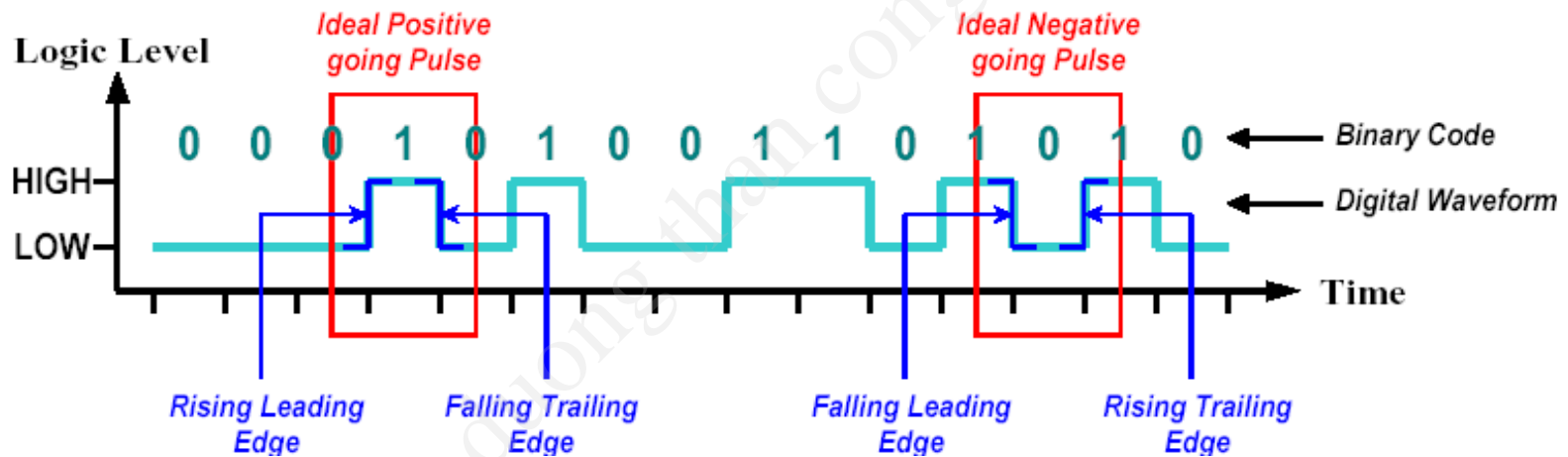
**Hệ tuần tự đồng bộ**  
**(Synchronous)**

**Hệ tuần tự bất đồng bộ**  
**(Asynchronous)**

## II. MẠCH CHỐT(Latch) và FLIP-FLIP (FF):

**Latch (chốt):** là mạch tuần tự mà nó liên tục xem xét các ngõ vào và làm thay đổi các ngõ ra bất cứ thời điểm nào mà không phụ thuộc xung clock.

**Flip Flop:** là mạch tuần tự mà nó thường lấy mẫu các ngõ vào và làm thay đổi các ngõ ra tại những thời điểm xác định bởi xung clock.

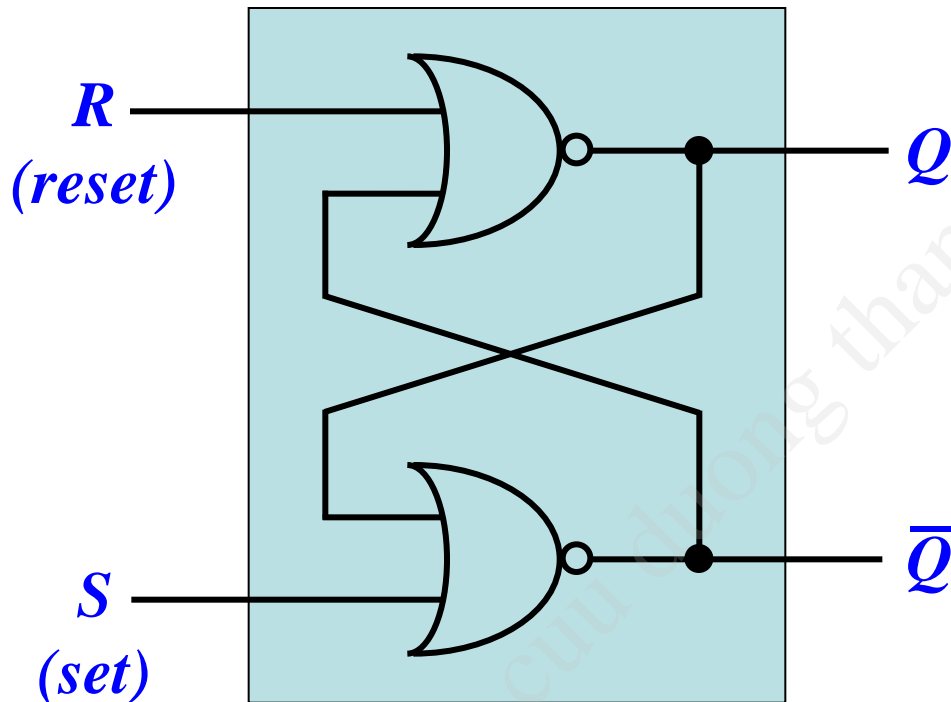


Các mạch chốt và FF có 2 ngõ ra Q và  $\overline{Q}$ . Hai ngõ ra này có giá trị logic là bù của nhau.

## 1. Các mạch chốt:

a. Chốt SR: Có 2 loại

\* Cổng NOR:



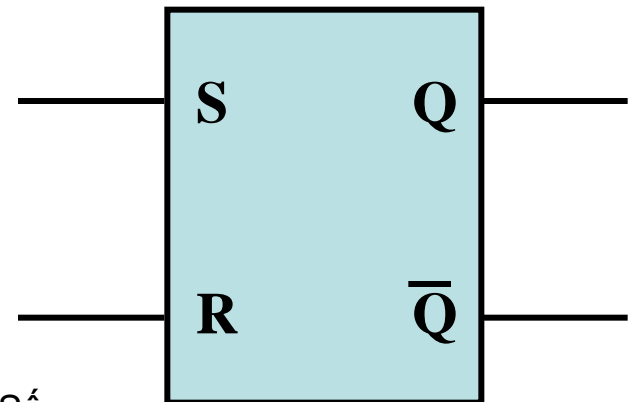
Bảng hoạt động:

S	R	$Q^+$	$\bar{Q}^+$
0	0	$Q$	$\bar{Q}$
0	1	0	1
1	0	1	0
1	1	0	0

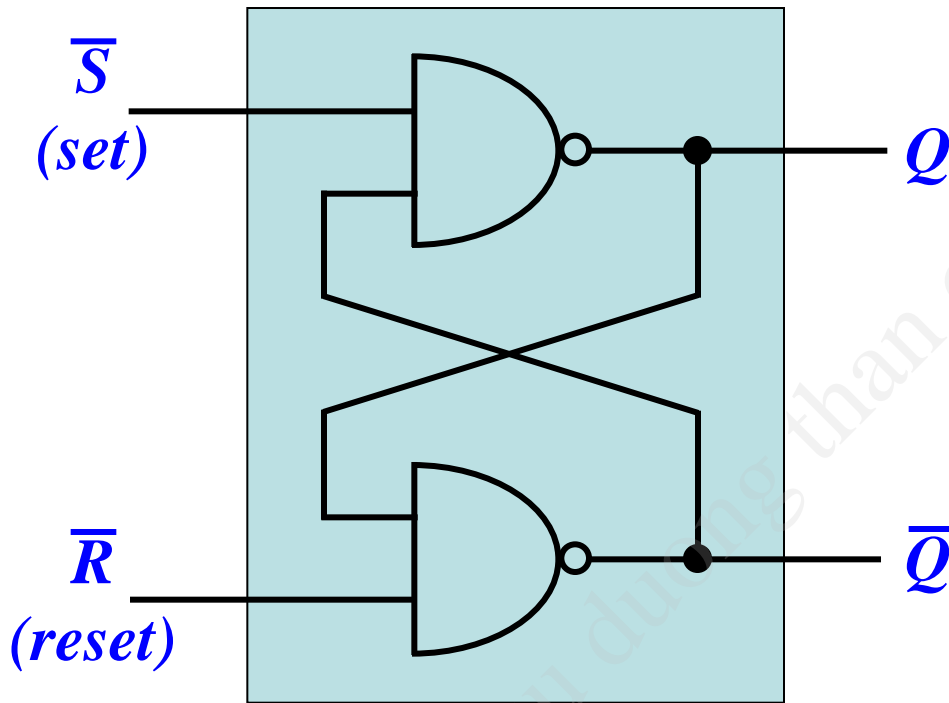
} *Cấm  
Sử dụng*

$Q^+$  là trạng thái kế tiếp của  $Q$

Ký hiệu:



\* Cổng NAND:

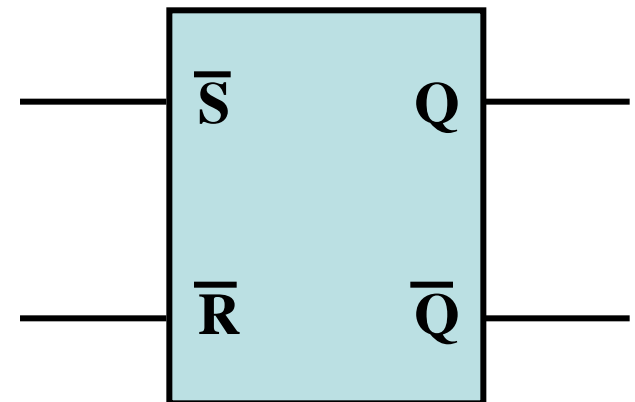


Bảng hoạt động:

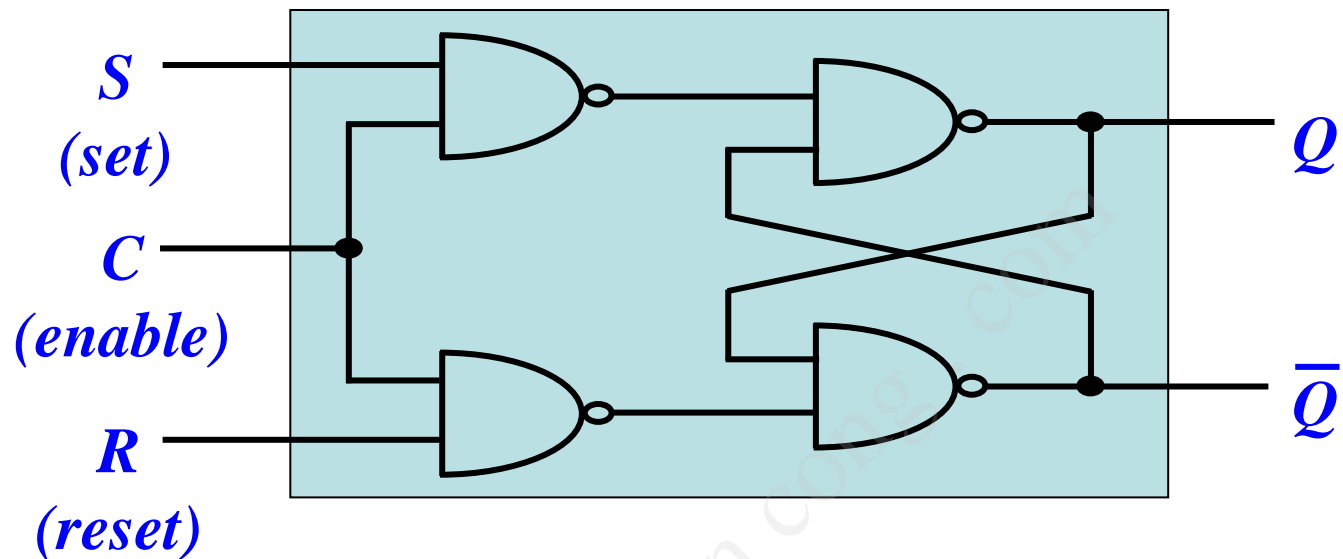
$\bar{S}$	$\bar{R}$	$Q^+$	$\bar{Q}^+$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q	$\bar{Q}$

} *Cấm  
Sử dụng*

Ký hiệu:



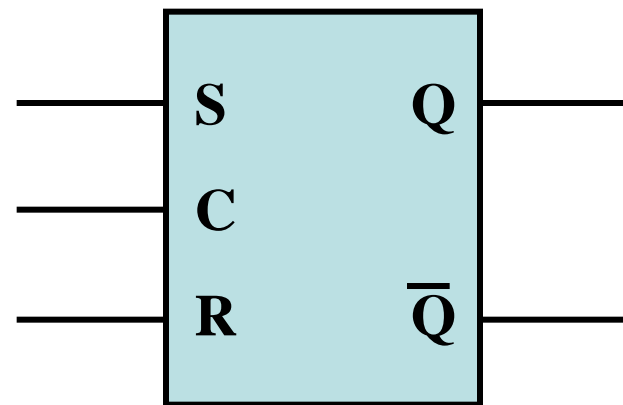
b. Chốt SR có ngõ vào cho phép:



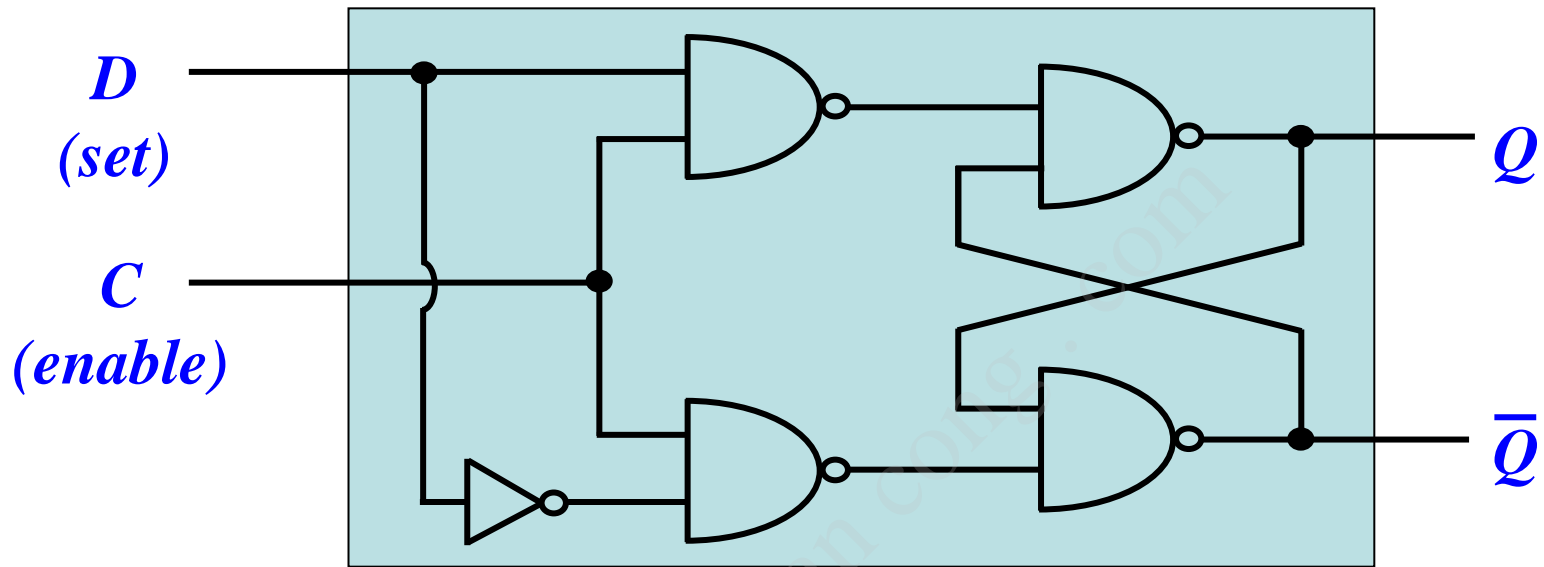
Bảng hoạt động:

C	S	R	$Q^+$	$\bar{Q}^+$
0	X	X	Q	$\bar{Q}$
1	0	0	Q	$\bar{Q}$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

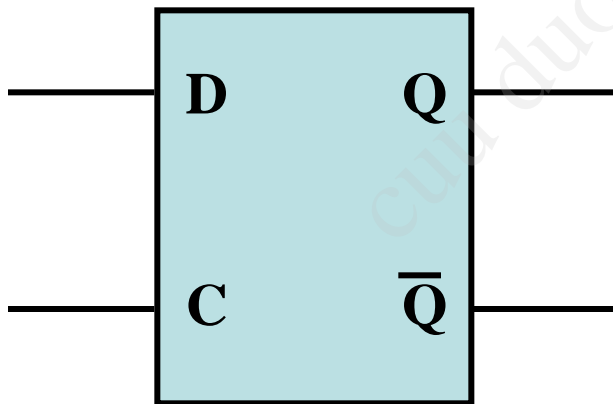
Ký hiệu chốt SR có ngõ vào  
cho phép tích cực cao:



c. Chốt D:



Ký hiệu chốt D:



Bảng hoạt động:

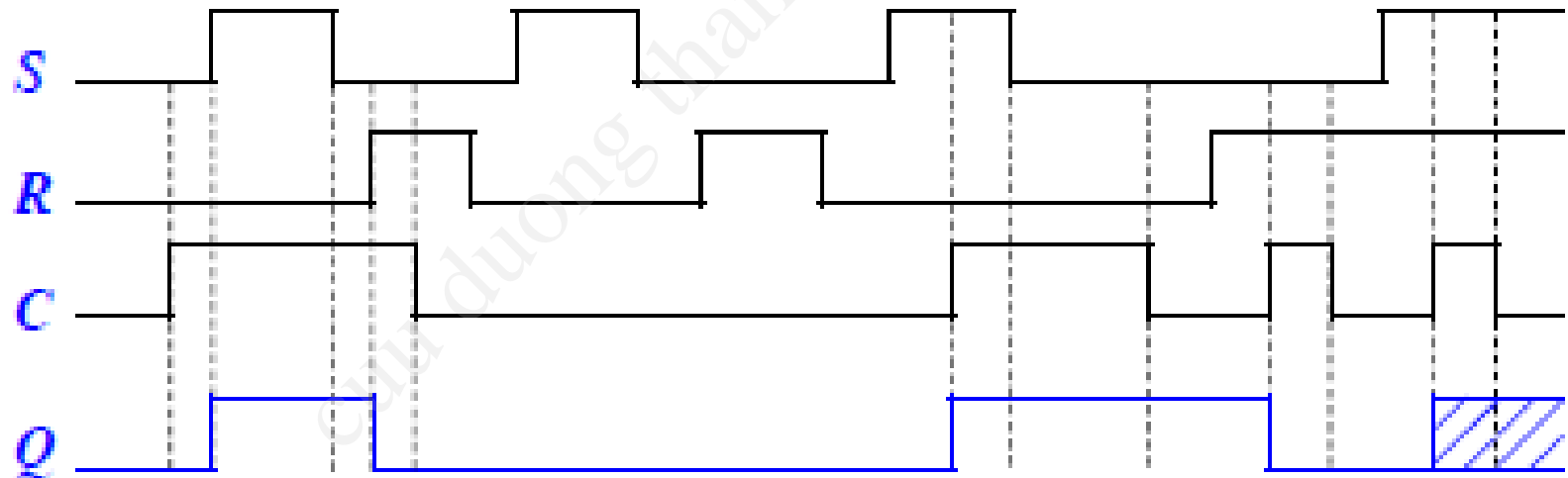
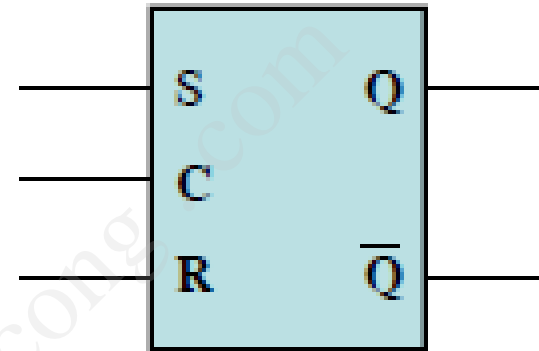
C	D	$Q^+$	$\bar{Q}^+$
0	X	Q	$\bar{Q}$
1	0	0	1
1	1	1	0

# KHẢO SÁT GIẢN ĐỒ XUNG

Bảng hoạt động:

C	S	R	$Q^+$	$\overline{Q}^+$
0	X	X	Q	$\overline{Q}$
1	0	0	Q	$\overline{Q}$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Ký hiệu chốt SR có ngõ vào  
cho phép tích cực cao:

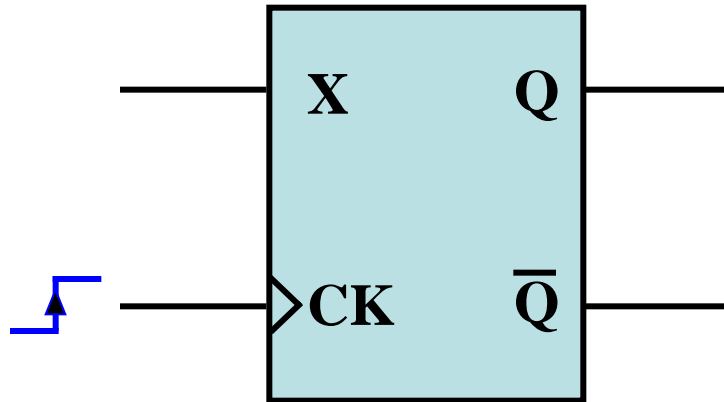


(Cho  $Q$  ban đầu là 0)

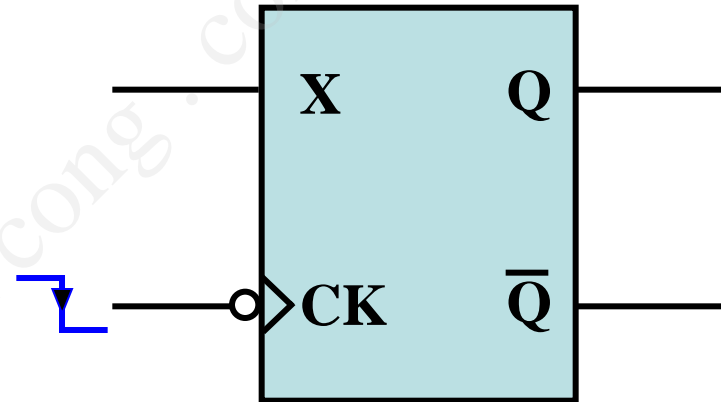


## 2. Flip\_Flop (FF):

Trạng thái kế tiếp của ngõ ra FF sẽ thay đổi theo ngõ vào và trạng thái trước đó củangõ ra tại thời điểm thay đổi của xung clock (cạnh lên hoặc cạnh xuống)



*Xung clock cạnh lên*



*Xung clock cạnh xuống*

### \* Bảng đặc tính và phương trình đặc tính:

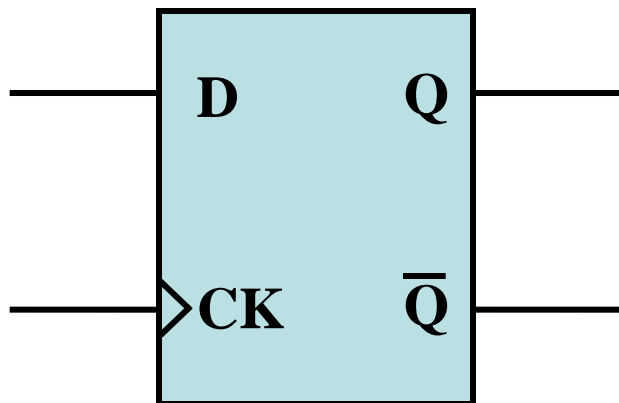
Biểu diễn mối quan hệ của ngõ ra kế tiếp  $Q^+$  phụ thuộc vào các ngõ vào và trạng thái ngõ ra hiện tại  $Q$ .

### \* Bảng kích thích:

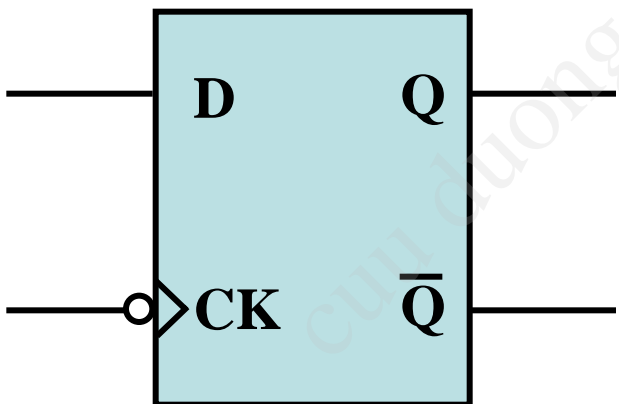
Biểu diễn giá trị của các ngõ vào cần phải có khi ta cần ngõ ra chuyển từ trạng thái hiện tại  $Q$  sang trạng thái kế tiếp  $Q^+$ .

a. Flip Flop D (D-FF):

Bảng hoạt động:

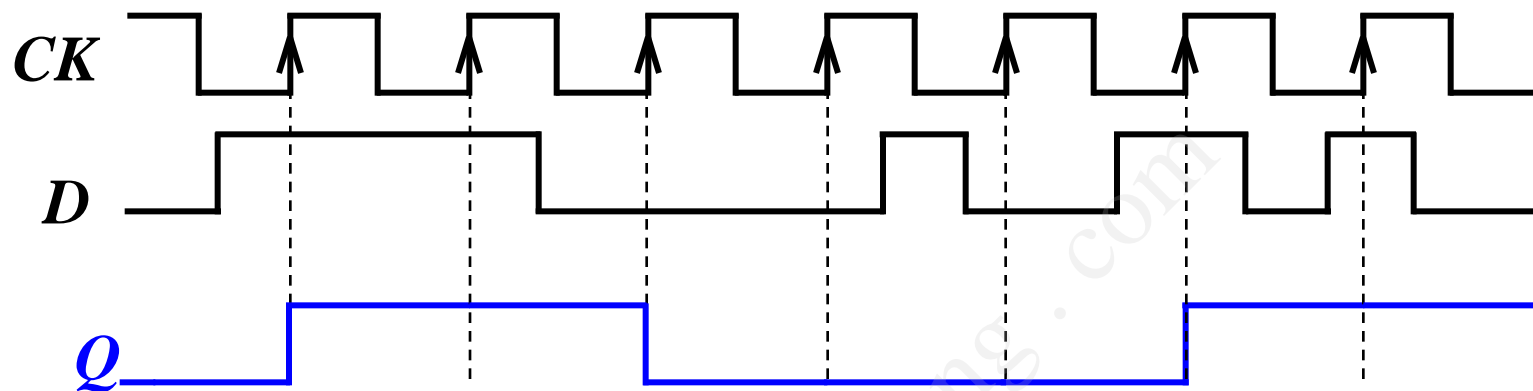


CK	D	Q <sup>+</sup> $\bar{Q}^+$
0, 1, $\downarrow$	X	Không thay đổi
$\uparrow$	0	0 1
$\uparrow$	1	1 0



CK	D	Q <sup>+</sup> $\bar{Q}^+$
0, 1, $\uparrow$	X	Không thay đổi
$\downarrow$	0	0 1
$\downarrow$	1	1 0

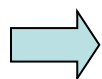
\* Khảo sát giản đồ xung:



(Cho  $Q$  ban đầu là 0)

\* Bảng đặc tính và  
phương trình đặc tính:

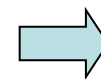
D	Q	$Q^+$
0	0	0
0	1	0
1	0	1
1	1	1



$$\underline{Q^+ = D}$$

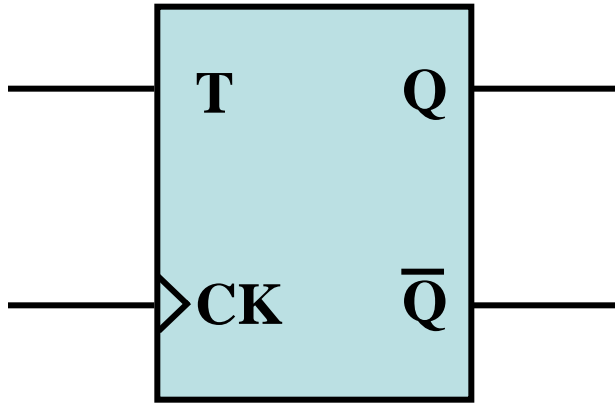
\* Bảng kích thích:

Q	$Q^+$	$D$
0	0	0
0	1	1
1	0	0
1	1	1



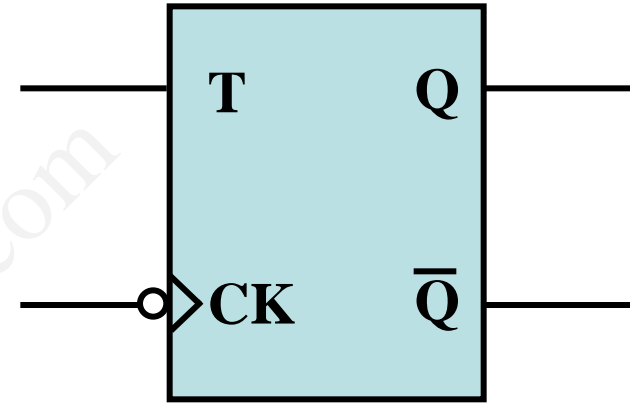
$$\underline{D = Q^+}$$

b. Flip Flop T (T-FF):



Bảng hoạt động:

T	$Q^+$
0	$Q$
1	$\overline{Q}$



\* Bảng đặc tính và  
phương trình đặc tính:

T	Q	$Q^+$
0	0	0
0	1	1
1	0	1
1	1	0

➡  $Q^+ = T \oplus Q$

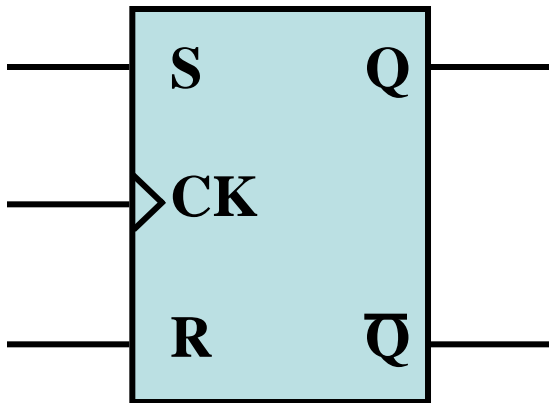
\* Bảng kích thích:

Q	$Q^+$	T
0	0	0
0	1	1
1	0	1
1	1	0

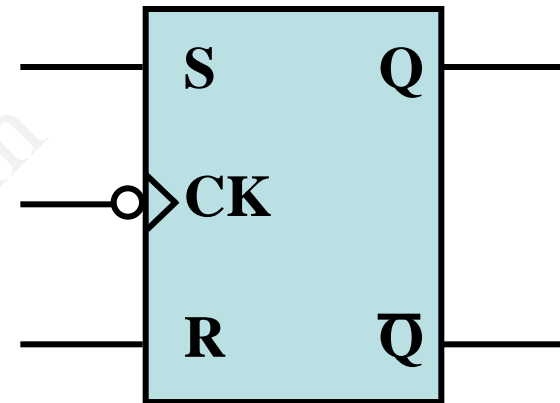
➡  $T = Q \oplus Q^+$

c. Flip\_Flop SR (SR-FF):

Bảng hoạt động:



S	R	$Q^+$
0	0	$Q$
0	1	0
1	0	1
1	1	X



\* Bảng đặc tính và phương trình đặc tính:

S	R	Q	$Q^+$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

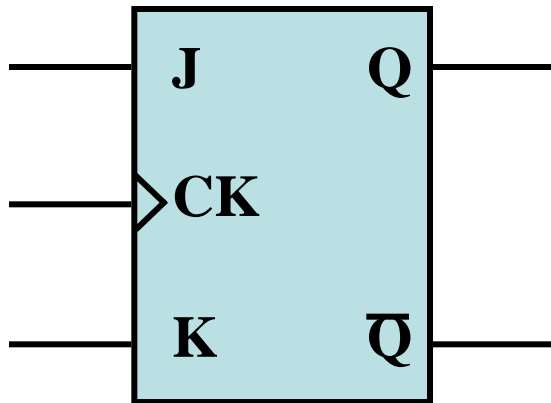
\* Bảng kích thích:

Q	$Q^+$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

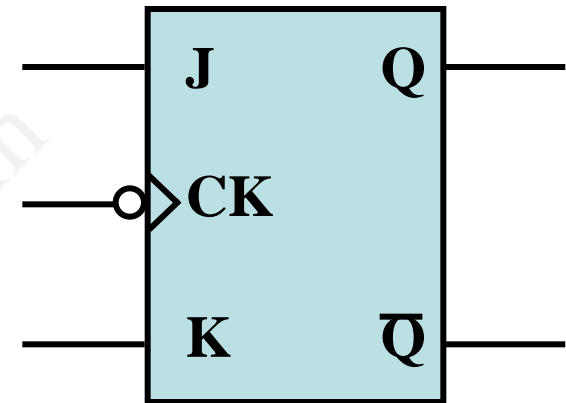
$$\underline{Q^+ = S + \bar{R}Q}$$

$$SR = 0$$

d. Flip Flop JK (JK-FF):



J	K	$Q^+$
0	0	$Q$
0	1	0
1	0	1
1	1	$\bar{Q}$



\* Bảng đặc tính và phương trình đặc tính:

J	K	Q	$Q^+$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

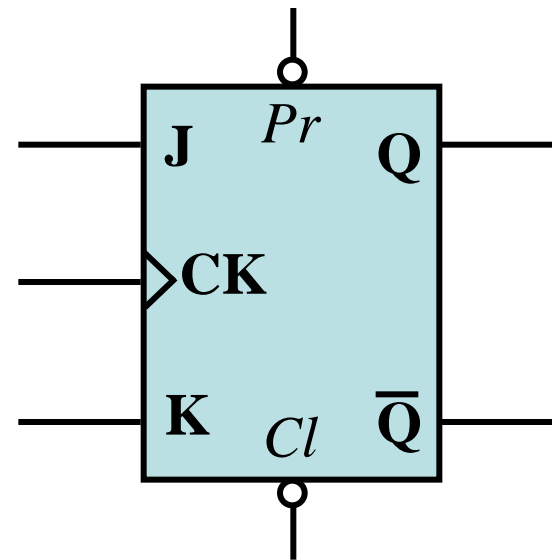
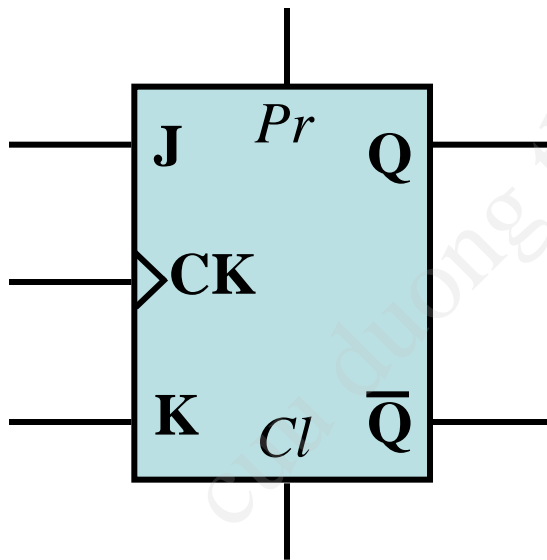
$$\underline{Q^+ = J\bar{Q} + \bar{K}Q}$$

\* Bảng kích thích:

Q	$Q^+$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

### e. Các ngõ vào bất đồng bộ:

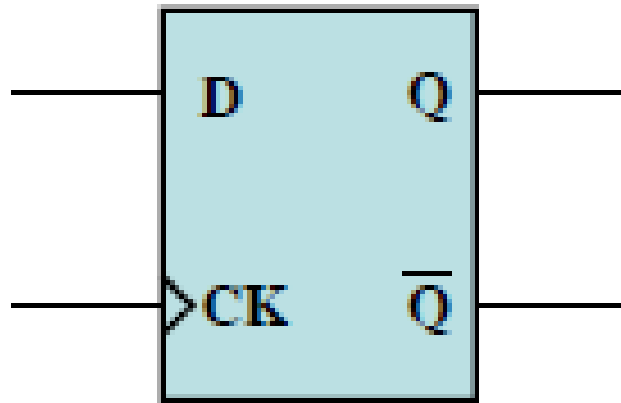
- Các ngõ vào này sẽ làm thay đổi giá trị ngõ ra tức thời, bất chấp xung clock.
- Có 2 ngõ vào bất đồng bộ: Preset (Pr) và Clear (Cl).
  - + Khi ngõ vào Preset tích cực thì ngõ ra  $Q$  được set lên 1.
  - + Khi ngõ vào Clear tích cực thì ngõ ra  $Q$  được xóa về 0.



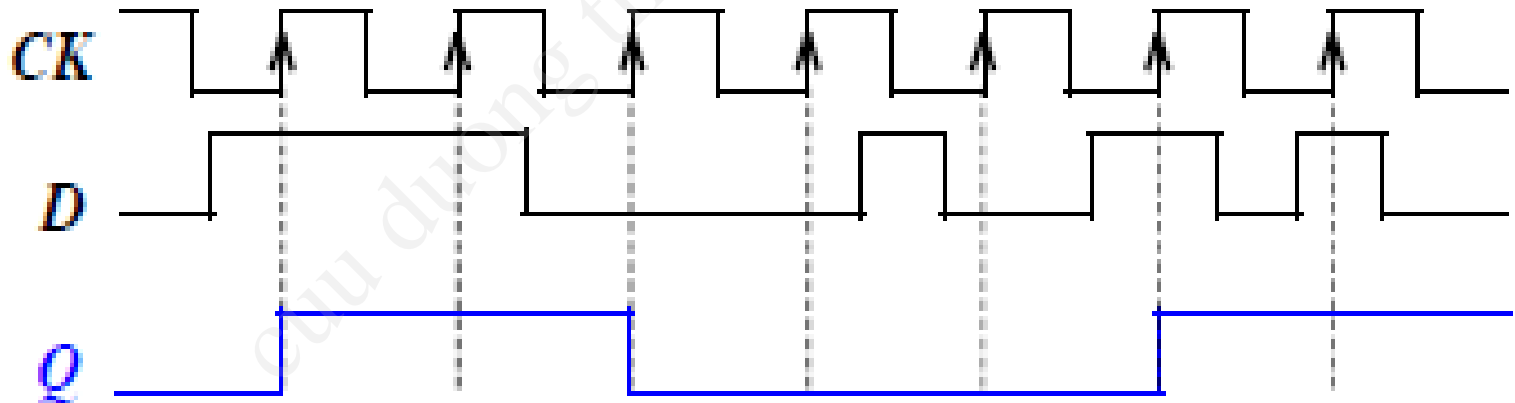
- + Khi ngõ vào Preset và Clear không tích cực thì FF mới hoạt động.

# KHẢO SÁT GIẢN ĐỒ XUNG

Bảng hoạt động:



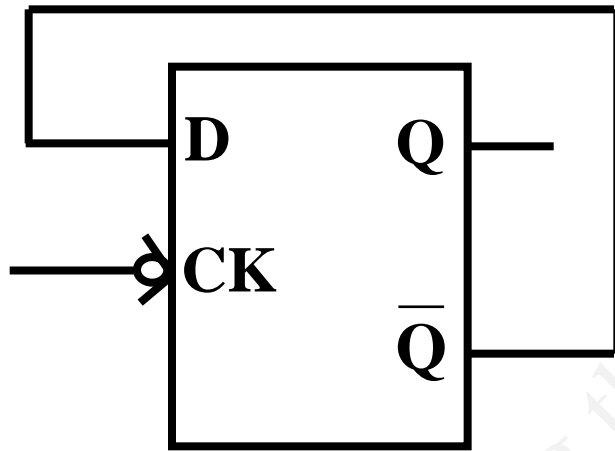
CK	D	$Q^+$	$\bar{Q}^+$
0, 1, $\overline{\text{L}}$	X	Không thay đổi	
	0	0	1
	1	1	0



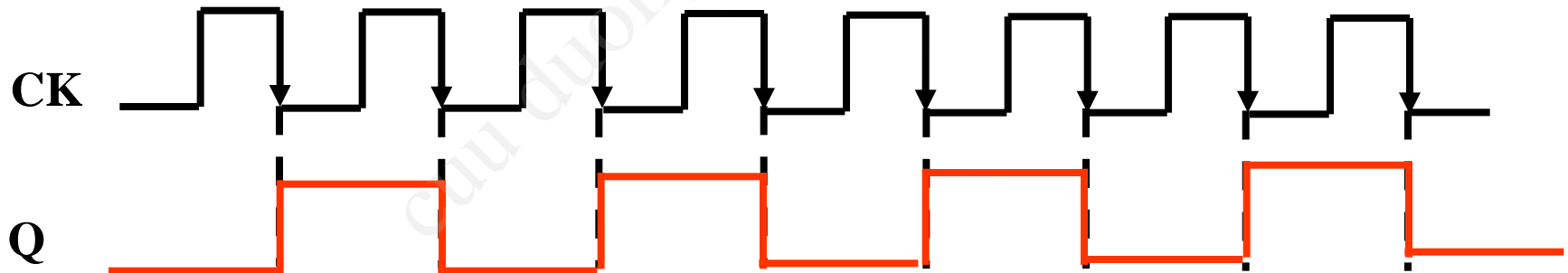
(Cho  $Q$  ban đầu là 0)



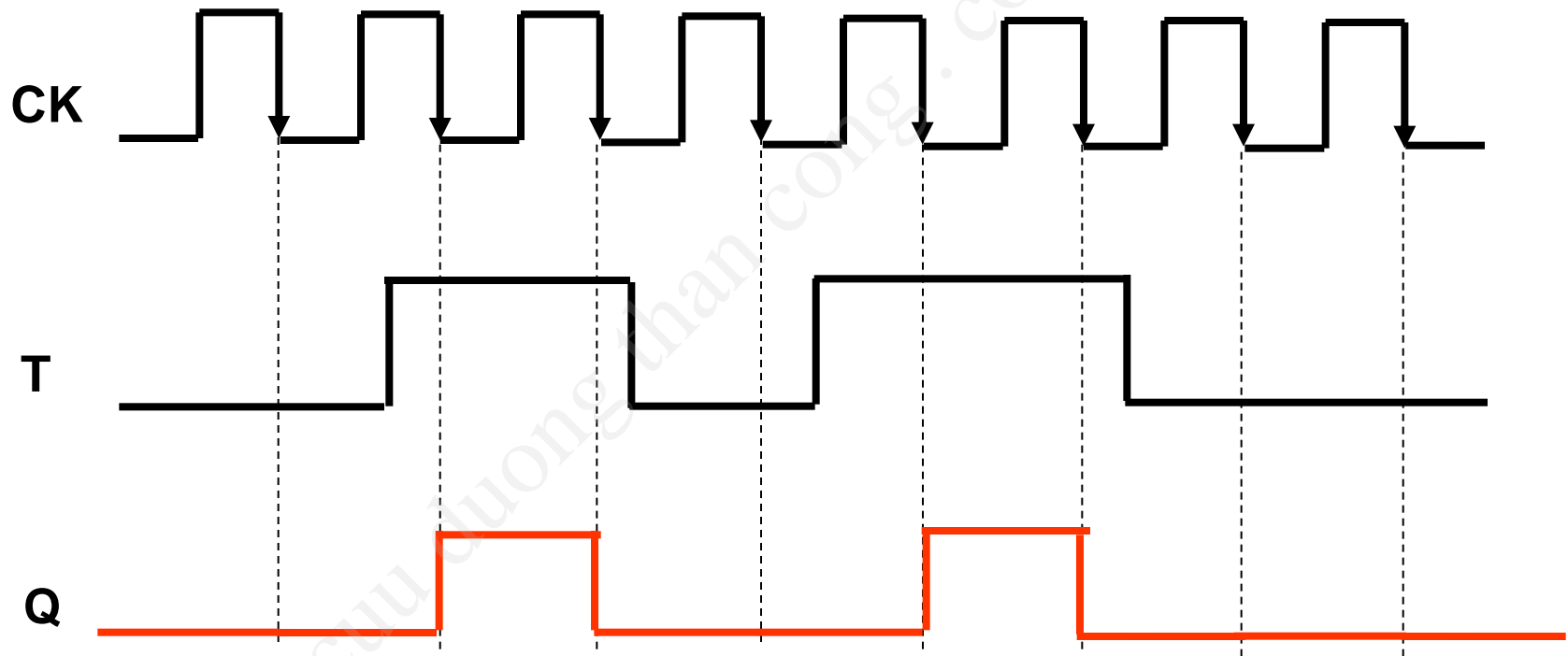
**Ví dụ :** Vẽ giản đồ xung tại ngõ ra Q khi có giản đồ xung CK của một D-FF (CK có cạnh xuống) như sau. Giả sử ban đầu Q=0.



Nhận xét:  $f_Q = \frac{1}{2} f_{CK}$



**Ví dụ :** Vẽ giản đồ xung tại ngõ ra Q khi có giản đồ xung CK và ngõ dữ liệu T của một T-FF (CK có cạnh xuống) như sau. Giả sử ban đầu  $Q=0$ .



## Chuyển đổi qua lại giữa các FF

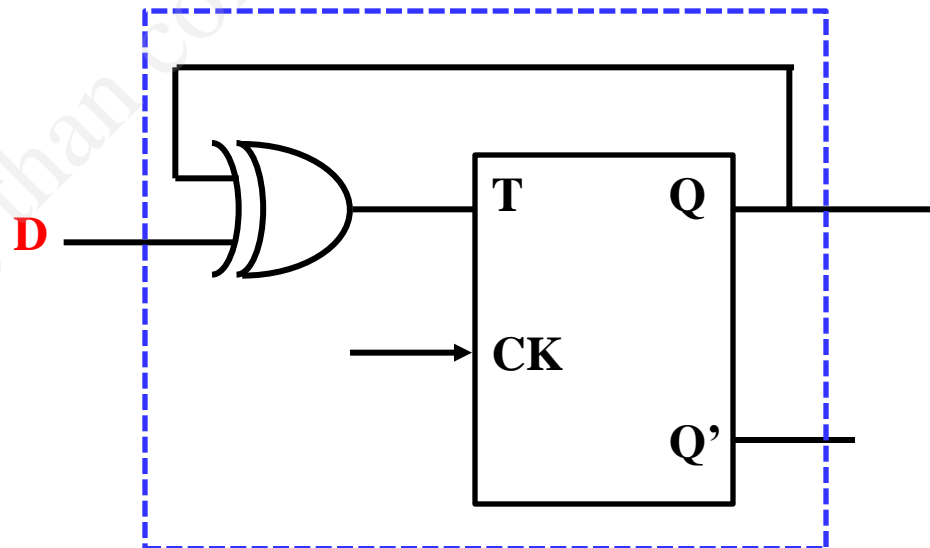
- Lập bảng kích thích giữa 2 loại FF nguồn và đích.
- Xem các ngõ vào dữ liệu của các FF nguồn là hàm, biến là các ngõ vào dữ liệu và trạng thái hiện tại của các FF đích.
- Thực hiện rút gọn hàm.
- Vẽ sơ đồ thực hiện.

### VD: Chuyển T-FF sang D-FF

Q	Q <sup>+</sup>	T	D
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

$$T = Q \oplus D$$

*Nếu chuyển từ D-FF sang T-FF?*



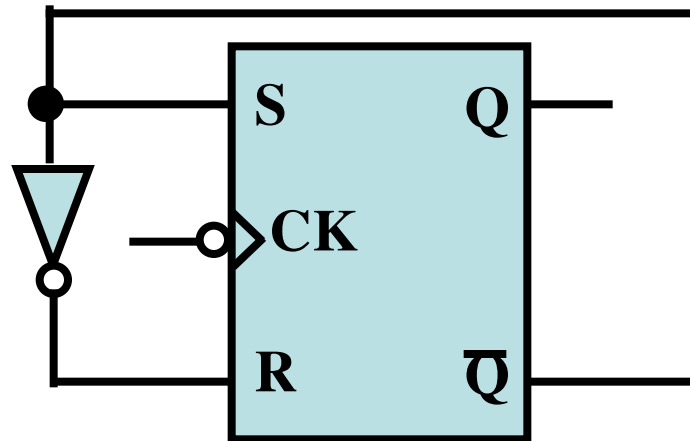
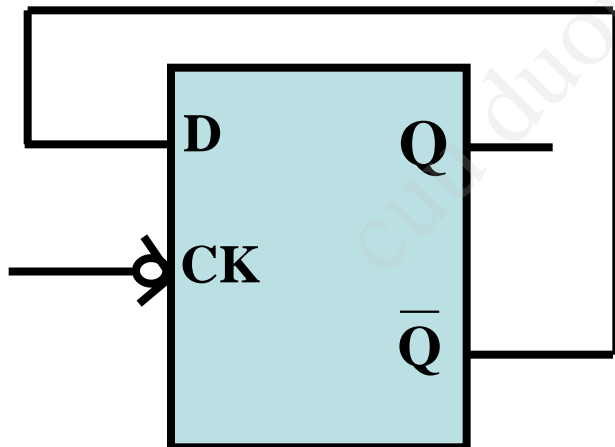
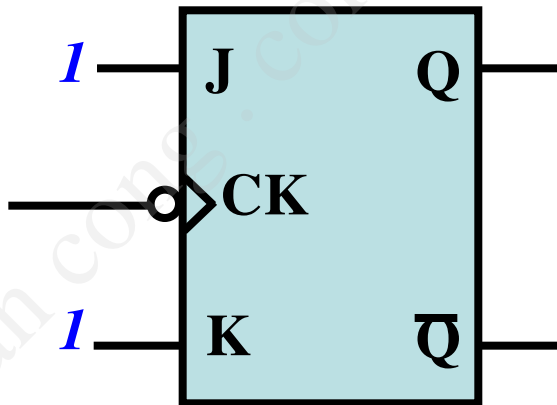
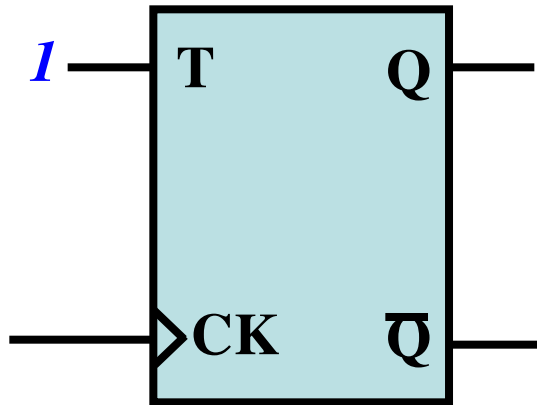
### III. BỘ ĐỀM

- **Khái niệm**
- **Giản đồ trạng thái**
- **Modulo**
- **Phân loại**

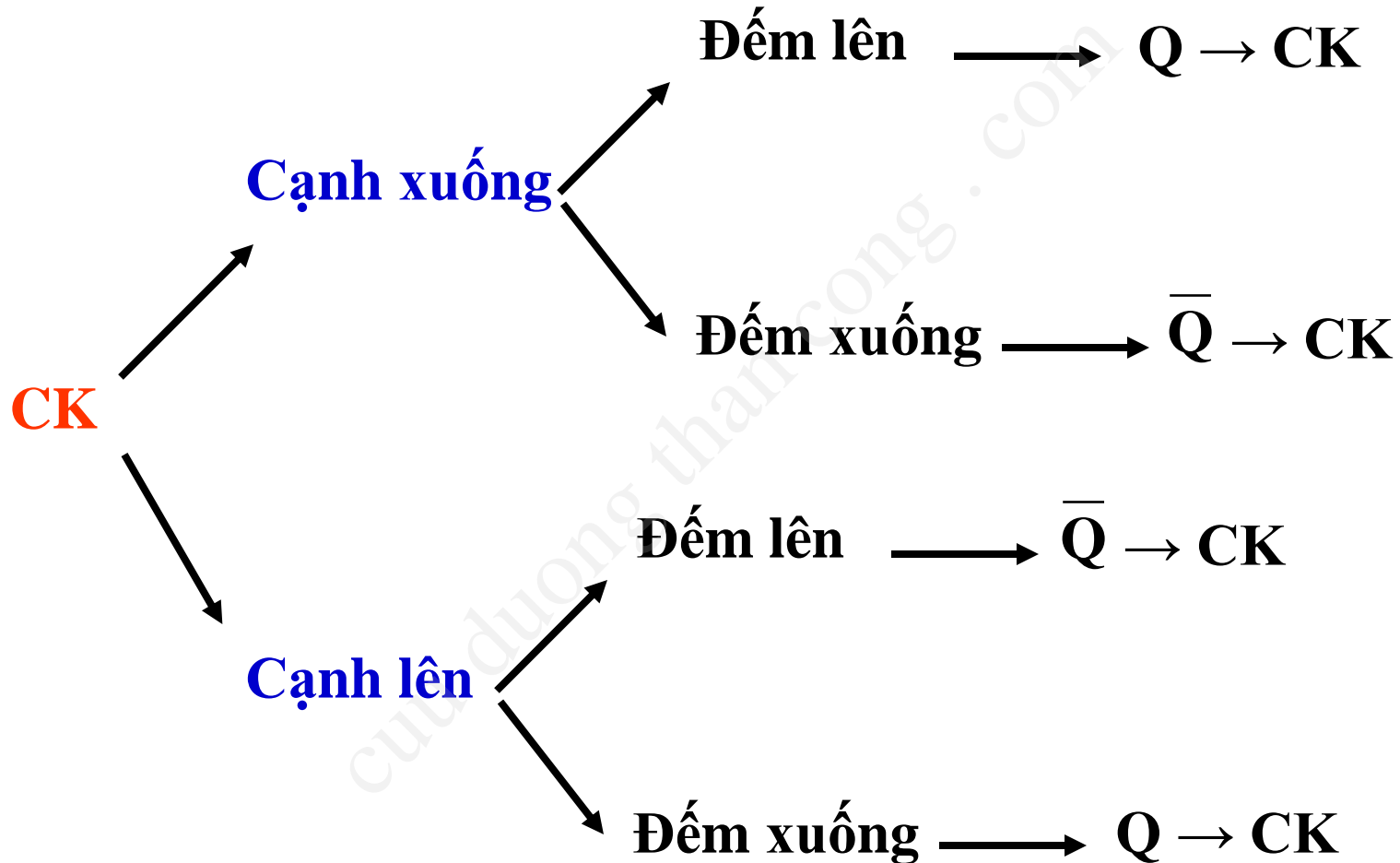
# \* NGUYÊN TẮC THIẾT KẾ BỘ ĐẾM NỘI TIẾP

a. Bộ đếm nội tiếp đầy đủ ( $m = \text{mod } 2^n$ ).

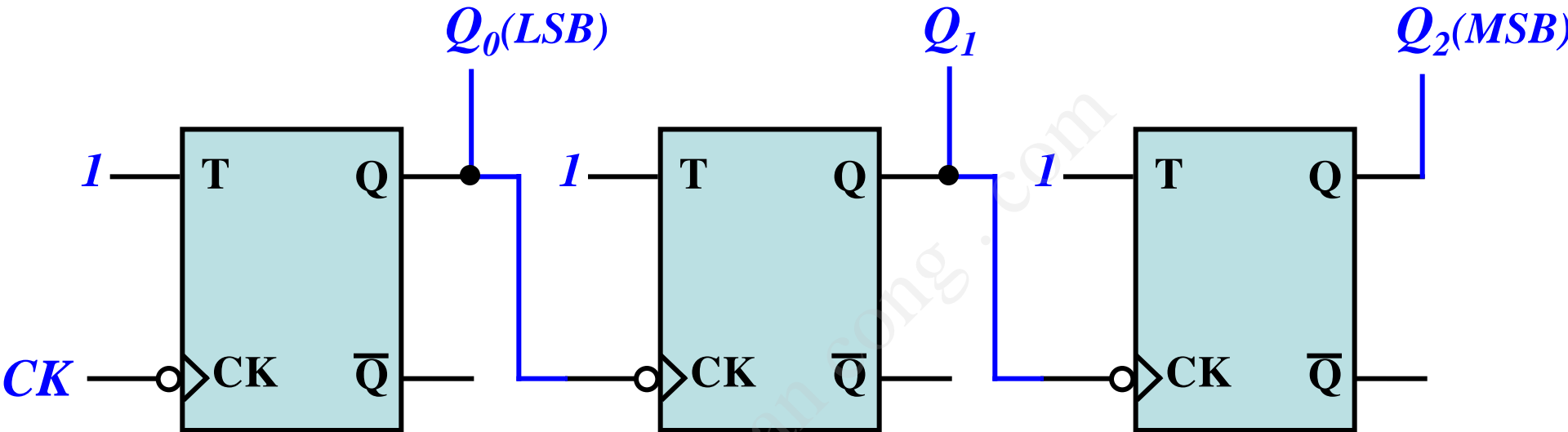
- Dùng n FF, tương đương với loại T-FF có ngõ T = 1.



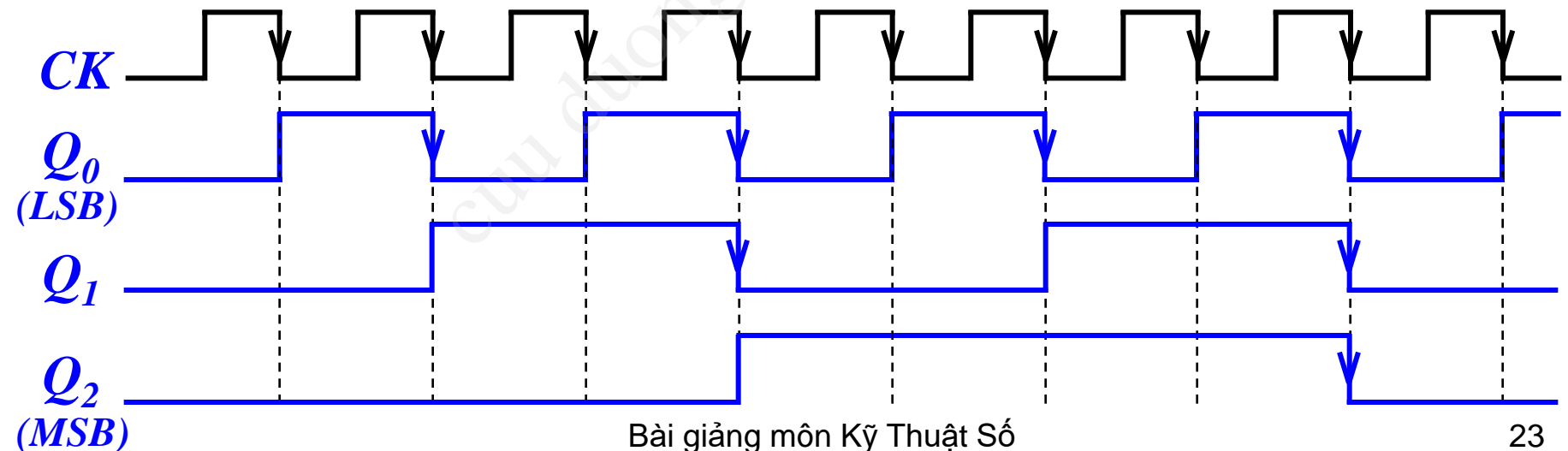
- Các FF được kết nối với nhau theo nguyên tắc sau:

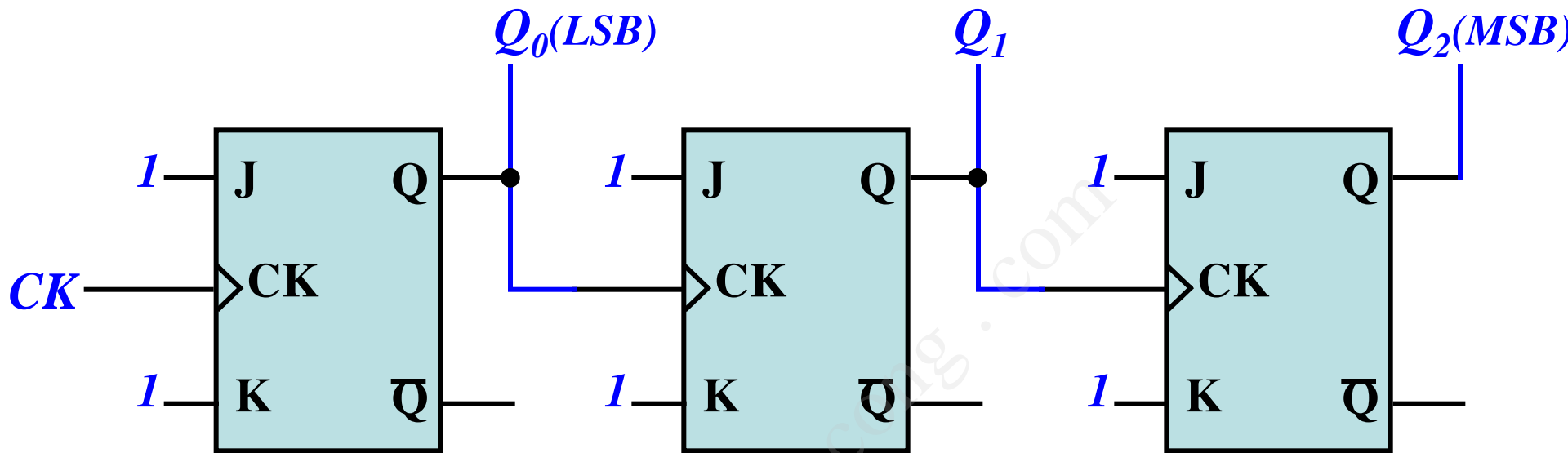


\* Ghép  $Ck_{i+1} = Q_i$

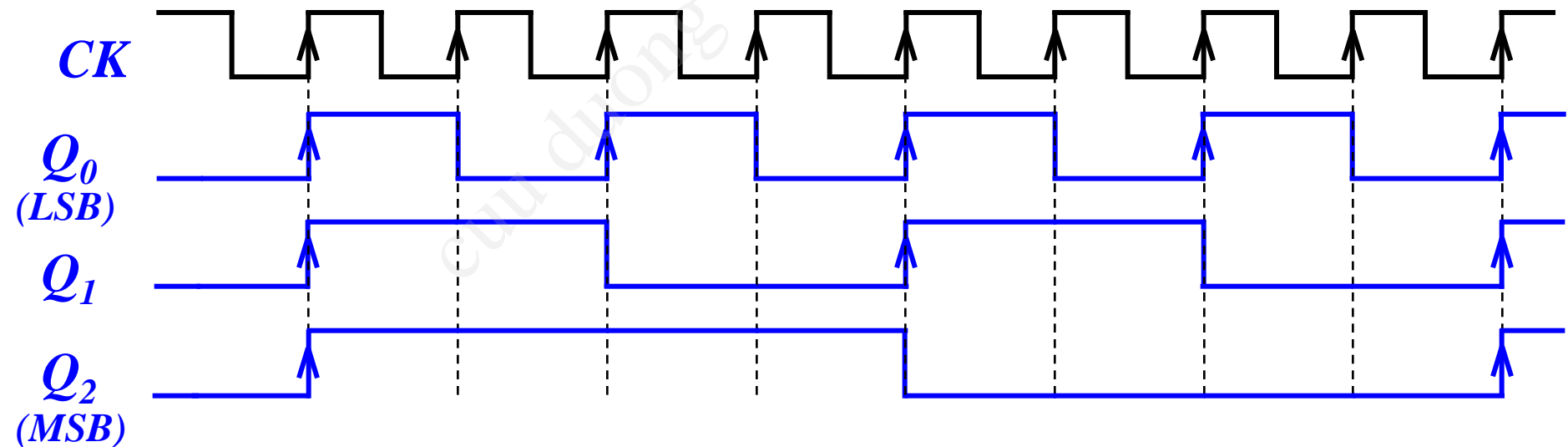


Khảo sát giản đồ xung: Bộ đếm lên



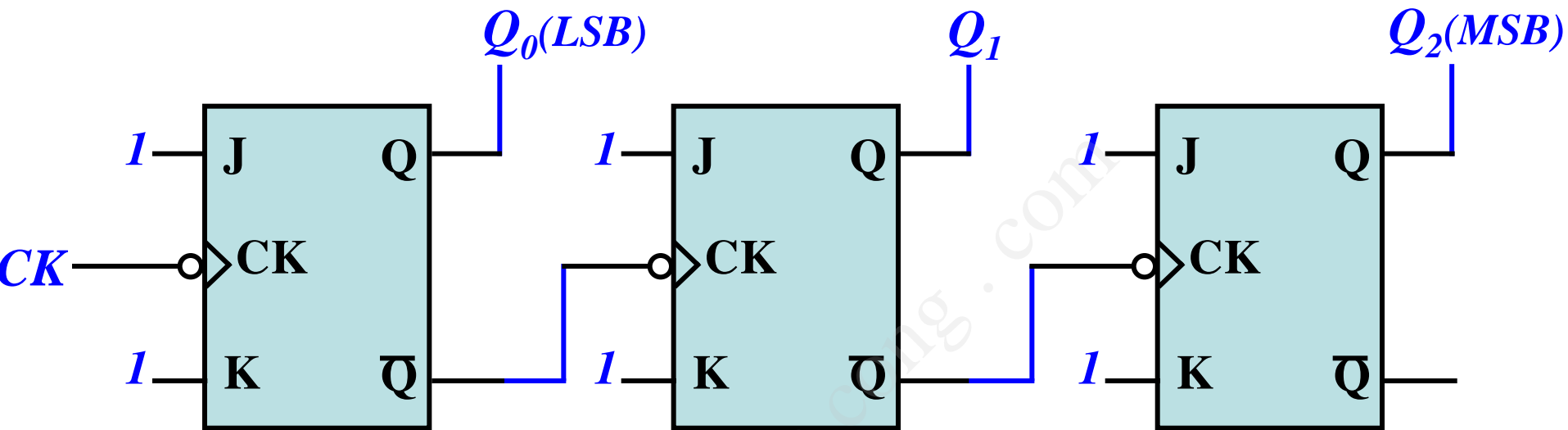


Khảo sát giản đồ xung:    *Bộ đếm xuống (Count Down)*

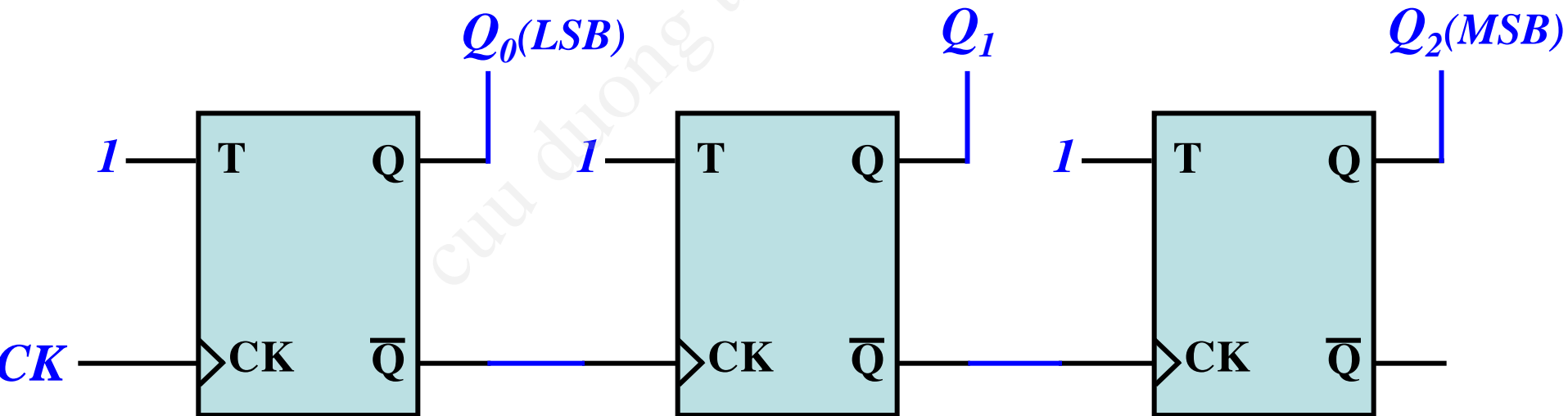




\* *Ghép  $Ck_{i+1} = \overline{Q_i}$*  + *Bộ đếm xuống (Count Down):*



+ *Bộ đếm lên (Count Up):*



***b. Bộ đếm nối tiếp không đầy đủ ( $m < \text{mod } 2^n$ ).***

Bộ đếm không đầy đủ thực hiện dựa trên bộ đếm đầy đủ. Ta cần xác định **trạng thái kế tiếp không mong muốn** của vòng đếm không đầy đủ.

Dùng trạng thái này để **tạo ra tín hiệu tác động tích cực** vào các ngõ vào bất đồng bộ Preset hoặc Clear để đưa bộ đếm trở về trạng thái ban đầu (thường gọi là trạng thái reset).

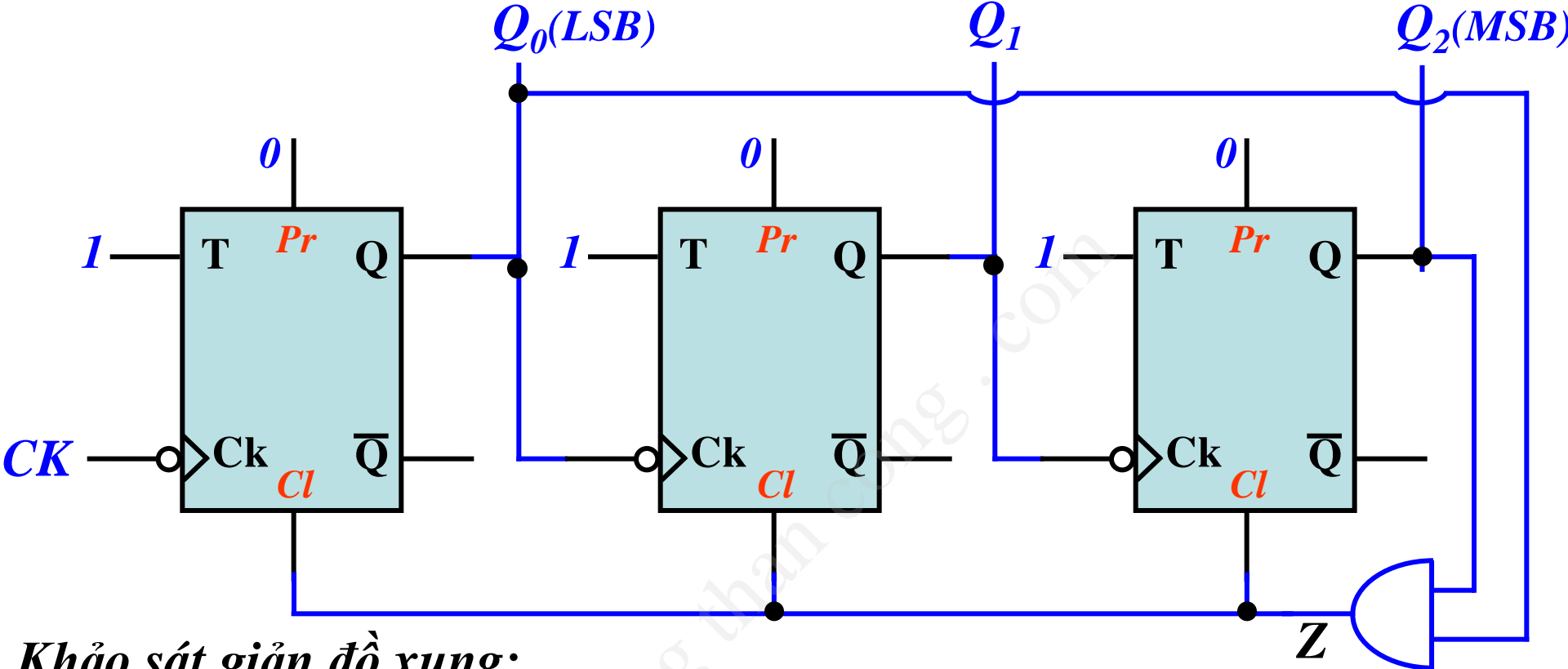
Vd: Sử dụng T-FF có xung clock cạnh xuống và ngõ vào Preset, Clear tích cực cao; thiết kế bộ đếm lên có  $m = 5$  và bắt đầu từ 0.

$Q_2$	$Q_1$	$Q_0$	$Z$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X
1	1	1	X

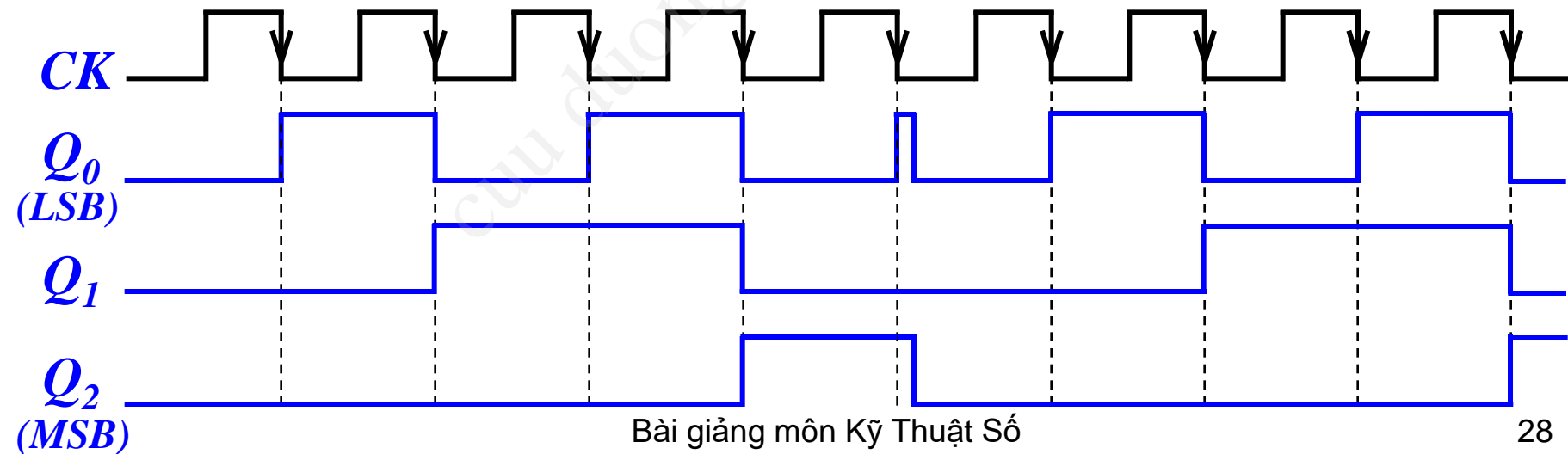
Ta gọi  $Z$  là tín hiệu để reset bộ đếm.

$Z$ $Q_2 Q_1$ $Q_0$				
	00	01	11	10
0			X	
1			X	1

$$\underline{Z} = \underline{Q_2} \underline{Q_0}$$



*Khảo sát giản đồ xung:*

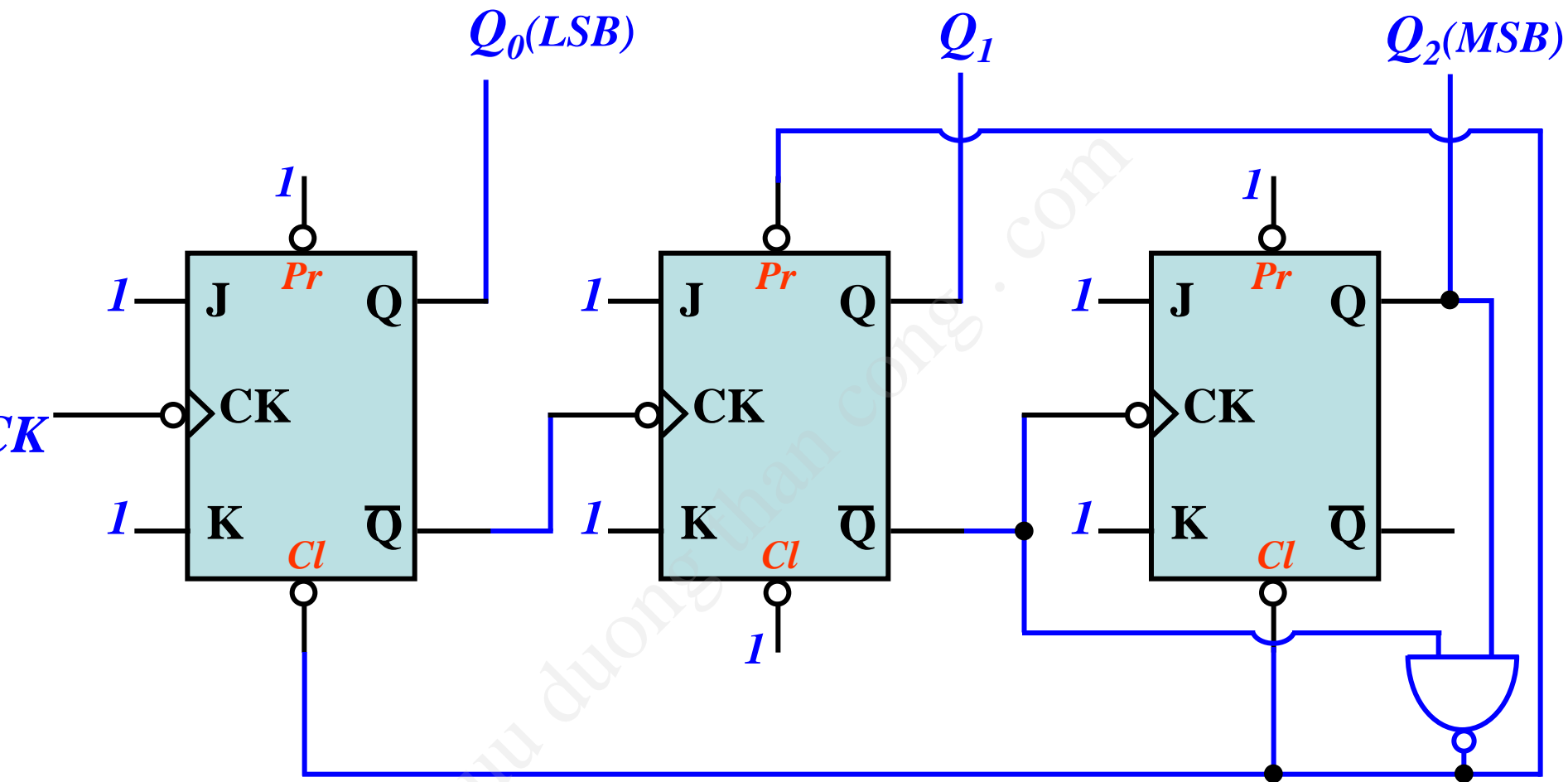


Vd: Sử dụng JK-FF có xung clock cạnh xuống và ngõ vào Pr, Cl tích cực thấp; thiết kế bộ đếm xuống có  $m = 5$  và bắt đầu từ giá trị 2.

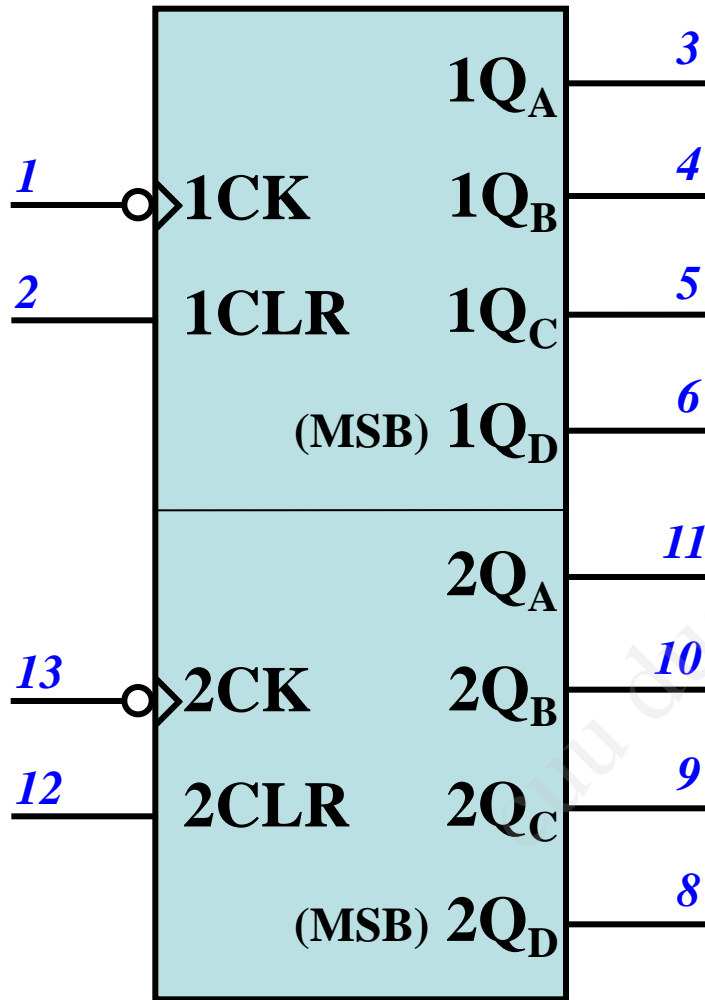
$Q_2$	$Q_1$	$Q_0$	$Z$
0	1	0	1
0	0	1	1
0	0	0	1
1	1	1	1
1	1	0	1
1	0	1	0
1	0	0	X
0	1	1	X

$Z$ $Q_2 Q_1$ $Q_0$				
	00	01	11	10
0			X	X
1				0

Tín hiệu reset:  $Z = \overline{Q_2} + Q_1 = \overline{Q_2} \overline{Q_1}$

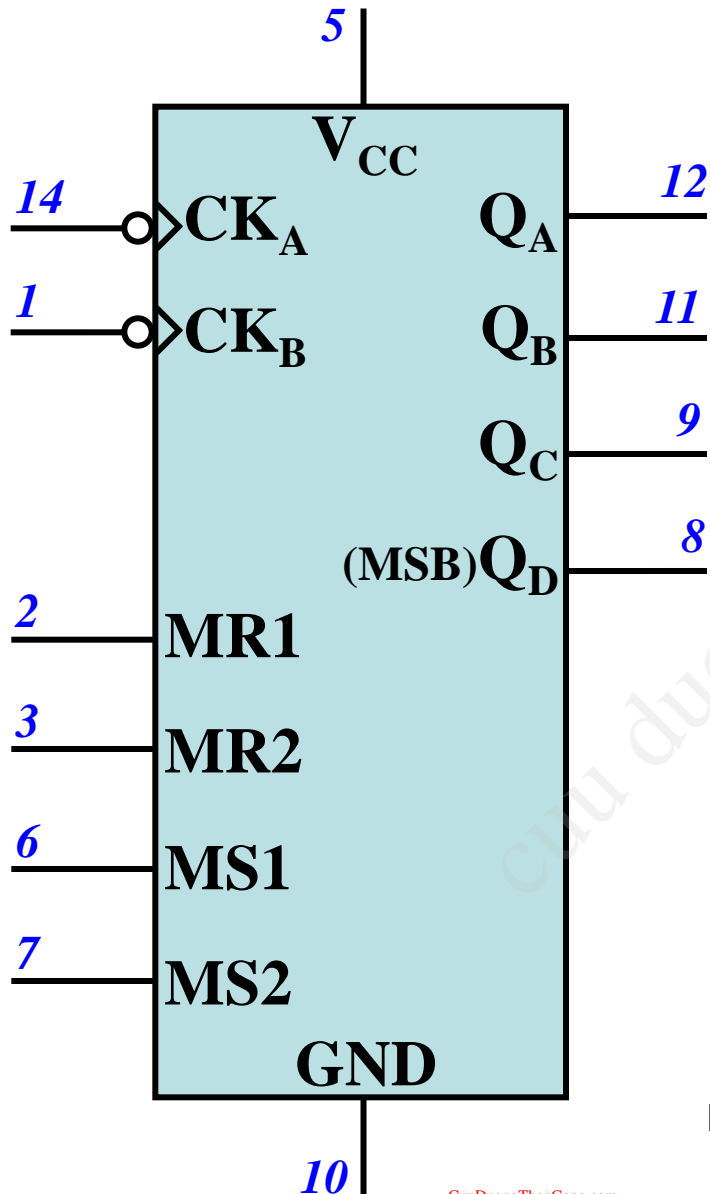


## IC 74393: 2 bộ đếm lên đầy đủ 4 bit



CLR	CK	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	X	0	0	0	0
0	0, 1, $\overline{1}$	NO CHANGE			
0	$\overline{1}$	COUNT UP			

**IC 7490: gồm 2 bộ đếm – bộ đếm 2 và bộ đếm 5 (đếm lên)**



Reset/Set INPUT				OUTPUT			
MR1	MR2	MS1	MS2	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
0	X	0	X	Counting			
X	0	X	0				
0	X	X	0				
X	0	0	X				



## \* NGUYÊN TẮC THIẾT KẾ BỘ ĐẾM SONG SONG

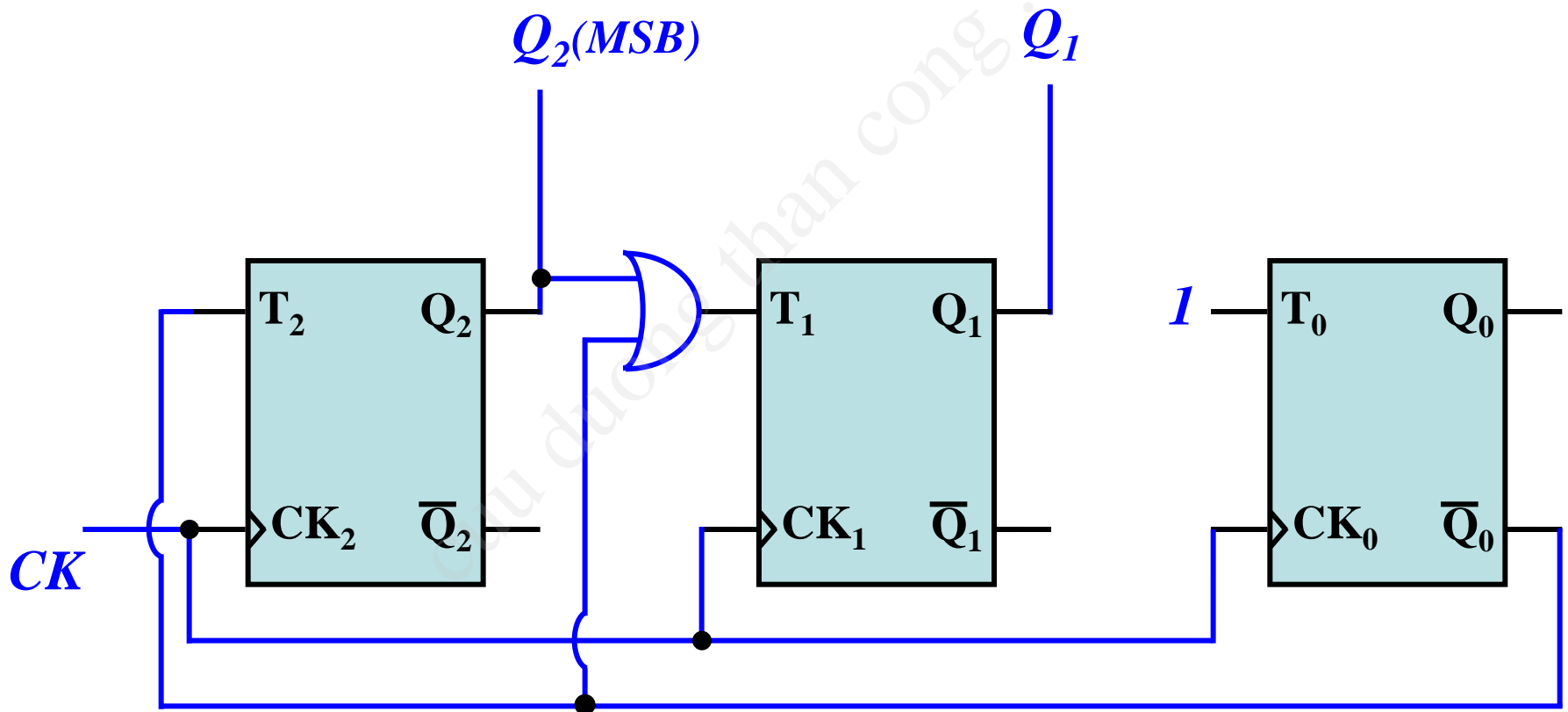
- Từ phát biểu bài toán xác định số FF sử dụng và dãy đếm.
- Lập bảng chuyển trạng thái chỉ rõ mối quan hệ giữa trạng thái hiện tại và trạng thái kế tiếp (dựa vào dãy đếm).

<i>T/t hiện tại</i> $Q_{n-1} \dots Q_1 Q_0$	<i>T/t kế tiếp</i> $Q^+_{n-1} \dots Q^+_1 Q^+_0$	<i>Các</i> <i>ngõ vào FF</i>
0 ... 0 0		
1 ... 1 1		

- Tìm các giá trị ngõ vào FF cần phải có từ giá trị hiện tại  $Q_i$  và kế tiếp  $Q^+_i$  của từng FF (dựa vào bảng kích thích của FF).
- Tìm biểu thức rút gọn của mỗi ngõ vào FF phụ thuộc vào các biến trạng thái hiện tại.
- Thực hiện sơ đồ logic.

**Vd:** Sử dụng T-FF kích theo cạnh lên, thiết kế bộ đếm có dãy đếm sau:  $Q_2Q_1Q_0 : 010, 101, 110, 001, 000, 111, 100, 011, 010, \dots$

$$T_2 = \overline{Q_0} \quad T_1 = \overline{Q_0} + Q_2 \quad T_0 = 1$$



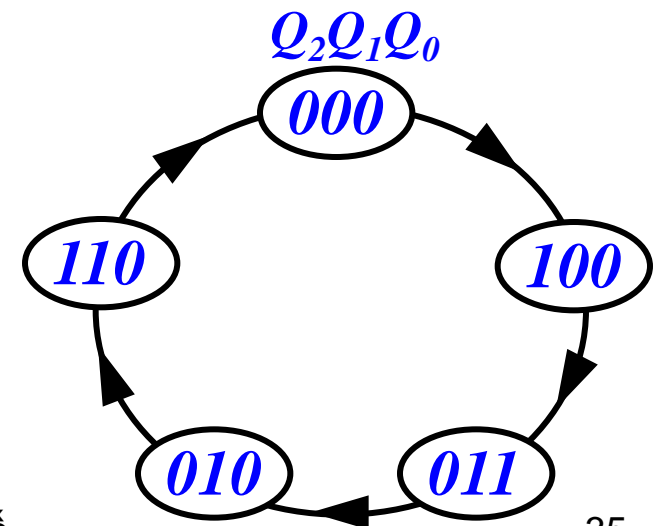
## Bộ đếm không đầy đủ ( $m < 2^n$ ):

Các trạng thái có trong vòng đếm sẽ thiết kế như bộ đếm đầy đủ; còn các trạng thái dư không có trong vòng đếm sẽ giải quyết theo 2 cách sau:

\* **Cách 1:** Các trạng thái dư có trạng thái kế tiếp là tùy định. Khi thiết kế cần khởi động giá trị ban đầu cho bộ đếm; giá trị này phải là 1 trong những trạng thái có trong vòng đếm.

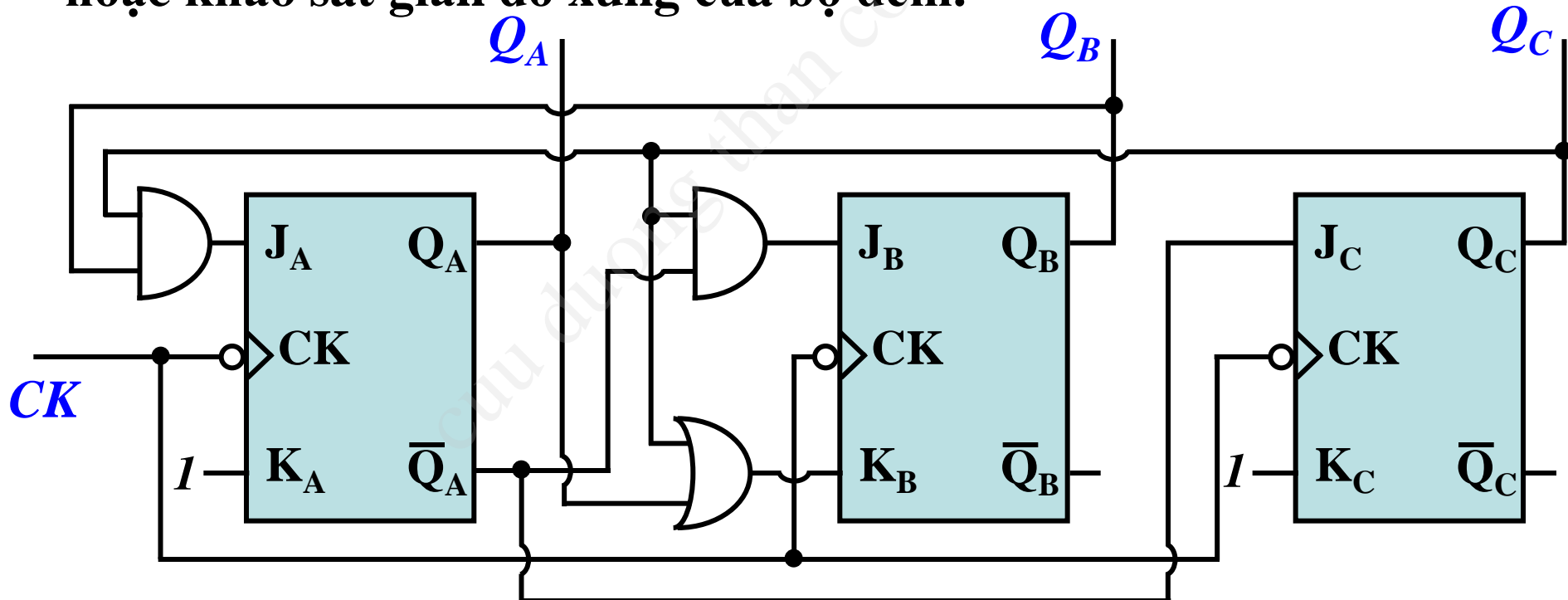
\* **Cách 2:** Cho các trạng thái dư không có trong vòng đếm có trạng thái kế tiếp là 1 trong những trạng thái có trong vòng đếm.

Vd: Thiết kế bộ đếm dùng D-FF cạnh lên, có ngõ vào Pr và Cl tích cực cao, có giản đồ trạng thái sau:

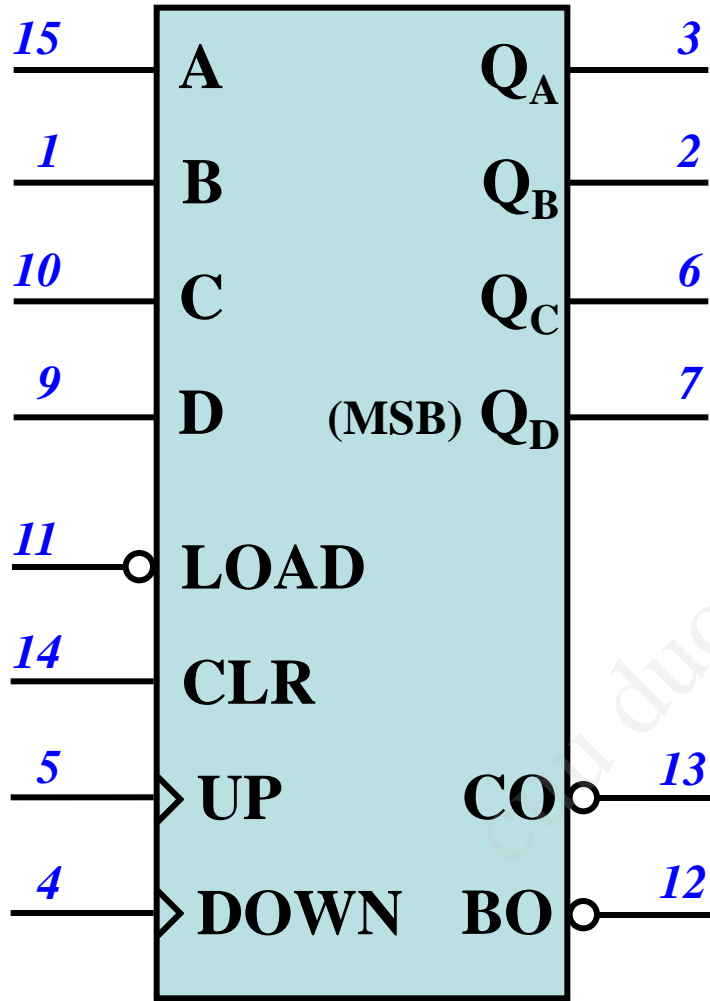


### \* Phân tích bộ đếm song song:

- Từ sơ đồ logic của bộ đếm xác định hàm kích thích (biểu thức của các ngõ vào của từng FF phụ thuộc vào các ngõ ra  $Q_i$ )
- Lập bảng trạng thái: từ trạng thái hiện tại  $Q_i$  và giá trị ngõ vào ta xác định được trạng thái kế tiếp của FF  $Q_i^+$ .
- Từ bảng chuyển trạng thái xác định được giản đồ trạng thái hoặc khảo sát giản đồ xung của bộ đếm.



# IC 74193: bộ đếm lên/xuống đồng bộ 4 bit



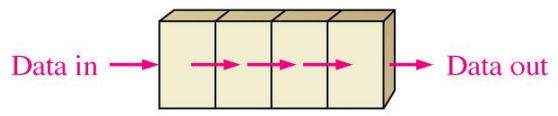
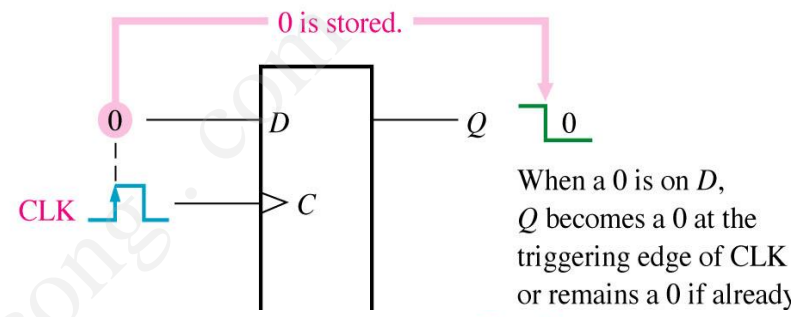
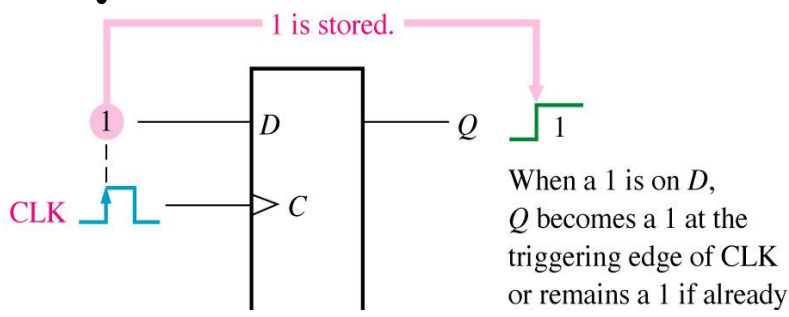
CLR	$\overline{\text{LOAD}}$	UP	DOWN	MODE
1	X	X	X	RESET (Asyn.)
0	0	X	X	PRESET (Asyn.)
0	1	1	1	No change
0	1	$\overline{1}$	1	COUNT UP
0	1	1	$\overline{1}$	COUNT DOWN

$$\overline{\text{CO}} \text{ (Carry Out)} = Q_D Q_C Q_B Q_A \overline{\text{UP}}$$

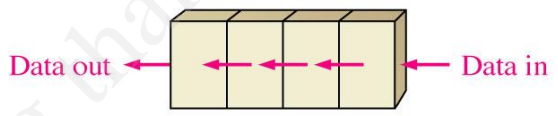
$$\overline{\text{BO}} \text{ (Borrow Out)} = \overline{Q_D} \overline{Q_C} \overline{Q_B} \overline{Q_A} \overline{\text{DOWN}}$$

# IV. THANH GHI DỊCH (Shift Register):

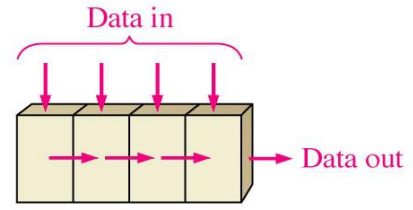
Thanh ghi dịch là hệ tuần tự có khả năng lưu trữ và dịch chuyển dữ liệu.



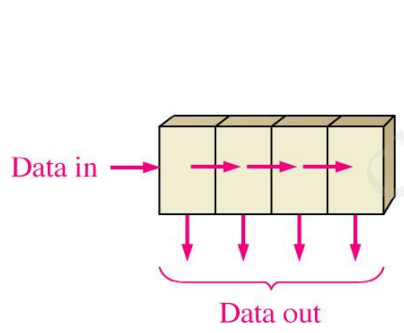
(a) Serial in/shift right/serial out



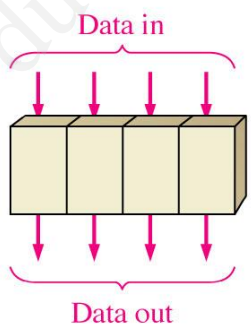
(b) Serial in/shift left/serial out



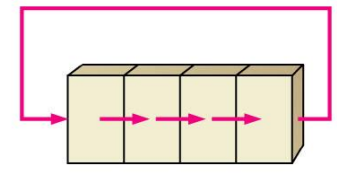
(c) Parallel in/serial out



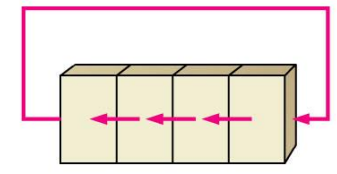
(d) Serial in/parallel out



(e) Parallel in/parallel out

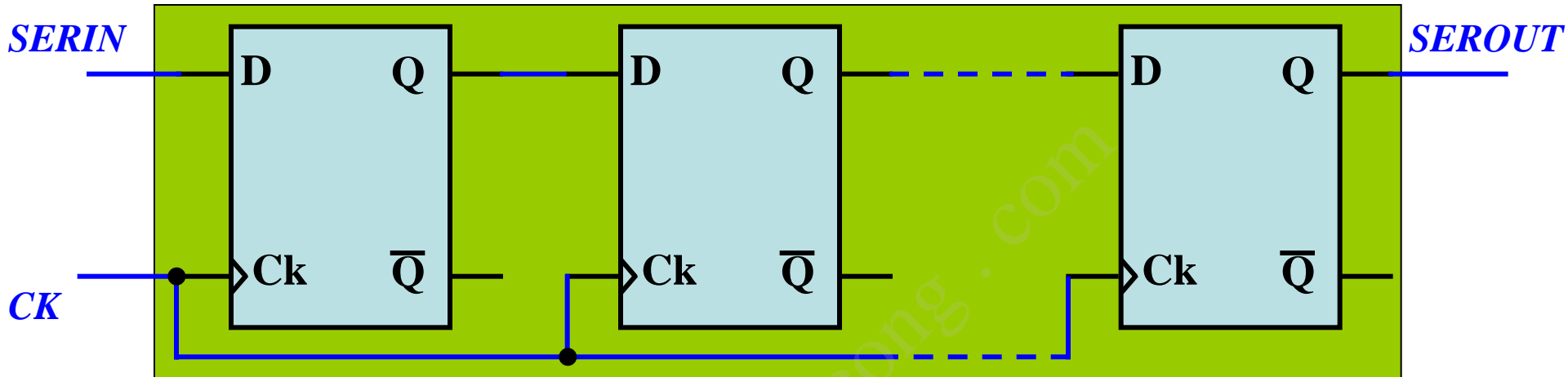


(f) Rotate right

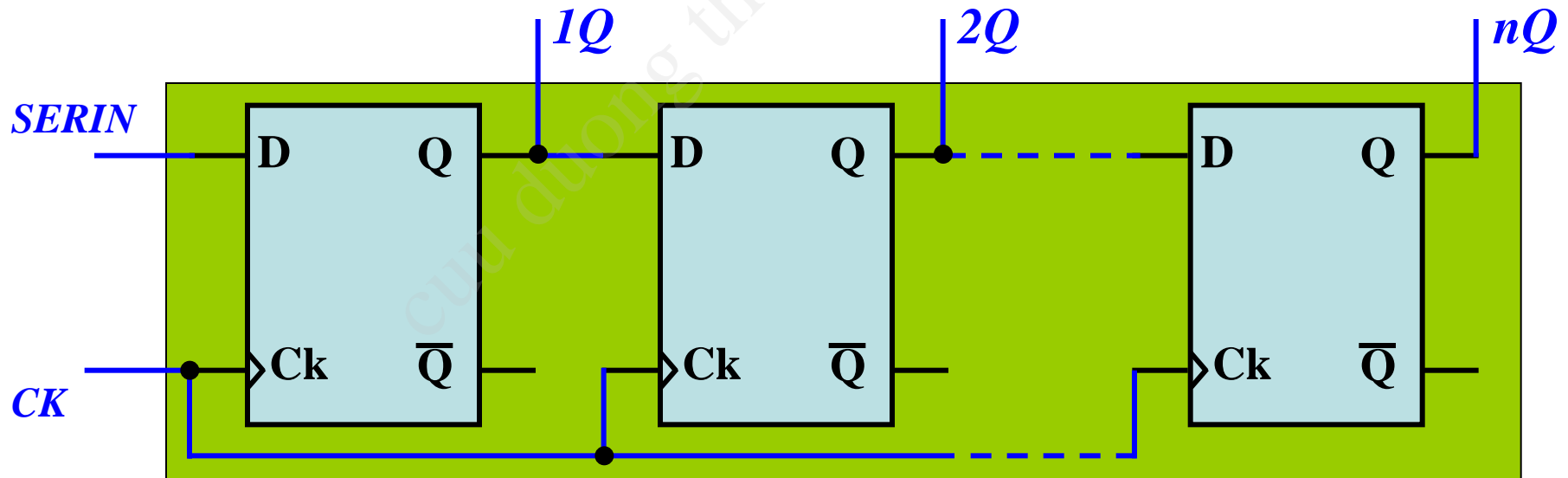


(g) Rotate left

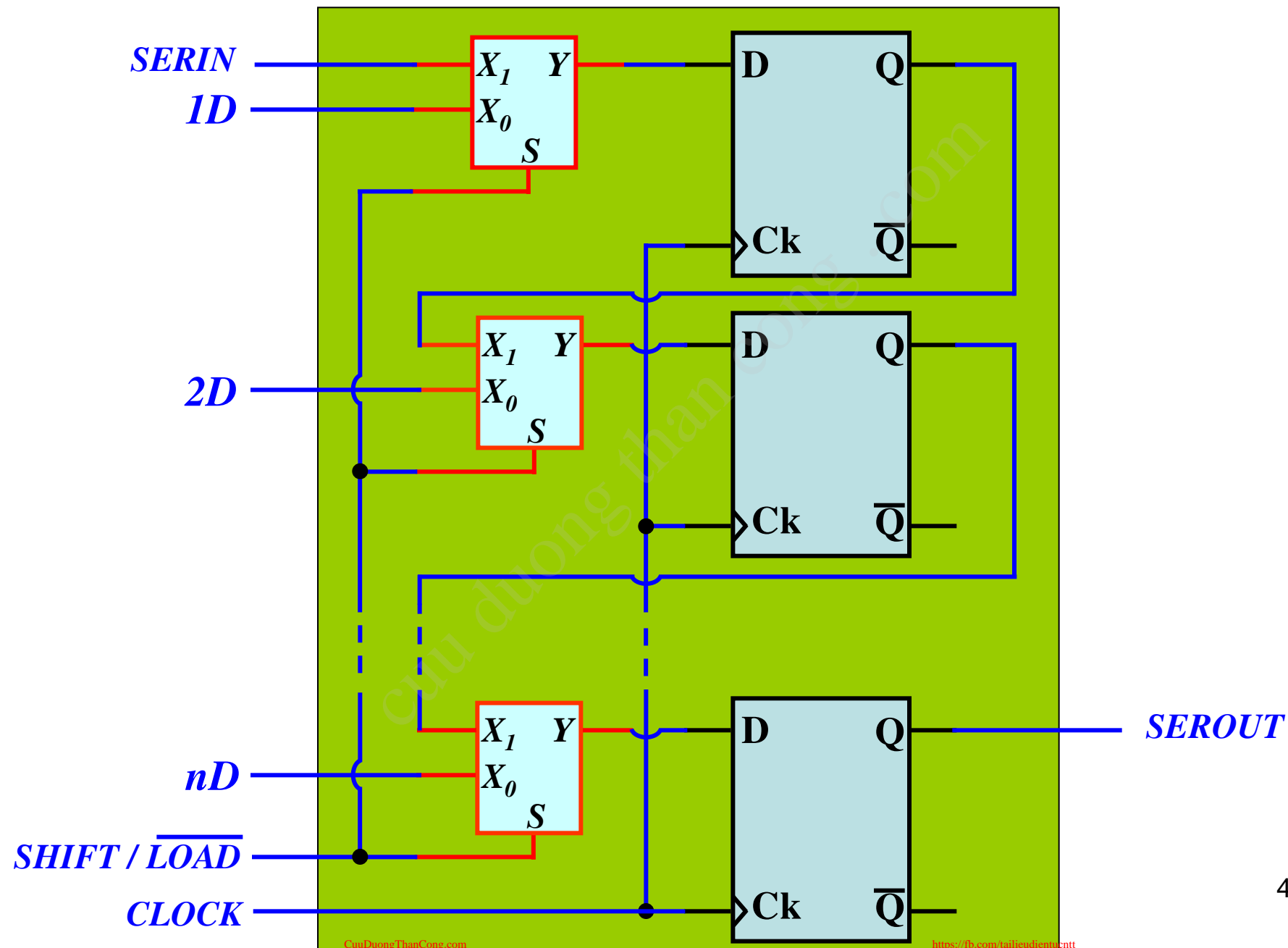
## 1. Thanh ghi dịch nhập nối tiếp – xuất nối tiếp (SISO):



## 2. Thanh ghi dịch nhập nối tiếp – xuất song song (SIPO):

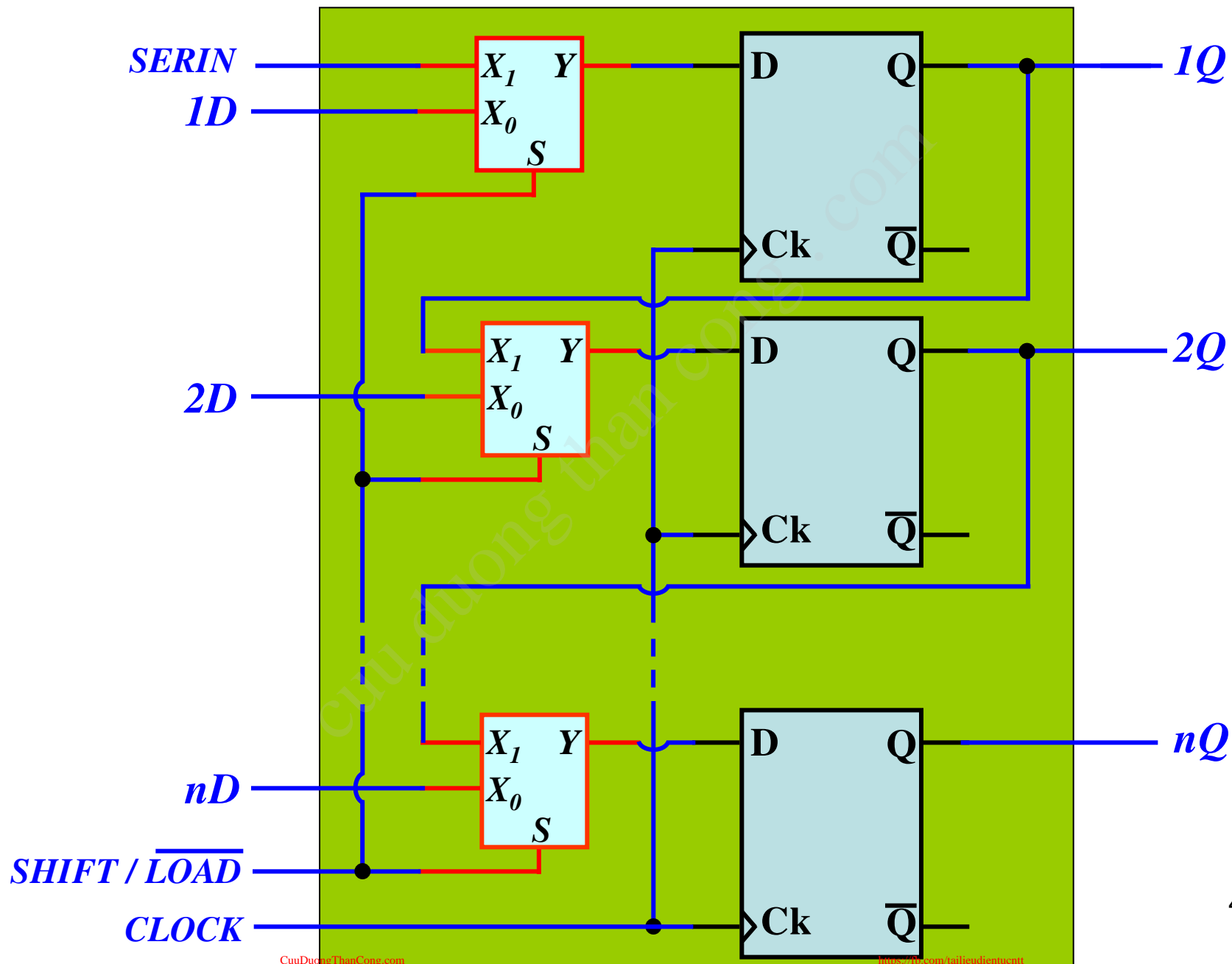


### 3. Thanh ghi dịch nhập song song – xuất nối tiếp (PISO):

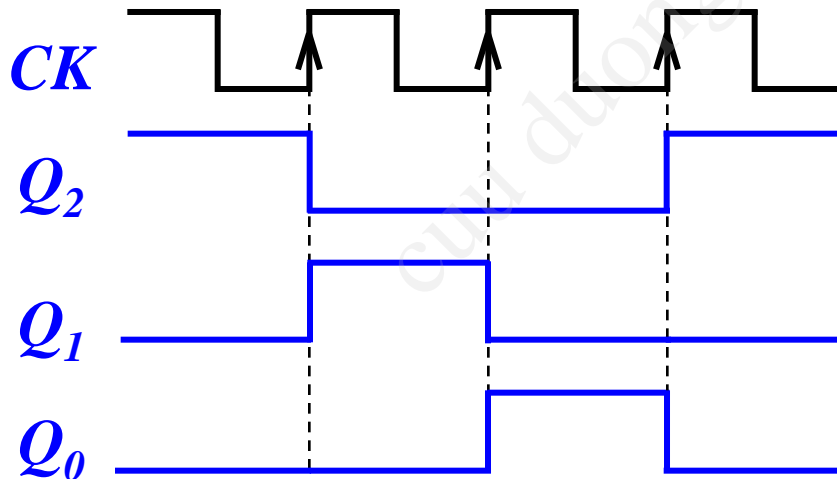
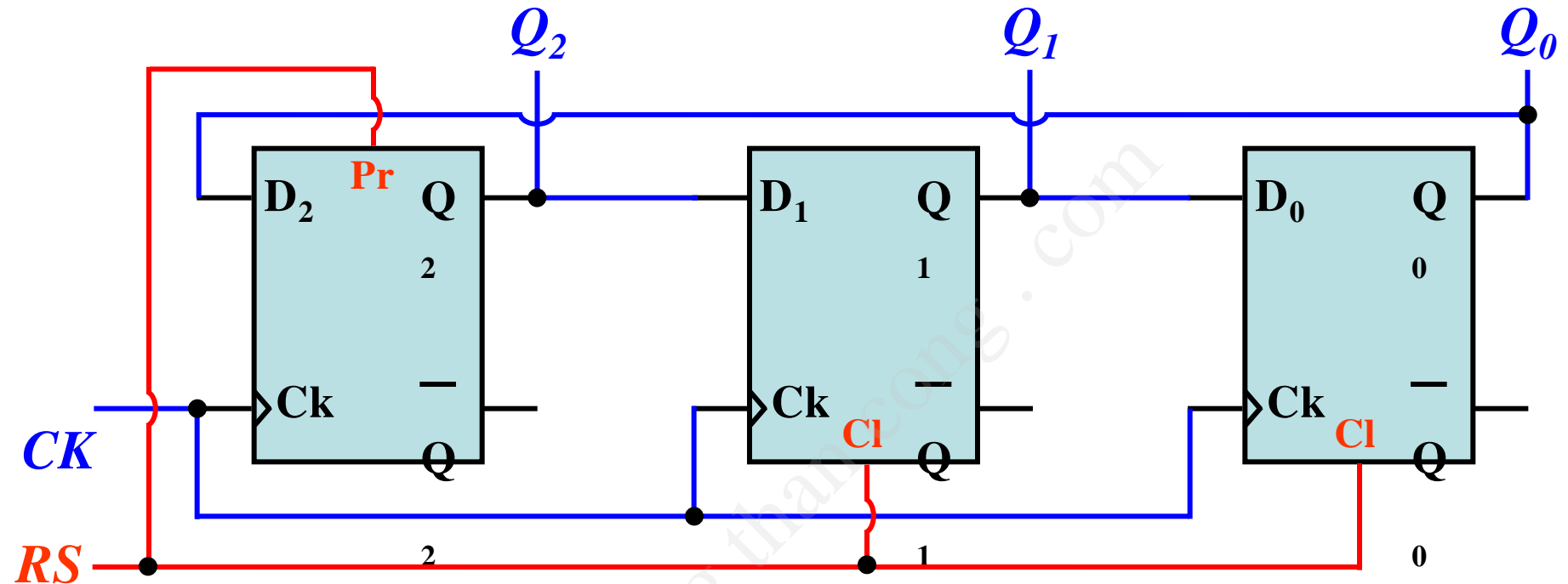




#### 4. Thanh ghi dịch nhập song song – xuất song song (PIPO):

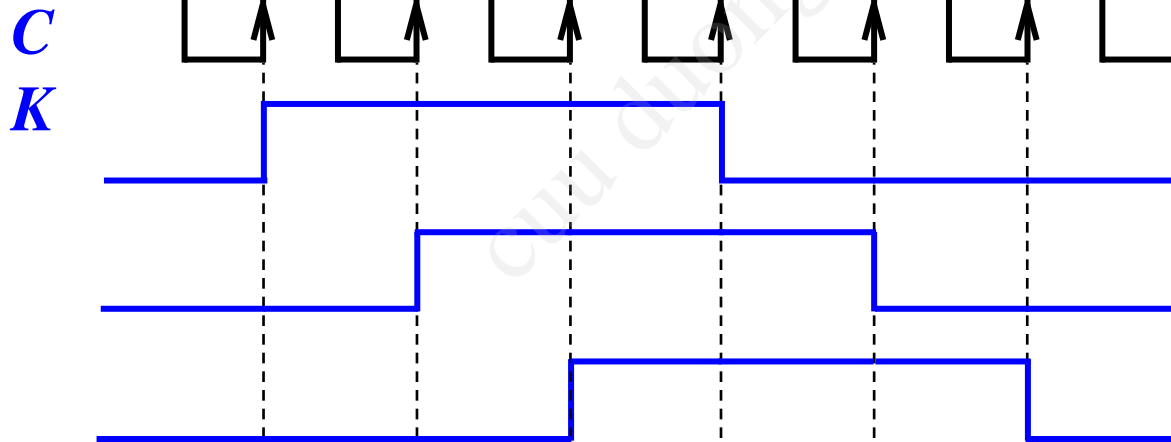
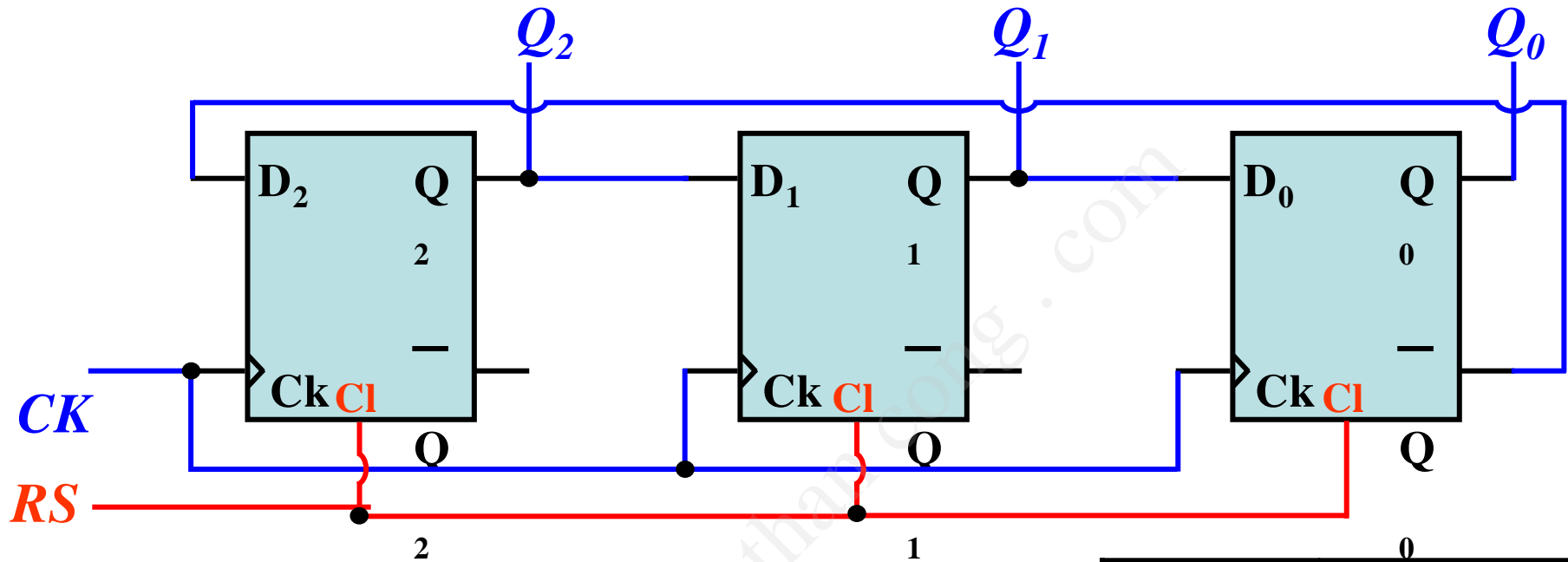


## \* Bộ đếm thanh ghi dịch (Shift register counter)



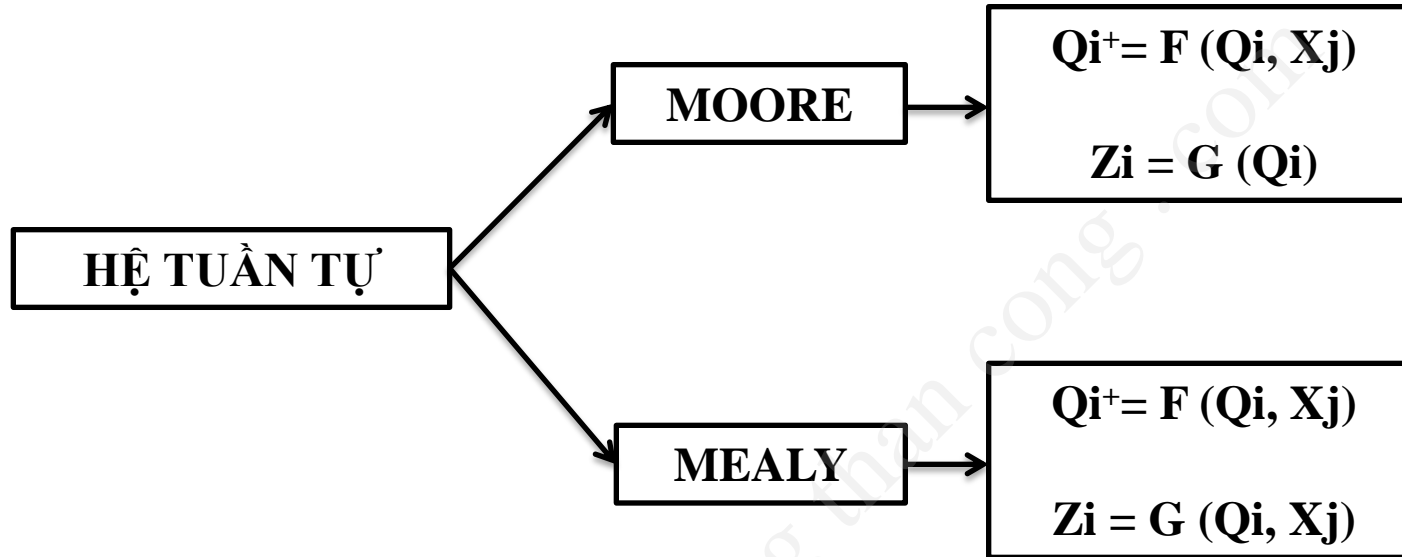
Clock	$Q_2$	$Q_1$	$Q_0$
1	1	0	0
2	0	1	0
3	0	0	1

*\* Bộ đếm vòng xoắn (Twisted-ring) hay bộ đếm Johnson*



Clock	0		
	$Q_2$	$Q_1$	$Q_0$
1	0	0	0
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1

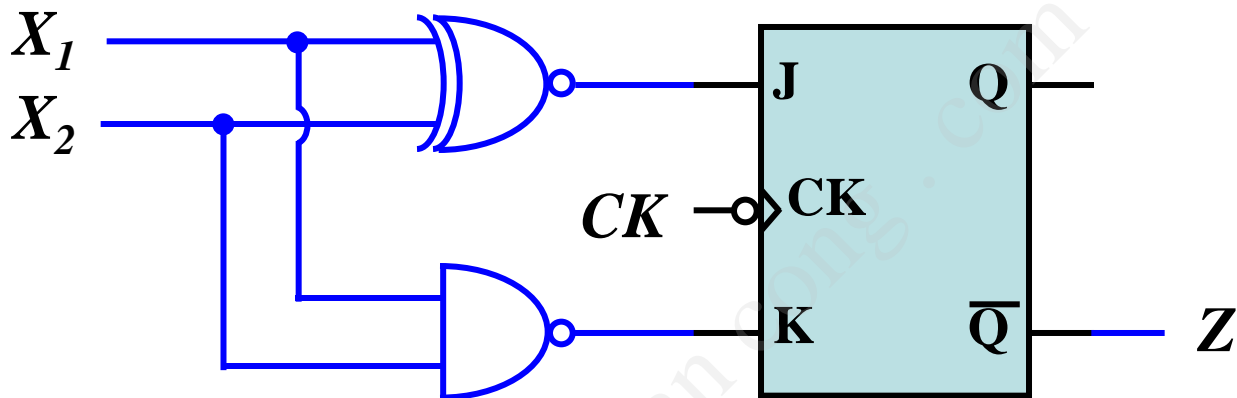
# V. PHÂN TÍCH VÀ THIẾT KẾ HỆ TUẦN TỰ TỔNG QUÁT



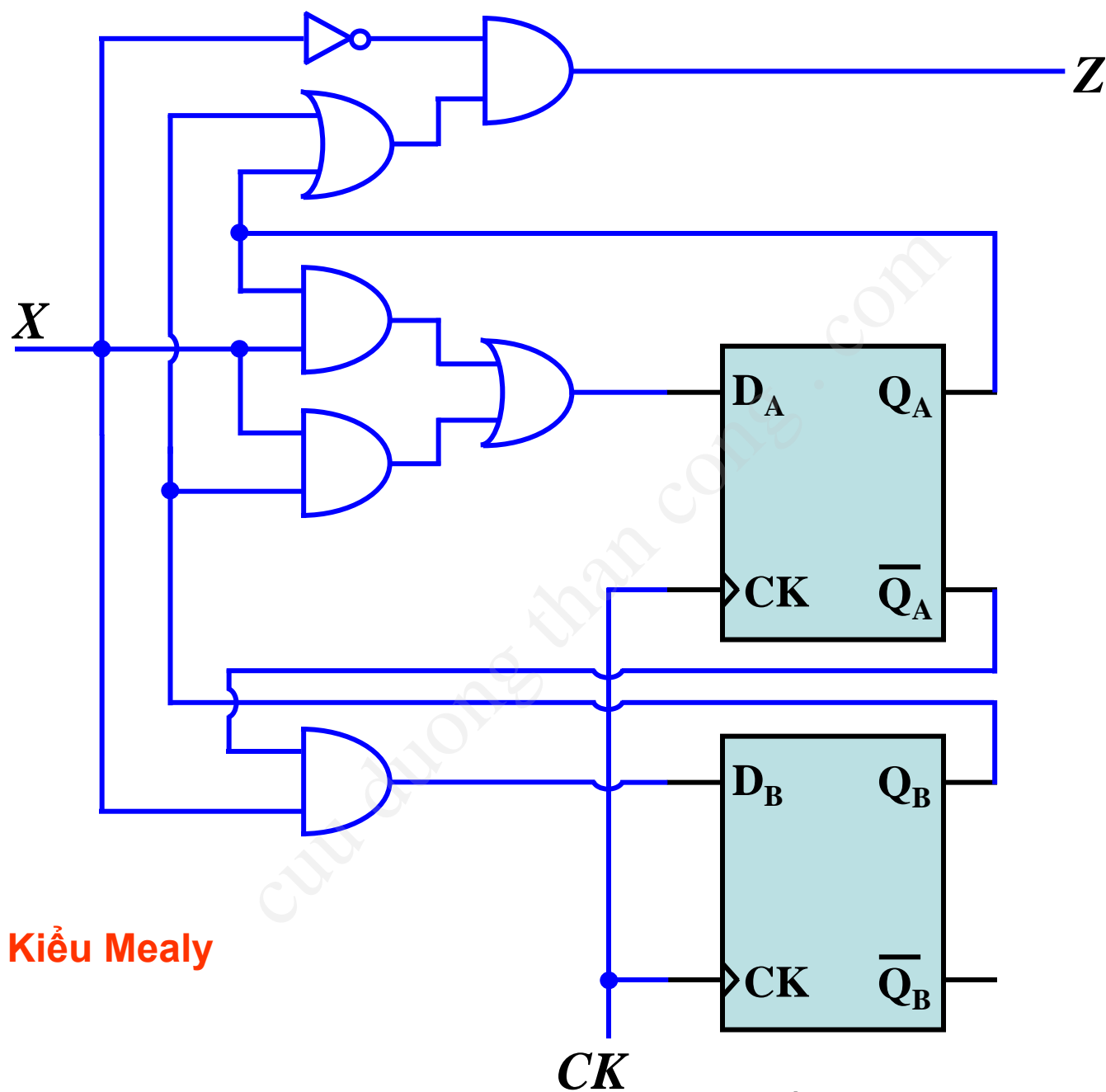
$Q_i, Q_i^+$ : trạng thái hiện tại và trạng thái kế tiếp của các FF

$X_j$ : các ngõ vào của hệ

$Z_i$ : các ngõ ra của hệ



**Kiểu Moore**



**Kiểu Mealy**

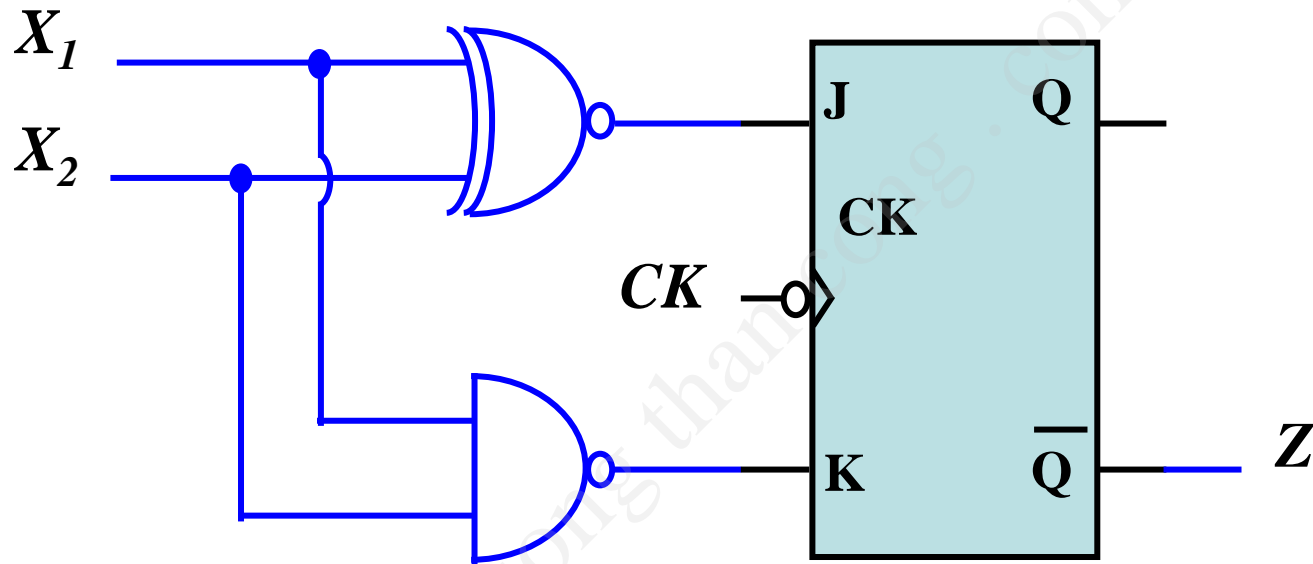
## Nguyên tắc phân tích

- Từ sơ đồ mạch, viết phương trình cho các ngõ ra của hệ và các ngõ vào của FF.
- Lập bảng trạng thái chuyển đổi.

Trạng thái hiện tại	Các ngõ vào của hệ	Các ngõ vào của FF	Trạng thái kế tiếp	Các ngõ ra của hệ
---------------------	--------------------	--------------------	--------------------	-------------------

- Vẽ giản đồ trạng thái.

Ví dụ:





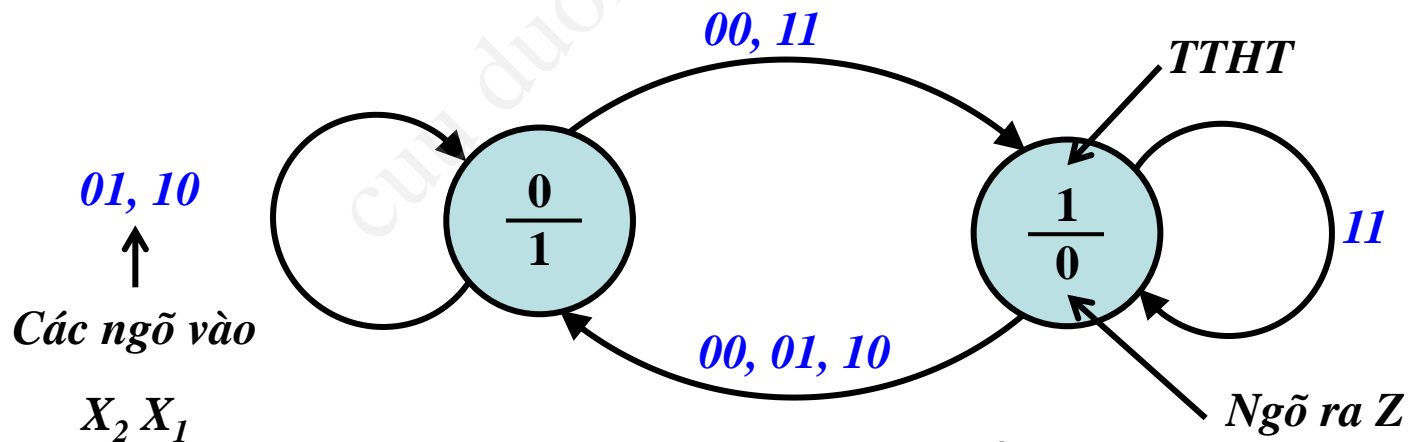
Các phương trình

$$Z = \bar{Q}$$

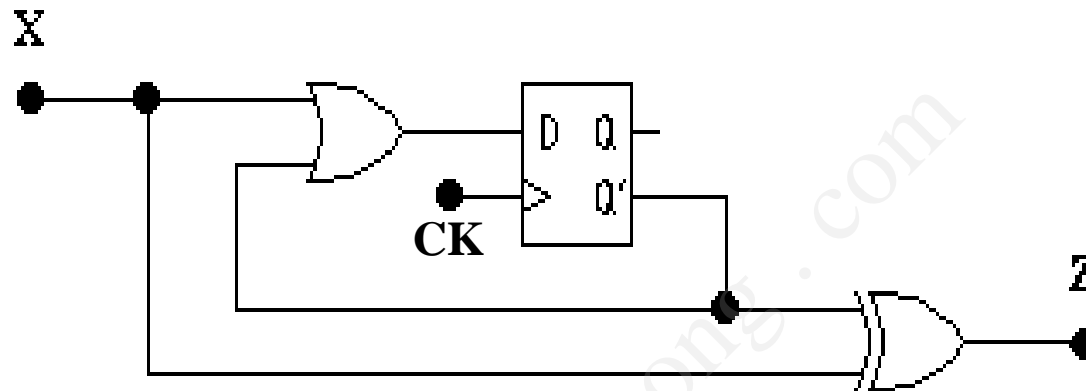
$$J = \overline{X1 \oplus X2}$$

$$K = \overline{X1 \cdot X2}$$

TTHT	Các ngõ vào của hệ		Các ngõ vào của FF		TTKT	Ngõ ra
Q	X2	X1	J	K	Q+	Z
0	0	0	1	1	1	1
0	0	1	0	1	0	1
0	1	0	0	1	0	1
0	1	1	1	0	1	1
1	0	0	1	1	0	0
1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	1	0	1	0

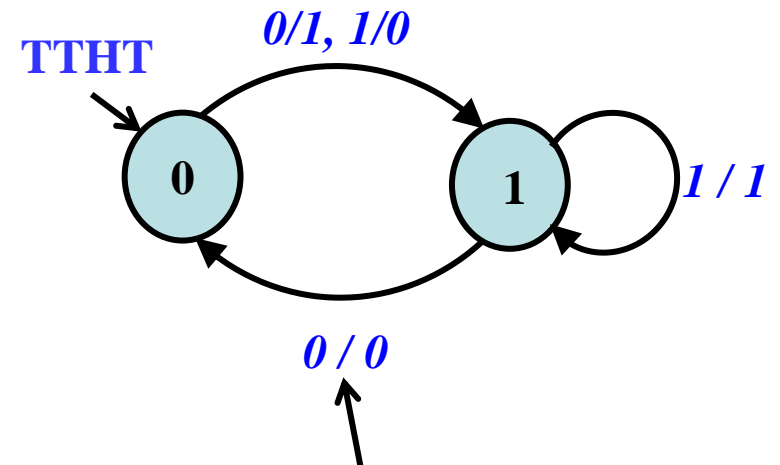


**Ví dụ:** Xác định kiểu và giản đồ trạng thái của mạch sau



Các phương trình:  $D = X + \bar{Q}$ ,  $Z = X \oplus \bar{Q}$

TTHT	Ngõ vào	Ngõ vào FF	TTKT	Ngõ ra
Q	X	D	$Q^+$	Z
0	0	1	1	1
0	1	1	1	0
1	0	0	0	0
1	1	1	1	1



## Nguyên tắc thiết kế

- Từ phát biểu bài toán thành lập graph trạng thái hoặc bảng chuyển trạng thái.
- Rút gọn trạng thái.
- Gán trạng thái.
- Thiết kế theo yêu cầu (loại FF, các mạch tổ hợp: cổng logic, ROM, PLA, PAL...)

**Ví dụ:** Thiết kế một hệ tuần tự có 1 ngõ vào X và 1 ngõ ra Z. Ngõ ra sẽ có giá trị là 1 nếu ngõ vào nhận được 1 chuỗi liên tiếp là 100

## - Lập graph trạng thái theo kiểu Moore

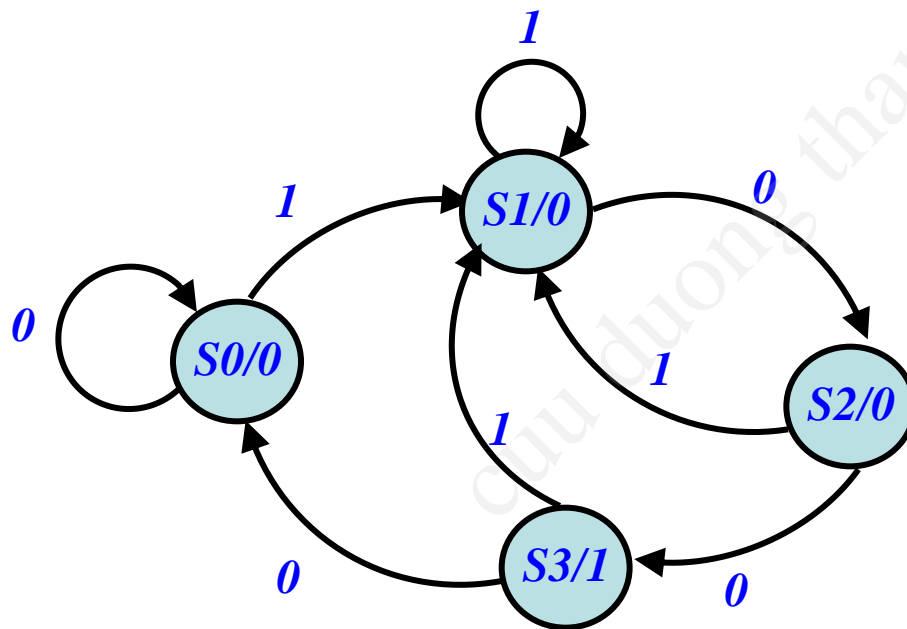
Định nghĩa các trạng thái

S0 là trạng thái chưa nhận được bit nào (reset)

S1: nhận được 1 bit 1

S2: nhận được 2 bit 10

S3: nhận được 3 bit 100



## - Bảng chuyển trạng thái

TTHT	TTKT		Ngõ ra Z
	X=0	X=1	
S0	S0	S1	0
S1	S2	S1	0
S2	S3	S1	0
S3	S0	S1	1

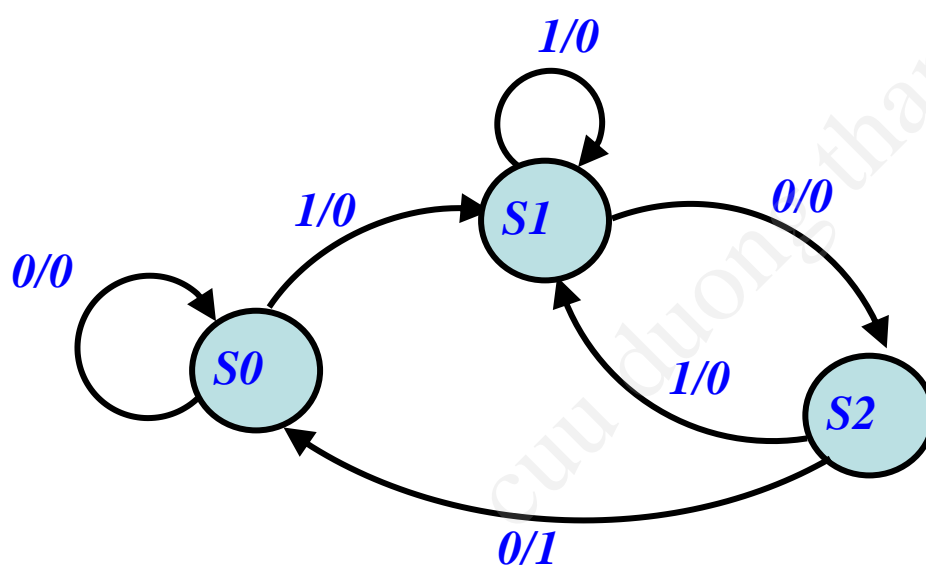
## - Lập graph trạng thái theo kiểu Mealy

Định nghĩa các trạng thái

S0 là trạng thái chưa nhận được bit nào (reset)

S1: nhận được 1 bit 1

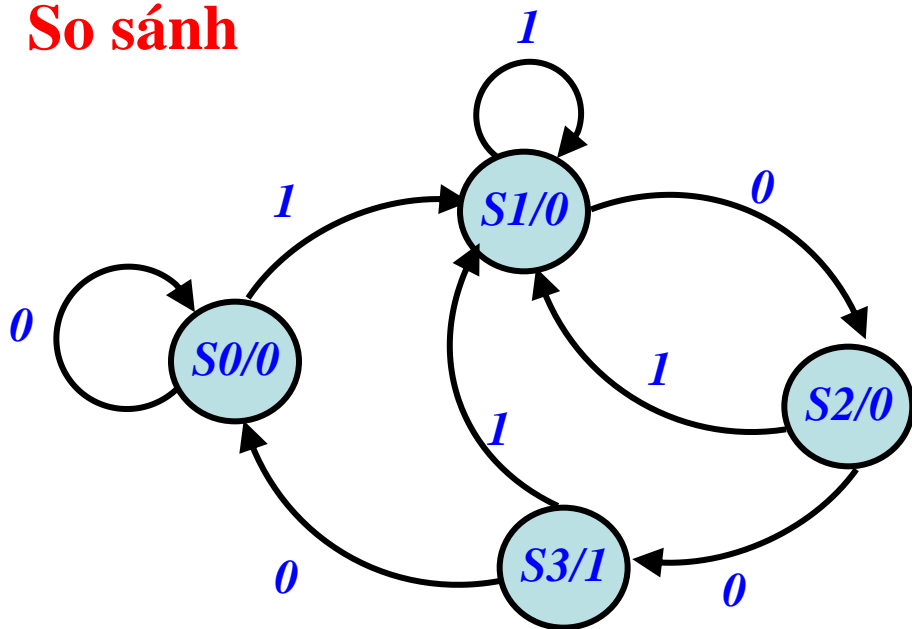
S2: nhận được 2 bit 10



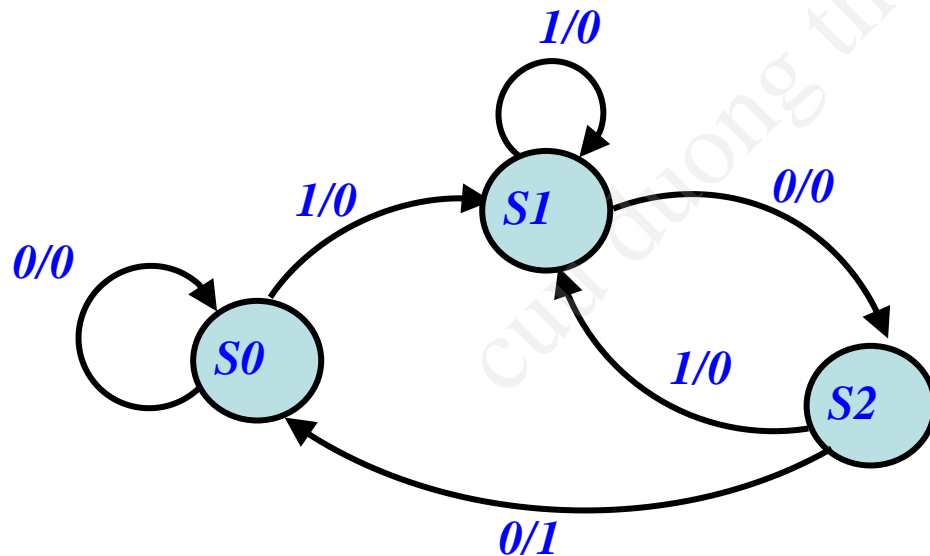
## - Bảng chuyển trạng thái

TTHT	TTKT		Ngõ ra Z	
	X=0	X=1	X=0	X=1
S0	S0	S1	0	0
S1	S2	S1	0	0
S2	S0	S1	1	0

# So sánh



TTHT	TTKT		Ngõ ra Z
	X=0	X=1	
S0	S0	S1	0
S1	S2	S1	0
S2	S3	S1	0
S3	S0	S1	1



TTHT	TTKT		Ngõ ra Z	
	X=0	X=1	X=0	X=1
S0	S0	S1	0	0
S1	S2	S1	0	0
S2	S0	S1	1	0

- **Gán trạng thái: sử dụng mã nhị phân 2 bit( có thể gán theo mã Gray hoặc one hot encoding..)**

**S0: 00, S1: 01 , S2: 10 , S3: 11 (dùng 2 FF)**

- **Thiết kế mạch**

**VD: Sử dụng T-FF kích cạnh lên và các cổng logic**

TTHT		Ngõ vào	TTKT		Ngõ vào FF		Ngõ ra
Q1	Q0	X	Q1 <sup>+</sup>	Q0 <sup>+</sup>	T1	T0	Z
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
1	0	0	1	1	0	1	0
1	0	1	0	1	1	1	0
1	1	0	0	0	1	1	1
1	1	1	0	1	1	0	1

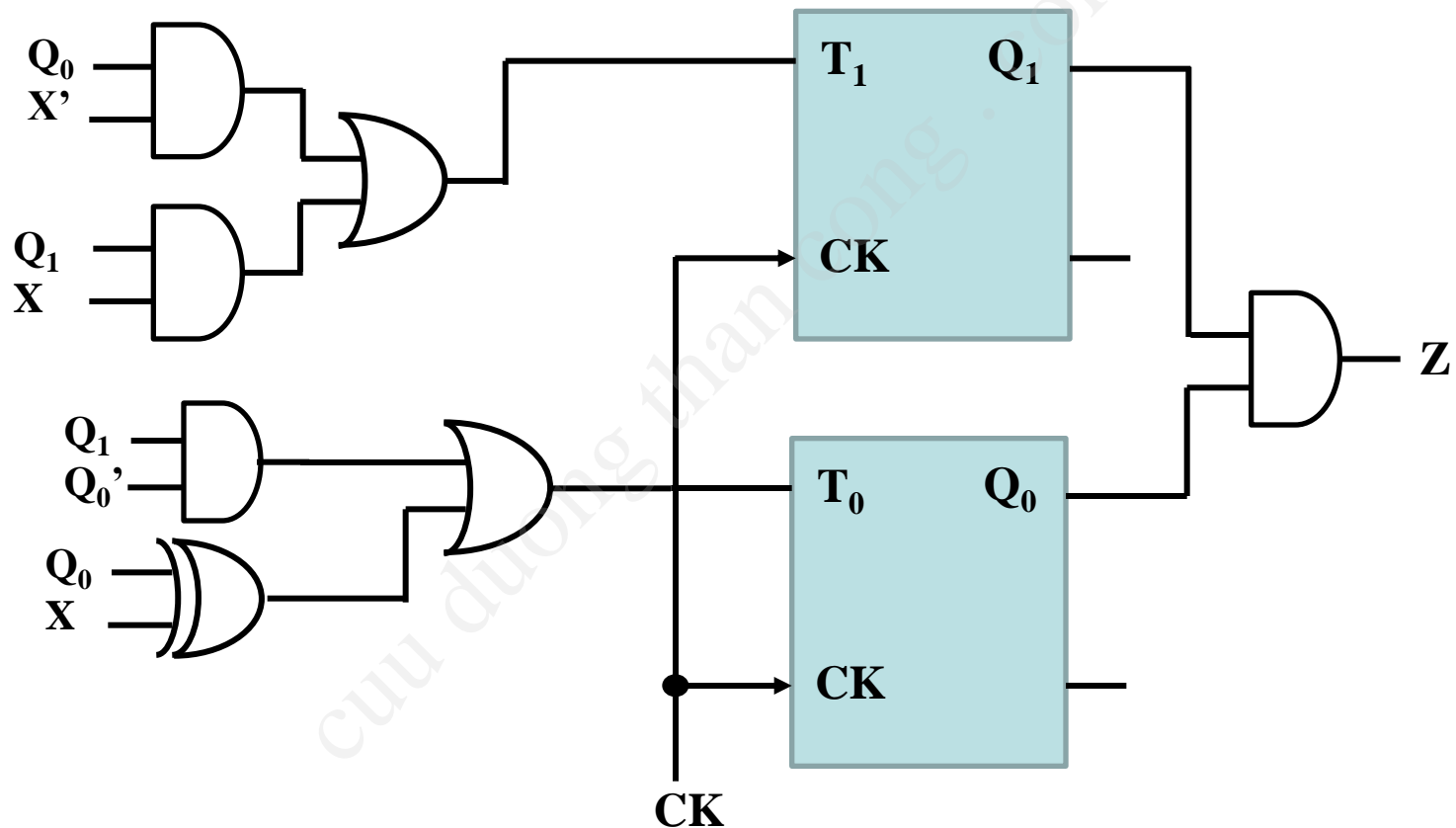
- **Xác định các hàm ngõ vào FF và ngõ ra của hệ**

$$T_1 = Q_0 \cdot X' + Q_1 \cdot X$$

$$T_0 = Q_1 Q_0' + Q_0 \oplus X$$

$$Z = Q_1 \cdot Q_0$$

- **Vẽ sơ đồ mạch**





## PHẦN THAM KHẢO THÊM

1. Thành lập graph trạng thái hoặc bảng chuyển trạng thái:

**Ví dụ:** Một hệ tuần tự có 1 ngõ vào X và 1 ngõ ra Z. Ngõ ra sẽ là 1 nếu ngõ vào nhận được chuỗi vào liên tiếp 101.

**X =     0   1   1   0   0   1   0   1   0   1   1   0   0**

**Z =     0   0   0   0   0   0   0   1   0   1   0   0   0**

**\* Kiểu MEALY:**

TT hiện tại	TT kế tiếp		Ngõ ra (Z)	
	X = 0	X = 1	X = 0	X = 1
S0	S0	S1	0	0
S1	S2	S1	0	0
S2	S0	S1	0	1

**Ví dụ:** Một hệ tuần tự có 1 ngõ vào X và 1 ngõ ra Z. Ngõ ra sẽ là 1 nếu ngõ vào nhận được chuỗi vào liên tiếp 101.

**X =    0    1    1    0    0    1    0    1    0    1    1    0    0**

**Z =    0    0    0    0    0    0    0    1    0    1    0    0    0**

**Kiểu MOORE:**

TT hiện tại	TT kế tiếp		Ngõ ra (Z)
	X = 0	X = 1	
S0	S0	S1	0
S1	S2	S1	0
S2	S0	S3	0
S3	S2	S1	1

## 2. Rút gọn trạng thái:

- Với  $m$  trạng thái ta sử dụng  $n$  FF:  $2^{n-1} < m \leq 2^n$
- Trạng thái tương đương:

Hai trạng thái tương đương là 2 trạng thái mà khi cùng giá trị vào mà chúng có các giá trị ra giống nhau và các trạng thái kế tiếp mà chúng chuyển tới tương đương nhau.

PS	NS		OUTPUT	
	X = 0	X = 1	X = 0	X = 1
A	C	D	0	1
B	C	D	0	1

## Ví dụ: Rút gọn bảng trạng thái sau

TTHT	TTKT		Ngõ ra (Z)	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
$S_0$	$S_1$	<del><math>S_2</math></del> $S_1$	0	0
$S_1$	$S_3$	$S_4$	0	0
<del><math>S_2</math></del>	<del><math>S_5</math></del> $S_3$	<del><math>S_6</math></del> $S_4$	<del>0</del>	<del>0</del>
$S_3$	$S_0$	$S_0$	0	0
$S_4$	$S_0$	$S_0$	1	0
<del><math>S_5</math></del>	$S_0$	$S_0$	<del>0</del>	<del>0</del>
<del><math>S_6</math></del>	$S_0$	$S_0$	<del>1</del>	<del>0</del>

Ta có:  $S_3 \equiv S_5$  và  $S_4 \equiv S_6$

$$\Rightarrow S_1 \equiv S_2$$

Bảng rút gọn:

TTHT	TTKT		Ngõ ra (Z)	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
$S_0$	$S_1$	$S_1$	0	0
$S_1$	$S_3$	$S_4$	0	0
$S_3$	$S_0$	$S_0$	0	0
$S_4$	$S_0$	$S_0$	1	0

\* PP rút gọn bằng bảng kéo theo (Implication Table)

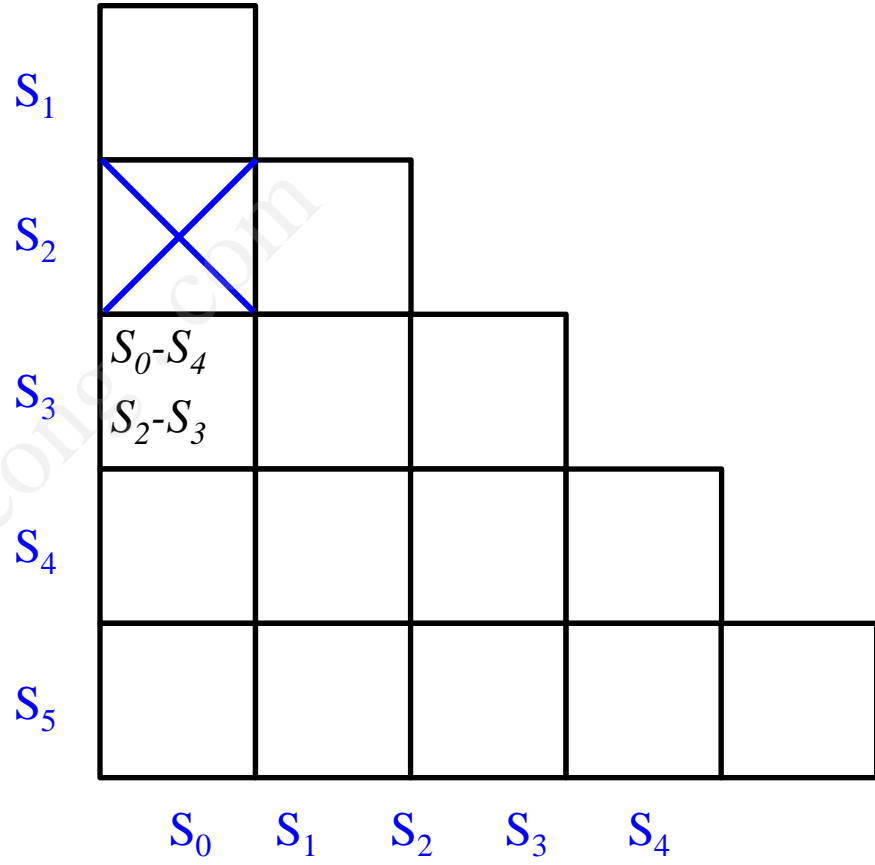
- Thành lập bảng kéo theo của bảng có  $n$  trạng thái: có  $n-1$  cột và  $n-1$  hàng. Mỗi ô vuông là cặp trạng thái cần xét tương đương.

- Từ bảng trạng thái tìm các trạng thái có ngõ ra giống nhau lập thành nhóm có thể tương đương.

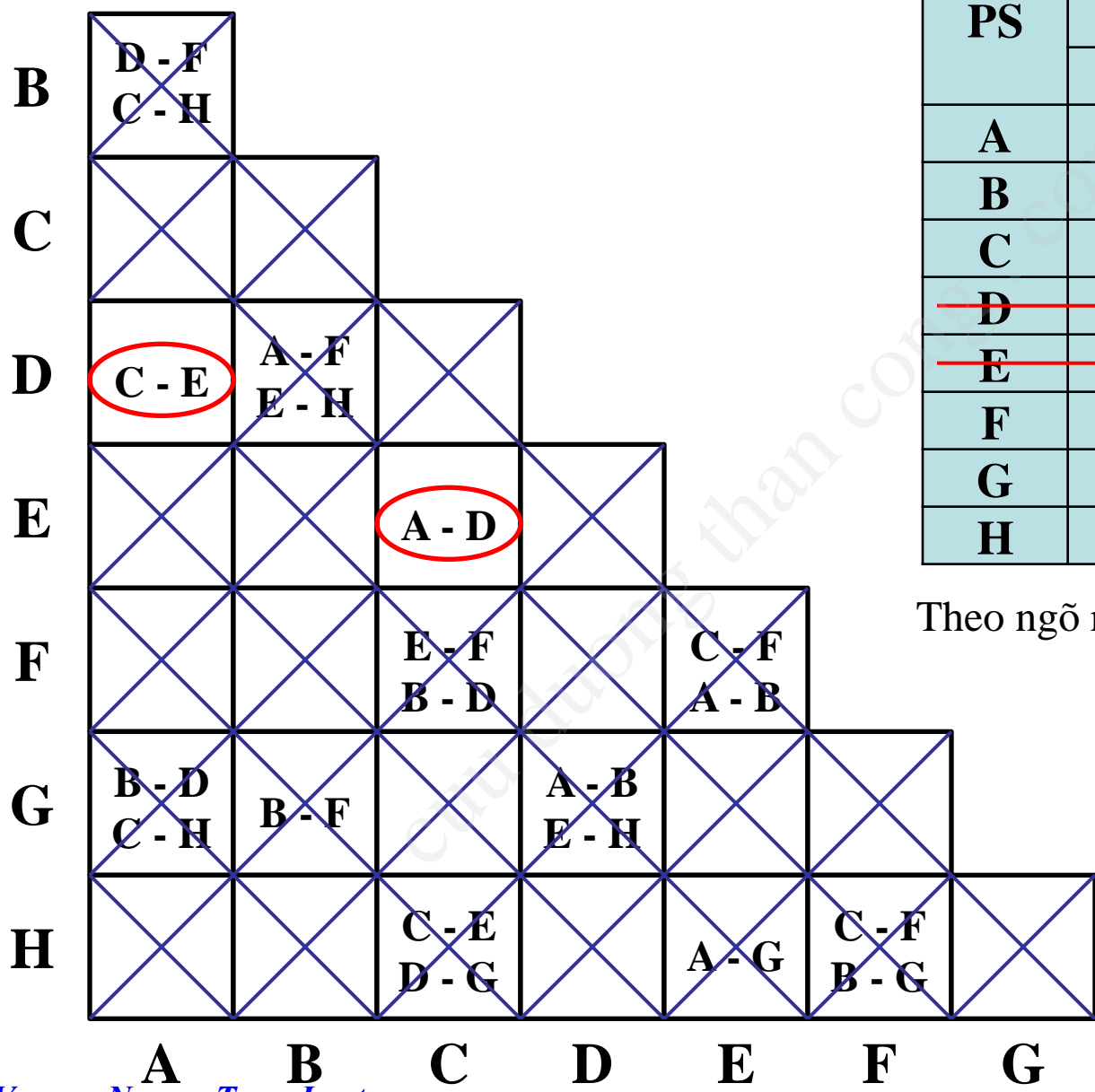
- Tại mỗi ô vuông của 2 trạng thái không cùng nhóm thì sẽ không tương đương  $\Rightarrow$  gạch chéo ô vuông.

- Tại mỗi ô vuông của 2 trạng thái cùng nhóm thì ta ghi điều kiện trạng thái kế tiếp cần xét tương đương.

- Kiểm tra các điều kiện trong các ô vuông: gạch chéo các ô không thỏa điều kiện. Các ô còn lại không bị gạch chéo là kết quả tương đương.



\* PP rút gọn bằng bảng kéo theo (Implication Table)



PS	NS		Z
	X=0	X=1	
A	<del>D</del> A	C	0
B	F	H	0
C	<del>E</del> C	<del>D</del> A	1
D	A	E	0
E	C	A	1
F	F	B	1
G	B	H	0
H	C	G	1

Theo ngõ ra: ta có 2 nhóm

- (A, B, D, G)
- (C, E, F, H)

Ta được: (A, D)  
(C, E)

### 3. Gán trạng thái:

Mỗi trạng thái được gán bằng 1 tổ hợp các biến trạng thái

Ví dụ: Hệ có 3 trạng thái A, B, C

Ta cần 2 biến trạng thái  $Q_1$  và  $Q_2$  để gán cho 3 trạng thái

Trạng thái A:  $Q_1 Q_2 = 00$

B:  $Q_1 Q_2 = 01$

C:  $Q_1 Q_2 = 11$

$Q_1$		0	1
$Q_2$	0	A	-
	1	B	C

### 4. Chọn FF và thiết kế phần tổ hợp:

- Lập bảng trạng thái

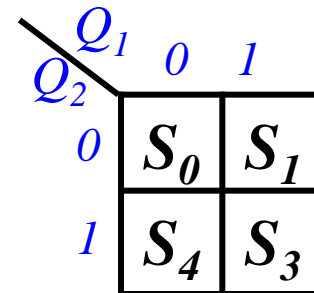
Ngõ vào	Trạng thái hiện tại	Ngõ ra	Trạng thái kế tiếp

- Chọn FF (D-FF, T-FF, JK-FF) và mạch tổ hợp (cổng logic, ROM, PLA, ..).

Ví dụ: Thực hiện hệ tuần tự sau

TTHT	TTKT		Ngõ ra (Z)	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
$S_0$	$S_1$	$S_1$	0	0
$S_1$	$S_3$	$S_4$	0	0
$S_3$	$S_0$	$S_0$	0	0
$S_4$	$S_4$	$S_0$	1	0

Gán trạng thái



TTHT ( $Q_1Q_2$ )	TTKT ( $Q_1^+Q_2^+$ )		Ngõ ra (Z)	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
$S_0 : 00$	10	10	0	0
$S_1 : 10$	11	01	0	0
$S_3 : 11$	00	00	0	0
$S_4 : 01$	01	00	1	0



TTHT ( $Q_1Q_2$ )	TTKT ( $Q_1^+Q_2^+$ )		Ngõ ra (Z)	
	$X = 0$	$X = 1$	$X = 0$	$X = 1$
$S_0: 00$	10	10	0	0
$S_1: 10$	11	01	0	0
$S_3: 11$	00	00	0	0
$S_4: 01$	01	00	1	0

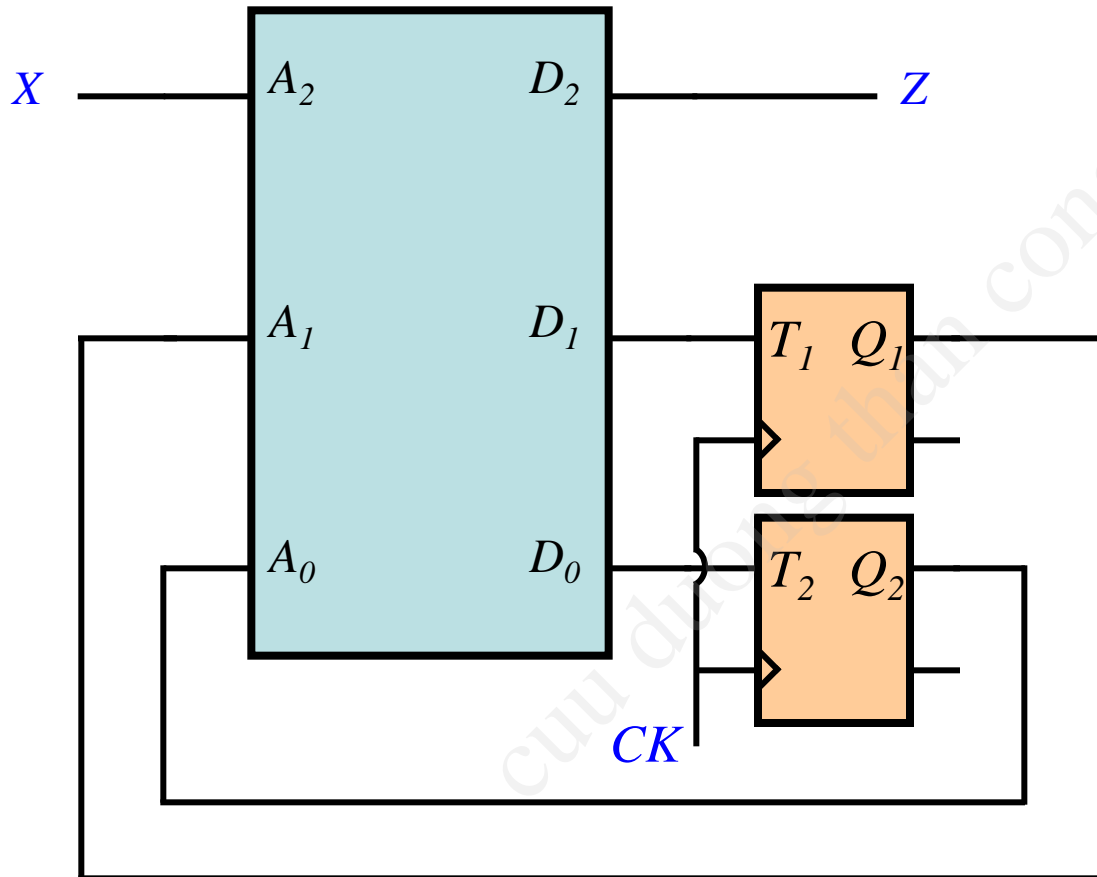
\* Lập bảng trạng thái

\* Chọn FF:

<u>Ng.vào</u> $X$	<u>TTHT</u> $Q_1 Q_2$	<u>Ngõ ra</u> $Z$	<u>TTKT</u> $Q_1^+ Q_2^+$	<u>T.FF</u> $T_1 T_2$	<u>JK.FF</u> $J_1 K_1 J_2 K_2$
0	0 0	0	1 0	1 0	1 X 0 X
0	0 1	1	0 1	0 0	0 X X 0
0	1 0	0	1 1	0 1	X 0 1 X
0	1 1	0	0 0	1 1	X 1 X 1
1	0 0	0	1 0	1 0	1 X 0 X
1	0 1	0	0 0	0 1	0 X X 1
1	1 0	0	0 1	1 1	X 1 1 X
1	1 1	0	0 0	1 1	X 1 X 1

\* Thực hiện bằng ROM và T.FF kích cạnh lên:

$2^3 \times 3$  (bit)



Bảng nạp ROM

$X$ $A_2$	$Q_1$ $A_1$	$Q_2$ $A_0$	$Z$ $D_2$	$T_1$ $D_1$	$T_2$ $D_0$
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	1	0	1	1
1	0	0	0	1	0
1	0	1	0	0	1
1	1	0	0	1	1
1	1	1	0	1	1

\* Thực hiện bằng công logic và JK.FF kích cạnh xuống:

Từ bảng trạng thái, rút gọn:

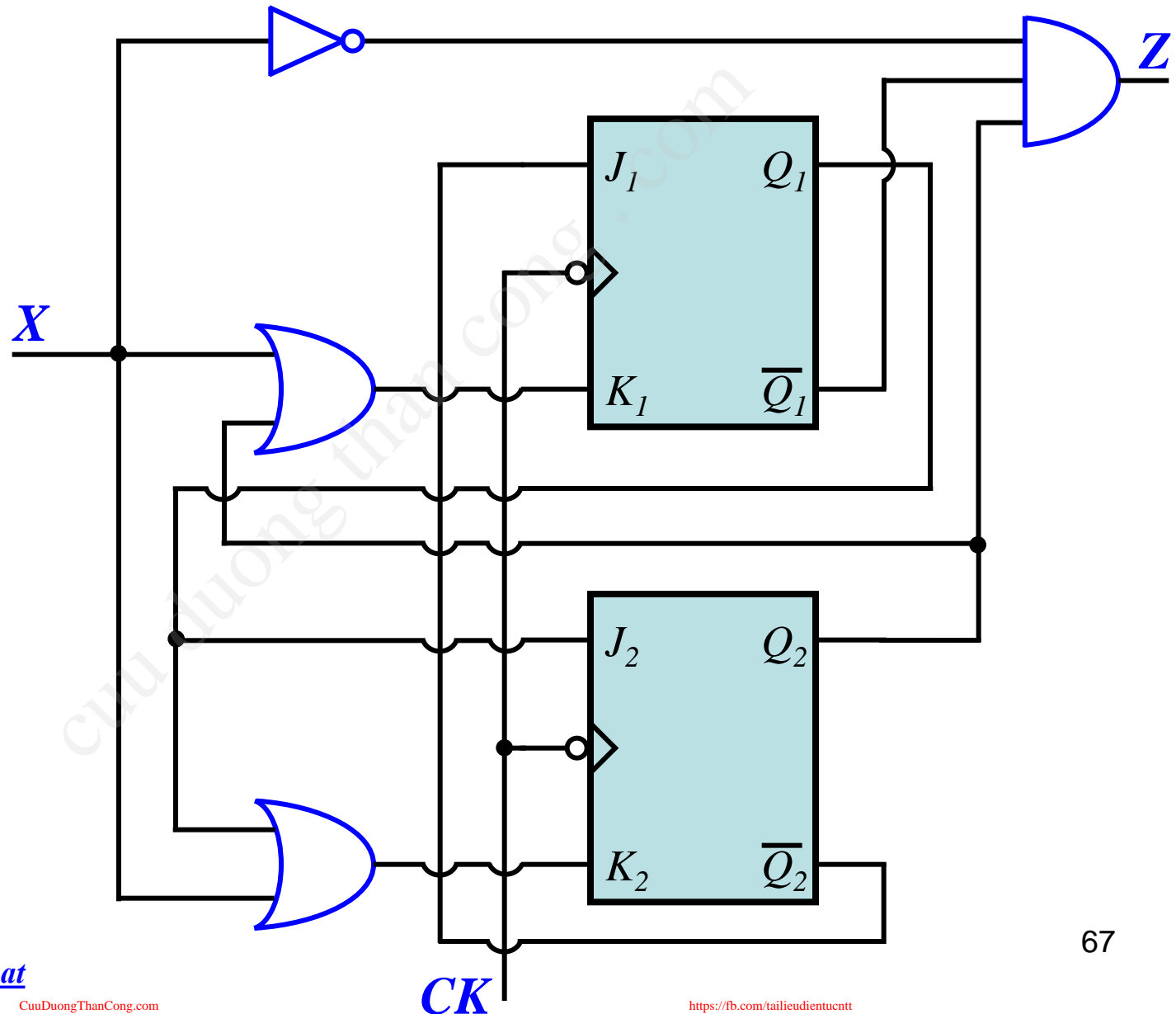
$$Z = \bar{X} \bar{Q}_1 Q_2$$

$$J_1 = \bar{Q}_2$$

$$K_1 = X + Q_2$$

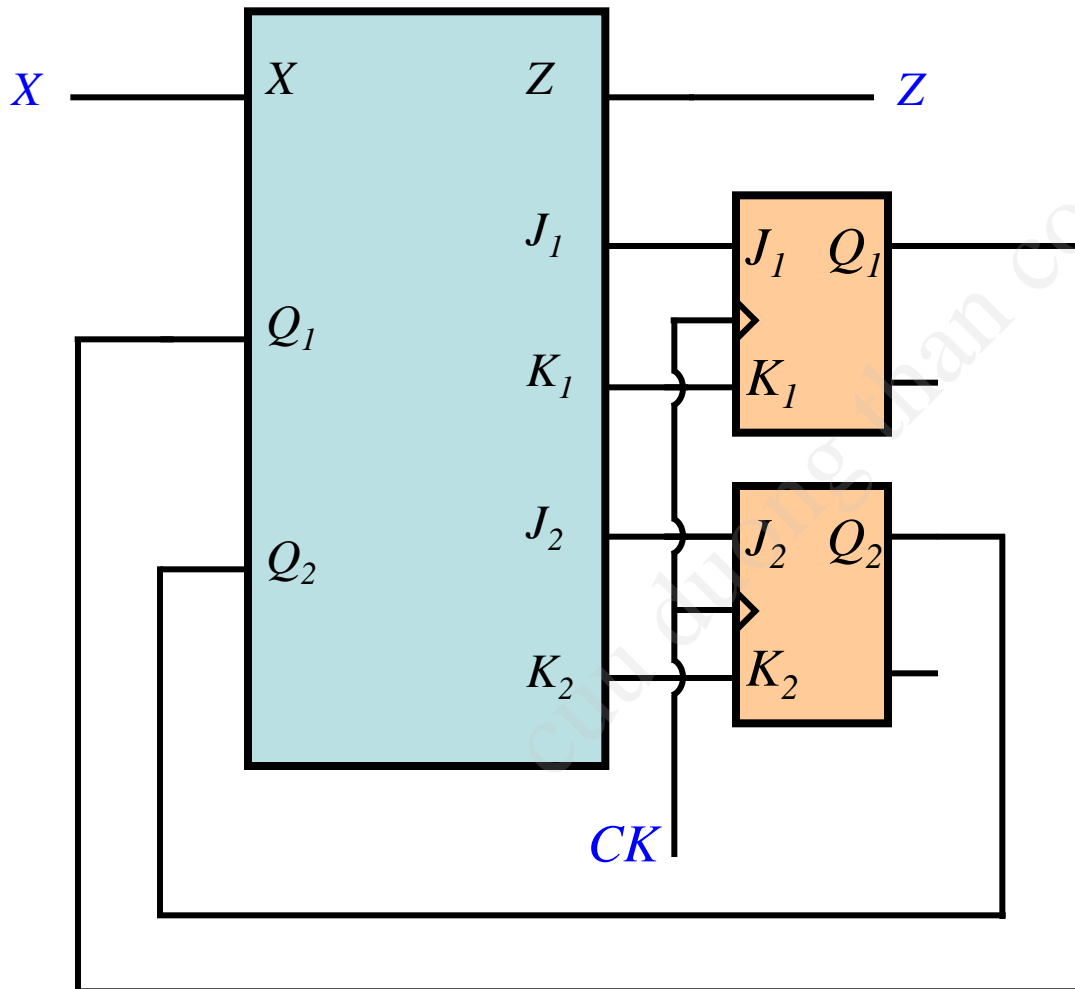
$$J_2 = Q_1$$

$$K_2 = X + Q_1$$



\* Thực hiện bằng PLA và JK.FF kích cạnh lên:

$$Z = \bar{X} \bar{Q}_1 Q_2 \quad J_1 = \bar{Q}_2 \quad K_1 = X + Q_2 \quad J_2 = Q_1 \quad K_2 = X + Q_1$$

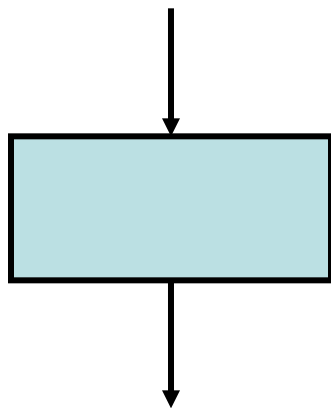


Bảng nạp PLA

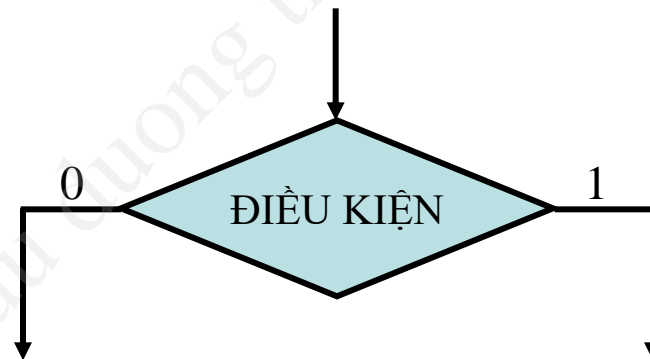
$X$	$Q_1$	$Q_2$	$Z$	$J_1$	$K_1$	$J_2$	$K_2$
0	0	1	1	0	0	0	0
-	-	0	0	1	0	0	0
1	-	-	0	0	1	0	1
-	-	1	0	0	1	0	0
-	1	-	0	0	0	1	1

## VI. LƯU ĐỒ MÁY TRẠNG THÁI

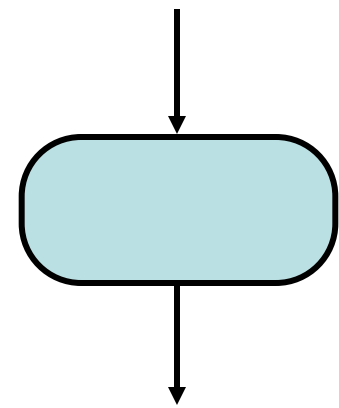
- Hệ tuần tự còn được gọi là máy trạng thái thuật toán (*ASM - algorithmic state machine*) hay đơn giản hơn là máy trạng thái (*SM - state machine*), gọi tắt là *SM*.
- Lưu đồ SM được tạo bởi các khối SM; mỗi khối SM mô tả hoạt động của hệ trong 1 trạng thái.
- Một khối SM bao gồm một *Hộp trạng thái* (state box), các *Hộp quyết định* (decision box) và các *Hộp xuất theo điều kiện* (conditional output box).



*Hộp trạng thái*



*Hộp quyết định*



*Hộp xuất theo điều kiện*

*Đường vào của khối SM*

*Tên trạng thái*

S

xxx

*Mã trạng thái*

*Liệt kê biến ra có giá trị 1  
(biến Moore)*

ĐIỀU KIỆN

0

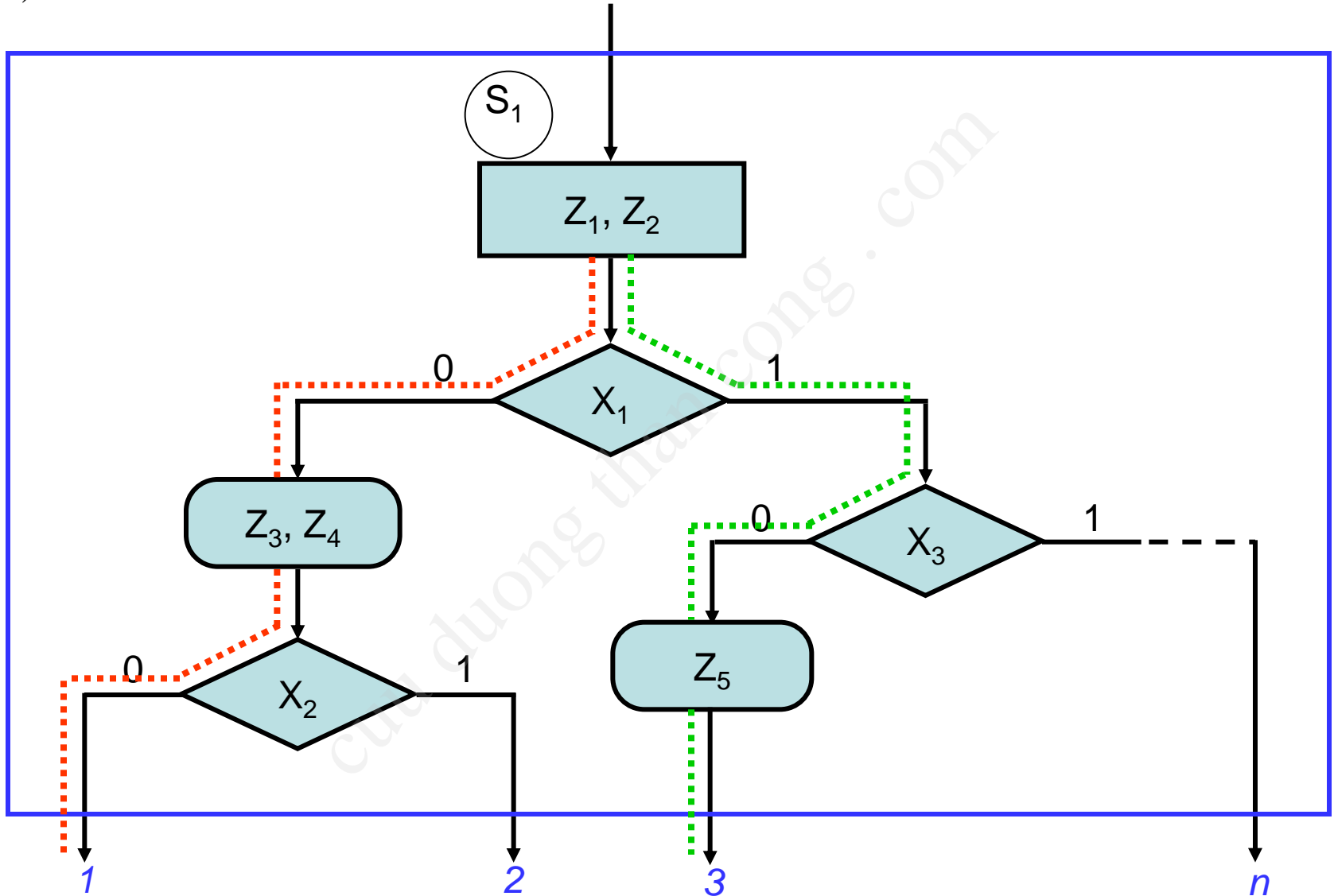
1

*Liệt kê biến ra có  
giá trị 1 theo điều  
kện (biến Mealy)*

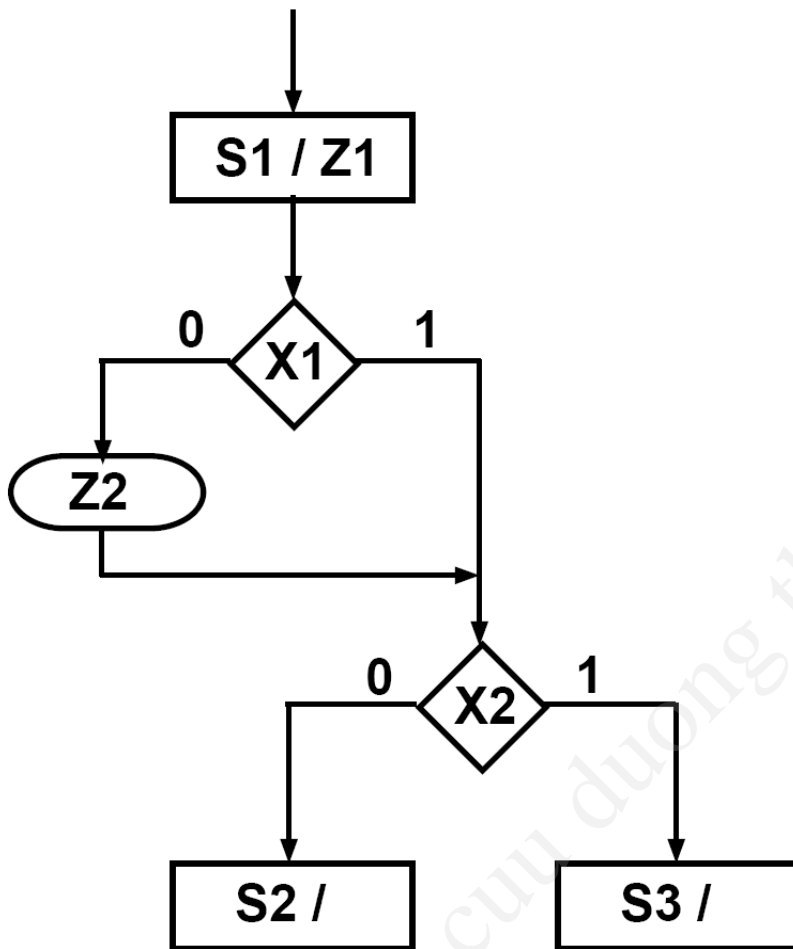
*Các đường ra đến các khối SM khác*

Một khối SM có chính xác một đường vào và một hoặc nhiều đường ra.

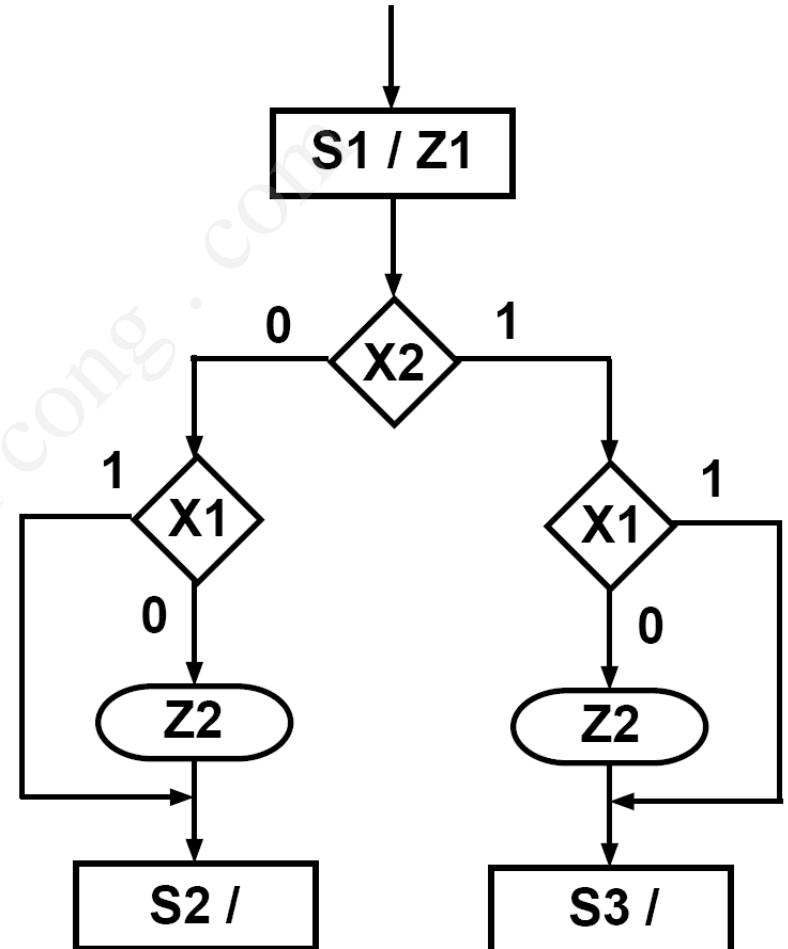
- Một đường dẫn đi qua khối SM từ ngõ vào đến ngõ ra được gọi là *đường dẫn liên kết* (link path).



- Khối SM có thể được biểu diễn bằng nhiều dạng khác nhau.



(a)

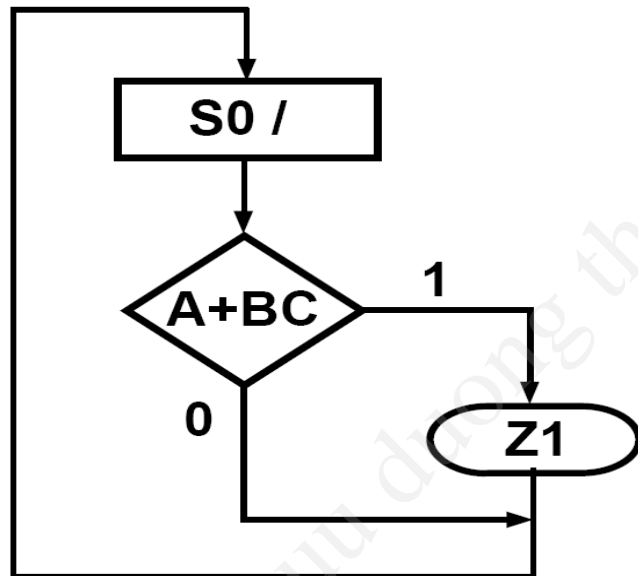


(b)

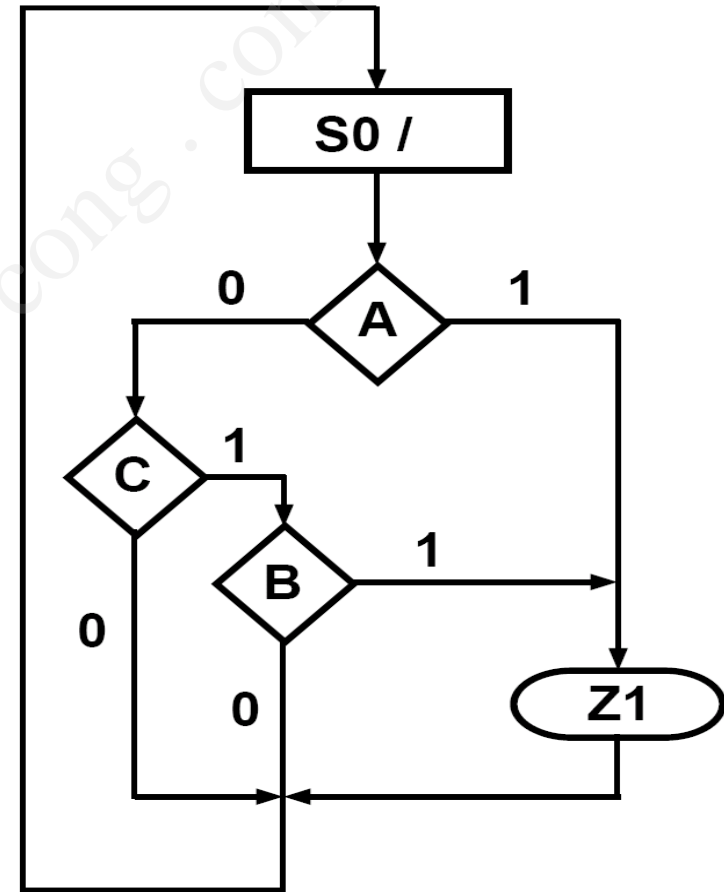


- Một lưu đồ SM có thể biểu diễn một hệ tổ hợp khi chỉ có một trạng thái và không có sự thay đổi trạng thái xảy ra.

$$Z1 = A + A'BC = A + BC$$



(a)

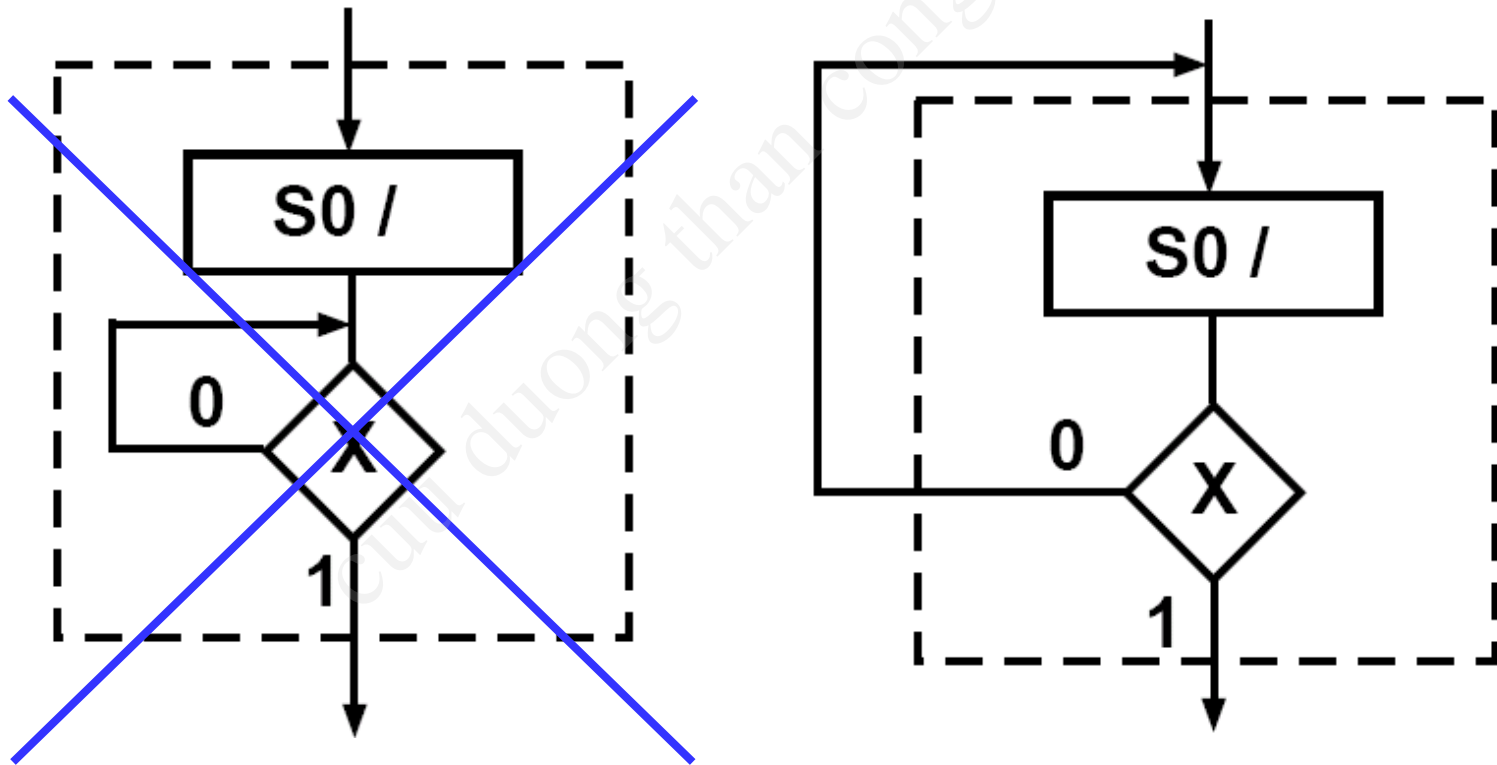


(b)

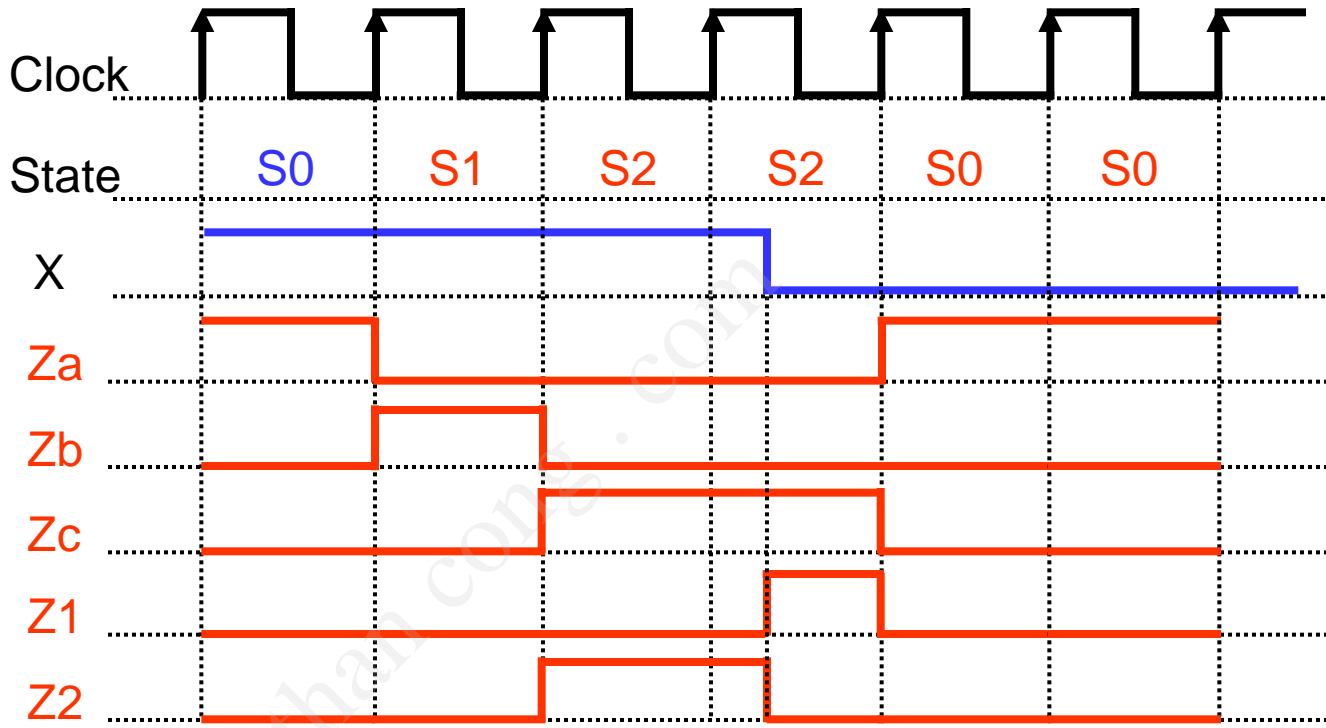
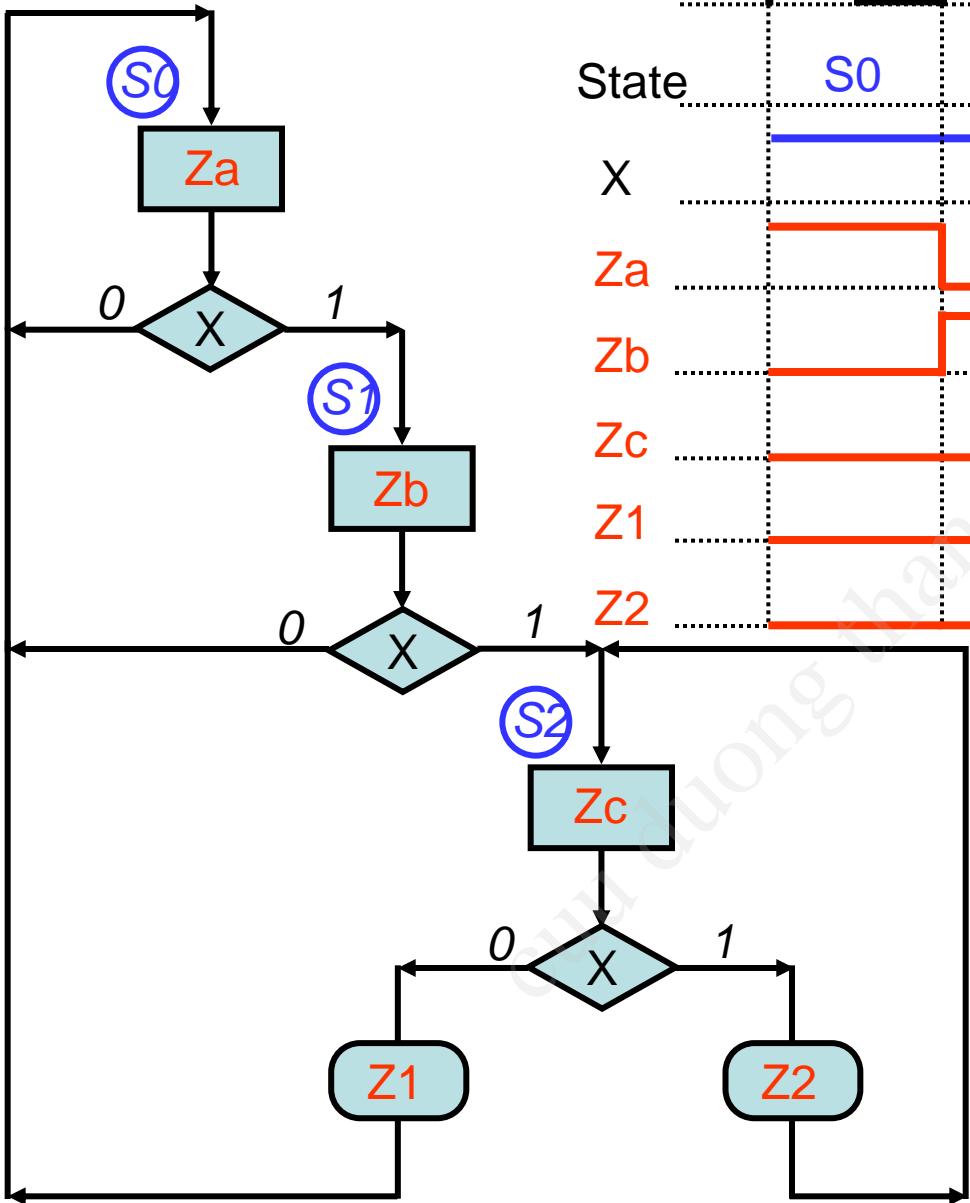
- Ta phải tuân theo một số qui tắc khi xây dựng một khối SM.

\* Với mỗi kết hợp các biến vào hợp lệ phải có chính xác một đường ra được định nghĩa. Điều này là cần thiết vì mỗi tổ hợp vào được cho phép phải dẫn đến một trạng thái kế duy nhất.

\* Không cho phép có đường hồi tiếp nội trong một khối SM.







# CÀI ĐẶT LƯU ĐỒ MÁY TRẠNG THÁI:

- Việc cài đặt (realization) lưu đồ SM là tìm được phương trình của các biến ra và các biến trạng thái kế tiếp.

- Các bước thực hiện như sau:

\* Thực hiện gán trạng thái cho các hộp trạng thái.

\* Xác định phương trình của biến ra  $Z_i$

- Tìm các trạng thái có xuất hiện biến ra ( $Z_i = 1$ )

- Nếu là biến MOORE thì ta được tích số (AND) của các biến trạng thái; còn nếu là biến MEALY thì ta có tích số của các biến trạng thái và biến điều kiện vào.

- Phương trình của biến ra bằng tổng (OR) các tích số đã tìm thấy ở các bước trên lại với nhau.

\* Gán trạng thái:

S0:  $AB = 00$ ; S1:  $AB = 01$  và S2:  $AB = 11$

\* Phương trình của các biến ra:

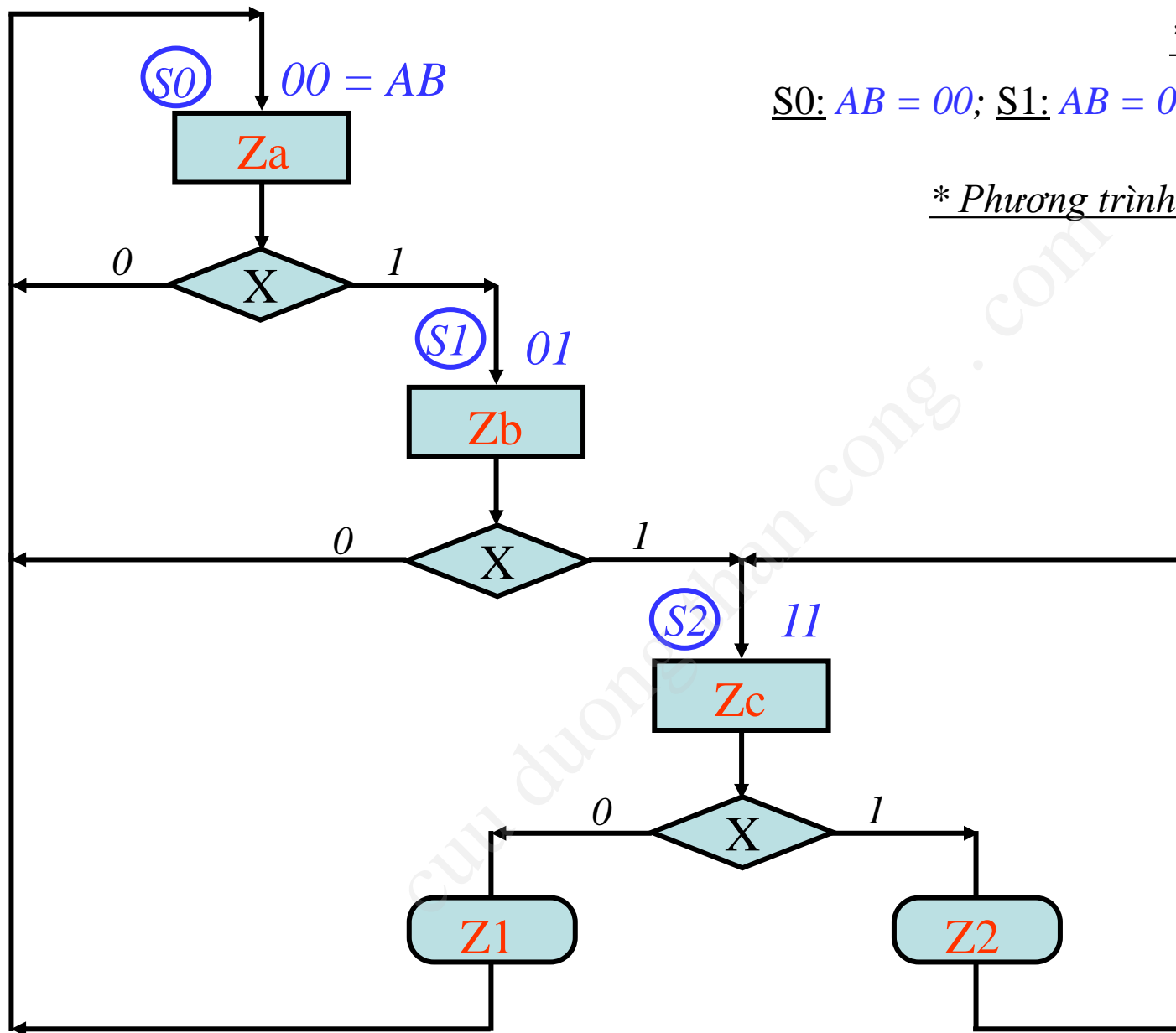
$$Za = \overline{A} \overline{B}$$

$$Zb = \overline{A} B$$

$$Zc = A B$$

$$Z1 = A B \overline{X}$$

$$Z2 = A B X$$



### \* Xác định phương trình các biến trạng thái $Q_j^+$

- Tìm ra tất cả các trạng thái trong đó  $Q_j = 1$
- Tại mỗi trạng thái này, tìm tất cả các đường dẫn liên kết (*link path*) mà dẫn vào trạng thái đó.
- Với mỗi đường dẫn liên kết này, tìm ra một số hạng là 1 khi đi theo đường dẫn liên kết này. Nghĩa là, với đường dẫn liên kết từ  $Sa$  đến  $Sb$ , số hạng sẽ là 1 tích số của các biến trạng thái ở trạng thái  $Sa$  và các biến điều kiện để có thể dẫn đến  $Sb$ .
- Biểu thức  $Q_j^+$  được tạo thành bằng cách lấy tổng (OR) các tích số được tìm thấy ở bước trên lại với nhau.

\* Phương trình các biến trạng thái kế

$$A^+ = \overline{A} B X \quad + \quad A B X$$

(S1 → S2)                      (S2 → S2)

$$B^+ = \overline{A} B X \quad + \quad A B X \quad + \quad \overline{A} \overline{B} X$$

(S1 → S2)                      (S2 → S2)                      (S0 → S1)

