

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT  
KHOA ĐIỆN-ĐIỆN TỬ  
BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG**

**BÁO CÁO THỰC TẬP  
MÔN HỌC:  
TUẦN: 6**

<b>Họ tên:</b> Nguyễn Trung Đức	<b>MSSV:</b> 22161116	<b>Nhóm:</b> (Sáng thứ 6, tuần 1-8)

**1. Layout**

**a. Lý thuyết:**

Xem chi tiết hướng dẫn layout một bộ inverter sử dụng công nghệ CMOS 90nm  
<https://www.youtube.com/watch?v=tK9St35jATA&list=PLmLQnr2Fjat0MuBkXBFg-Er58PTokj-r2&index=2>

- Video trên trình bày về quy trình thiết kế và mô phỏng một bộ đảo CMOS đơn giản bằng công cụ Cadence Virtuoso. Nội dung chính bao gồm:
  - Quy trình thiết kế: Video hướng dẫn từng bước để tạo ra một bộ đảo, bắt đầu từ việc mở công cụ và tạo một thiết kế mới. Người dùng được khuyên nên làm theo từng bước để đảm bảo quy trình diễn ra suôn sẻ.
  - Tạo thư viện và thành phần: Người dùng sẽ cần tạo một thư viện mới và thêm các thành phần cần thiết cho thiết kế. Điều này bao gồm việc chọn các thông số kỹ thuật và cấu hình cho các thành phần như đầu vào và đầu ra.
  - Kết nối và bố trí: Video chỉ ra cách kết nối các thành phần trong thiết kế và cách bố trí chúng trong không gian thiết kế. Đây là phần quan trọng để đảm bảo rằng bộ đảo hoạt động hiệu quả.
  - Kiểm tra và mô phỏng: Cuối cùng, video hướng dẫn cách thực hiện mô phỏng để kiểm tra hoạt động của bộ đảo, giúp người dùng hiểu rõ hơn về hiệu suất và các thông số kỹ thuật của thiết kế.

**b. Thực hành:**

Thực hiện layout một cổng inverter sử dụng công nghệ 90nm

Tại sao phải thực hiện layout cổng inverter?

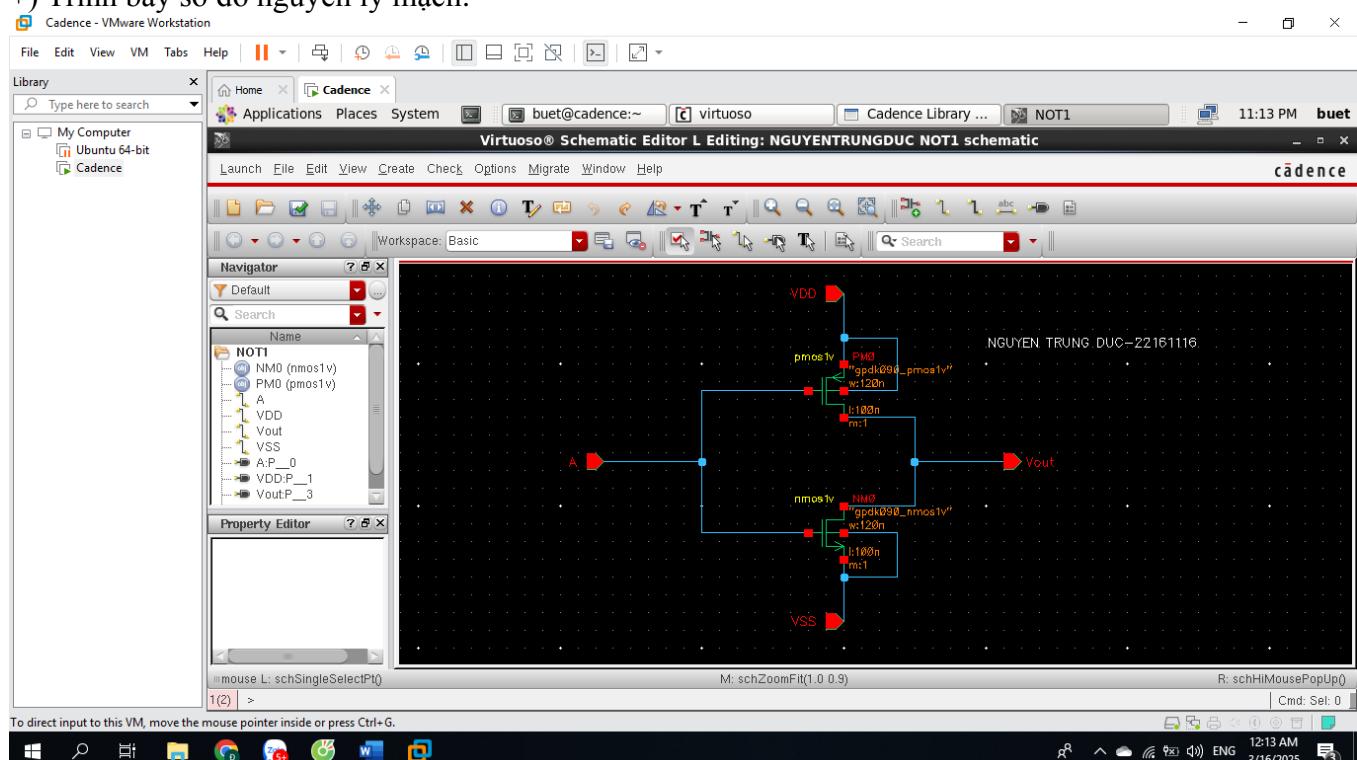
- ❖ Thiết kế layout của một cổng inverter (cổng NOT) là một bước quan trọng trong quá trình thiết kế vi mạch số (Digital IC Design). Dưới đây là một số lý do chính:
  - Hiện thực hóa thiết kế từ sơ đồ nguyên lý (Schematic to Layout)
  - Từ lý thuyết đến thực tế: Schematic chỉ là mô hình điện tử, nhưng để sản xuất trên silicon, cần chuyển đổi thành layout chứa các lớp vật lý của transistor, kim loại kết nối.
  - Bố cục thực tế của PMOS/NMOS: Inverter sử dụng một cặp transistor NMOS-PMOS, và việc bố trí đúng giúp đảm bảo hoạt động chính xác.
  - Tối ưu hiệu suất (Performance Optimization)
  - Tối ưu tốc độ và độ trễ: Layout ảnh hưởng đến tốc độ chuyển mạch (switching speed) của inverter.
  - Giảm điện dung ký sinh: Thiết kế layout tốt giúp giảm điện dung giữa các lớp kim loại, từ đó tăng tốc độ hoạt động.
  - Cải thiện mức tiêu thụ điện năng: Một layout tối ưu giúp giảm tiêu thụ điện và tránh rò rỉ dòng.

- Kiểm tra và đảm bảo tính đúng đắn
- DRC (Design Rule Check): Kiểm tra xem layout có tuân theo các quy tắc thiết kế công nghệ hay không.
- LVS (Layout vs. Schematic): Đảm bảo layout phản ánh đúng sơ đồ nguyên lý.
- RC Extraction & Simulation: Trích xuất các thông số điện trở, điện dung để mô phỏng lại mạch thực tế.
- Cơ sở cho các thiết kế phức tạp hơn
- Inverter là khái niệm cơ bản của mọi mạch số:
  - Bộ nhớ (SRAM, DRAM)
  - Vi xử lý (CPU, GPU)
  - FPGA, ASIC
- Thiết kế tiêu chuẩn cell (Standard Cell Design): Trong các quy trình thiết kế ASIC hoặc VLSI, inverter thường là cell cơ bản được tối ưu hóa để tạo thành các mạch logic lớn hơn.
- Chuẩn bị cho chế tạo chip (Fabrication Ready Design)
- Layout là bước cuối cùng trước khi gửi thiết kế đến nhà máy chế tạo (foundry).
- Nếu không có layout, không thể tạo mặt nạ quang (photomask) để sản xuất chip.

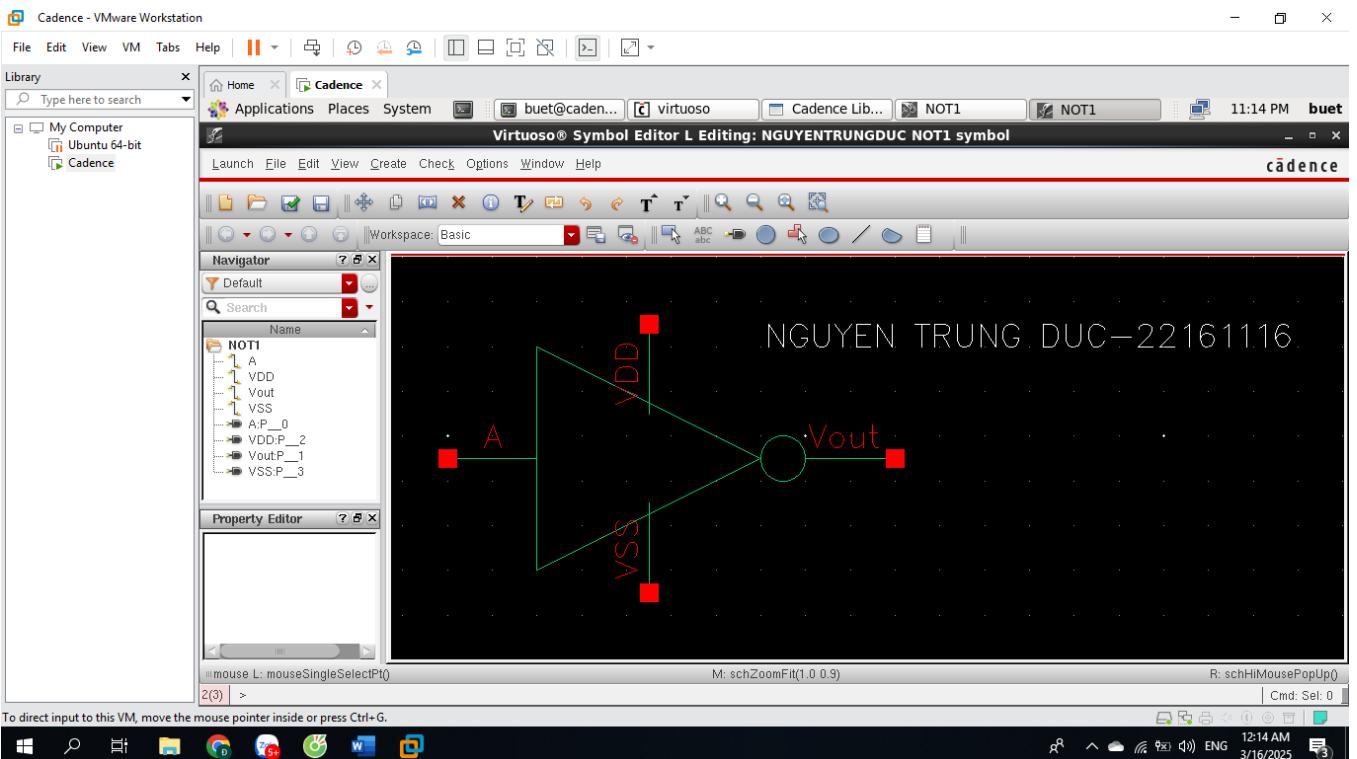
Giới thiệu lại các bước thực hiện và kết quả thực hiện

B1: Ta phải vẽ và kiểm tra xem công thức inverter của ta đã đúng chưa

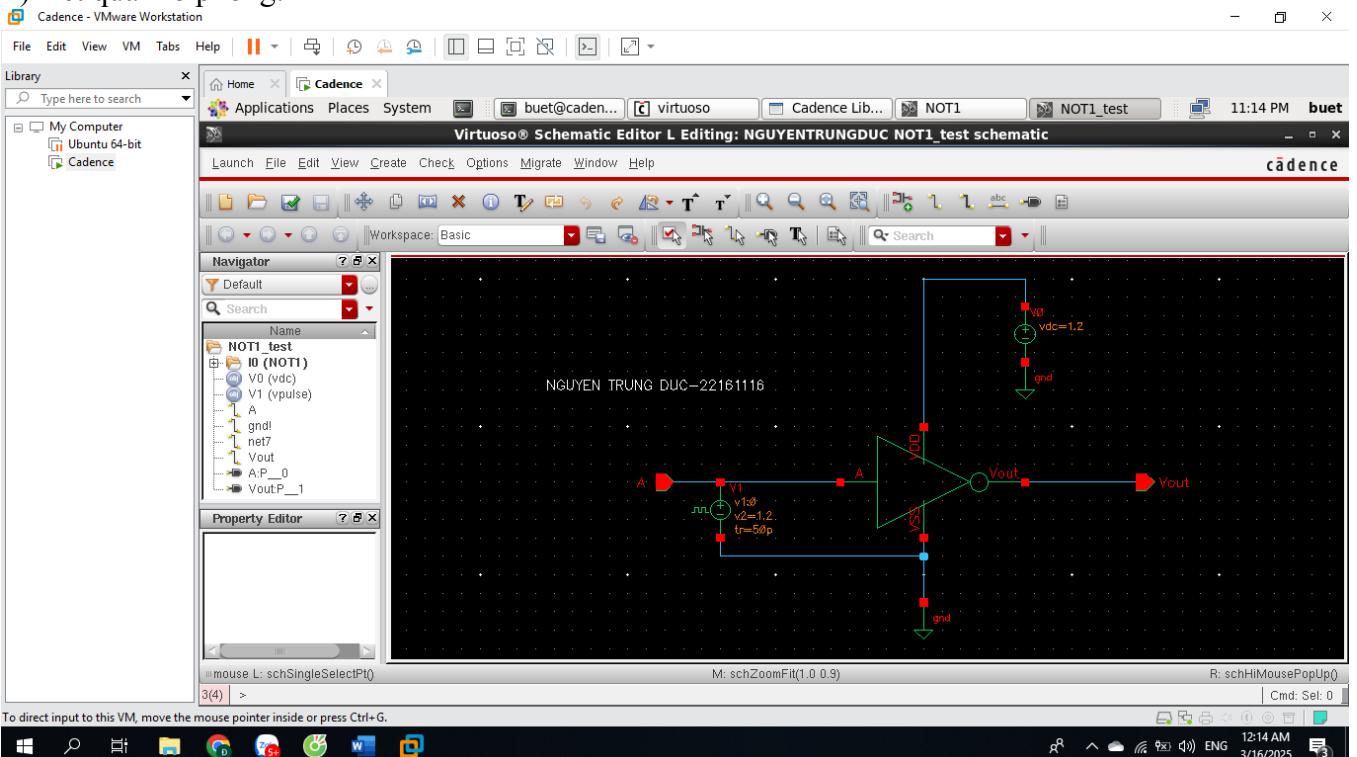
+ ) Trình bày sơ đồ nguyên lý mạch:

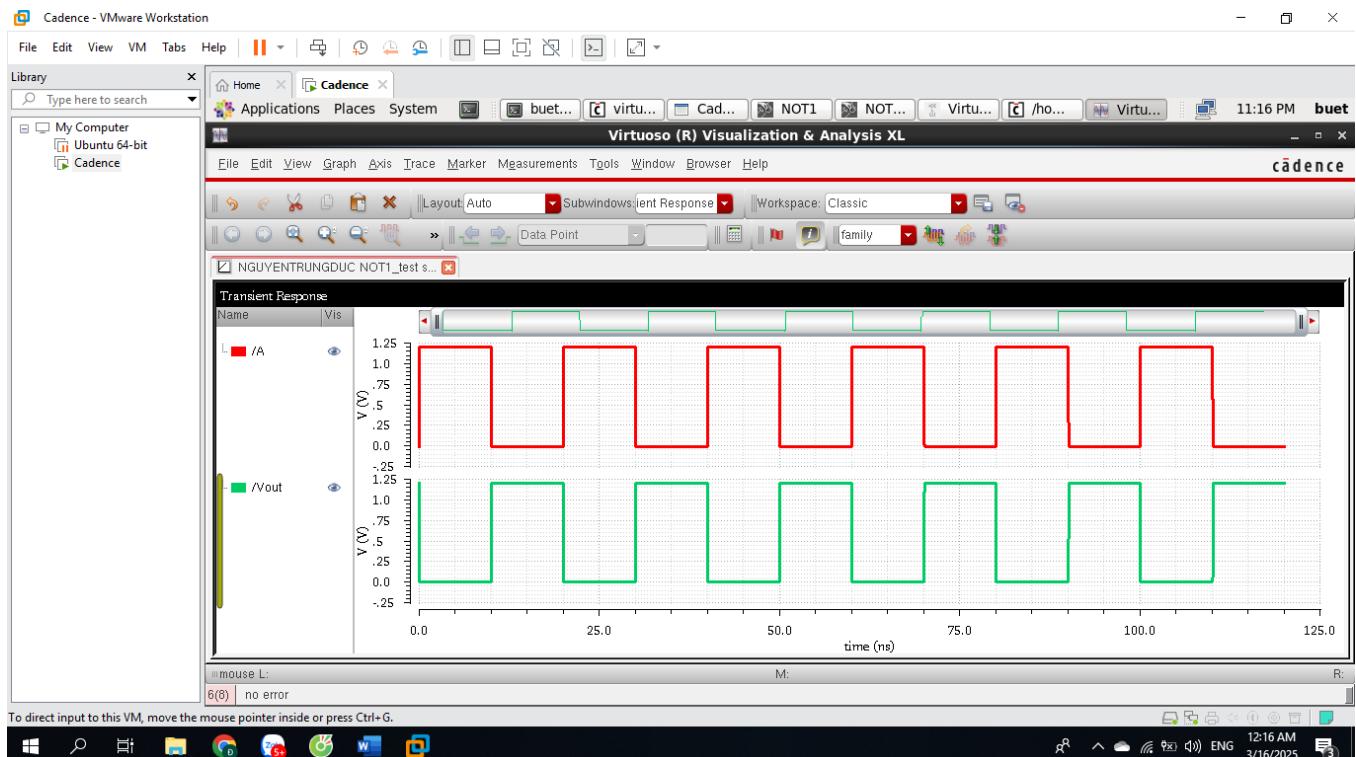


+ ) Đóng gói:



+ ) Kết quả mô phỏng:

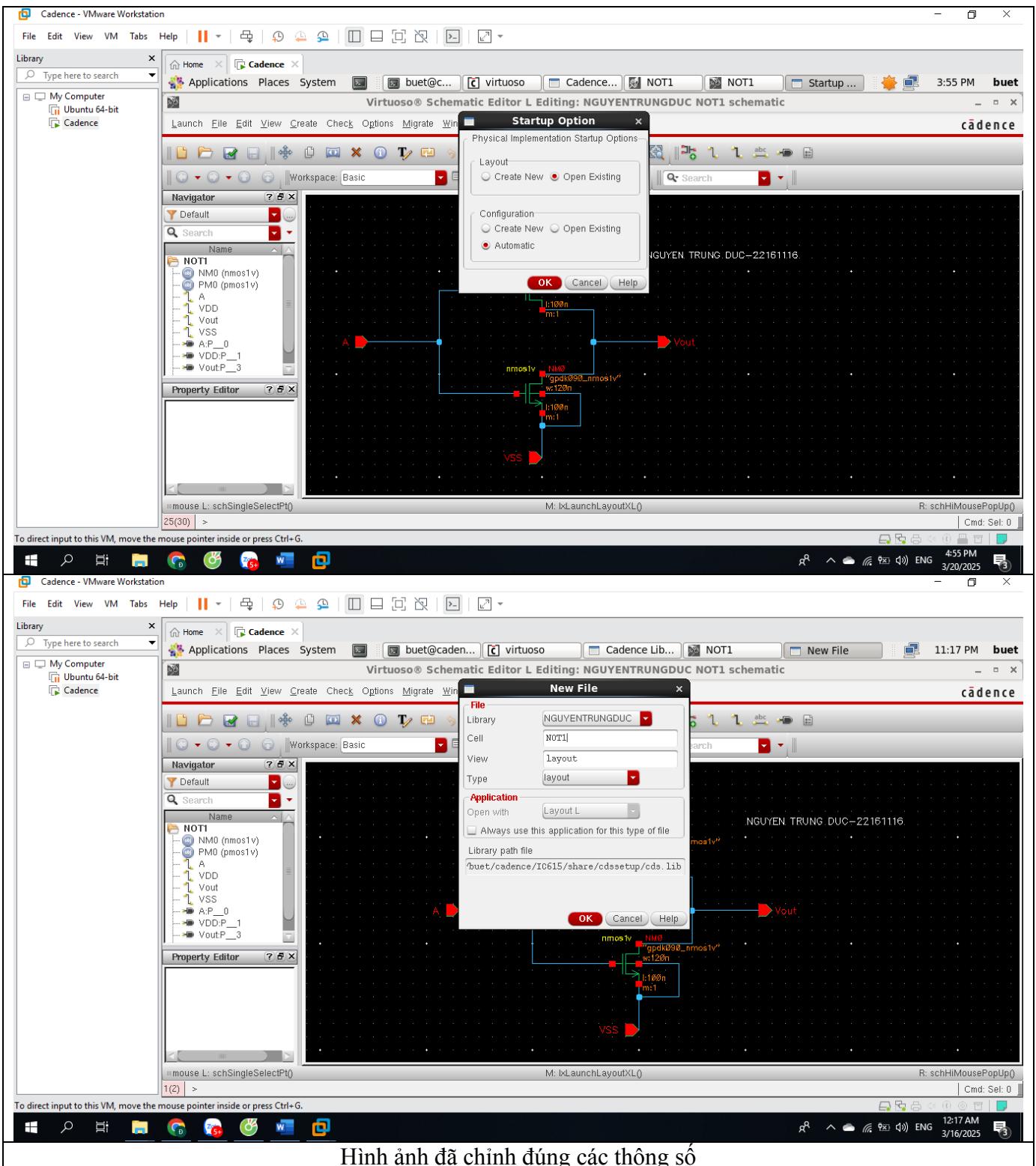




Phân tích:

- Ta có hai dạng sóng màu đỏ và màu xanh:
  - Vin (đường đỏ): Dạng sóng đầu vào (xung vuông).
  - Vout (đường xanh lá): Dạng sóng đầu ra, là tín hiệu đảo ngược của đầu vào.
- Phân tích chi tiết:
  - Ban đầu ta cho điện áp ngõ vào (Vin) ở mức thấp tức là bằng 0V thì Vout lên mức cao tức logic 1 (ở hình kết quả là 1.2V).
  - Sau đó, ta cho điện áp ngõ vào (Vin) lên mức cao tức là bằng 1.2V thì Vout xuống mức thấp tức logic 0.
  - Do bên mạch vẽ schematic ta xét thông số có biên độ là 1.2V nên ta thấy khi Vin hay Vout lên mức logic 1 thì chúng sẽ lên 1.2V, còn khi ở schematic ta xét thông số khác thì lúc đó ngõ ra sẽ có điện áp mức logic 1 khác.
  - Tín hiệu đầu ra có dạng xung vuông, không bị méo hoặc trễ đáng kể.

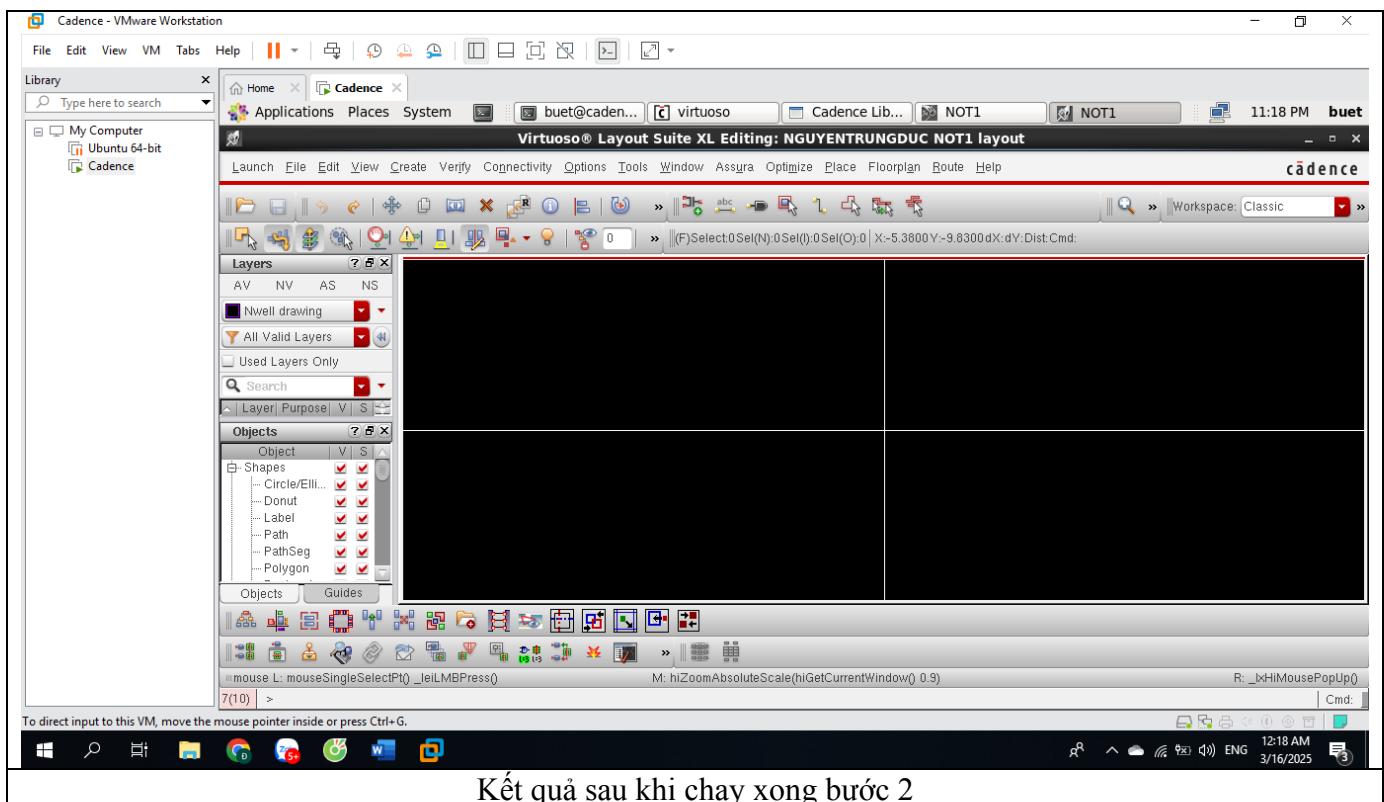
B2: Ta thấy rằng, ta đã mô phỏng mạch inverter đã đúng và giờ ta sẽ đi vẽ layout cho mạch inverter. Đầu tiên, ta vô Launch sau đó chọn Layout XL, ta giữ nguyên set up và ấn OK, sau đó ta kiểm tra xem đã chọn qua layout chưa nếu chọn rồi thì nhấn OK.



Hình ảnh đã chỉnh đúng các thông số

Các bước thực hiện:

- Mở cell layout "NOT1"
  - Bạn đã mở một cell layout có tên NOT1 trong thư viện của mình.
  - Chế độ làm việc là Virtuoso Layout Suite XL.
- Cấu hình hiển thị
  - Các lớp (Layers) đang hiển thị trong bảng Layer Purpose bên trái.
  - Bạn đang xem chế độ Metal drawing.



Kết quả sau khi chạy xong bước 2

Nó sẽ tạo ra được một file layout:

- Lưới hiển thị nhưng không có layout
  - Giao diện đang hiển thị trục tọa độ (0,0) nhưng chưa có linh kiện nào được vẽ.

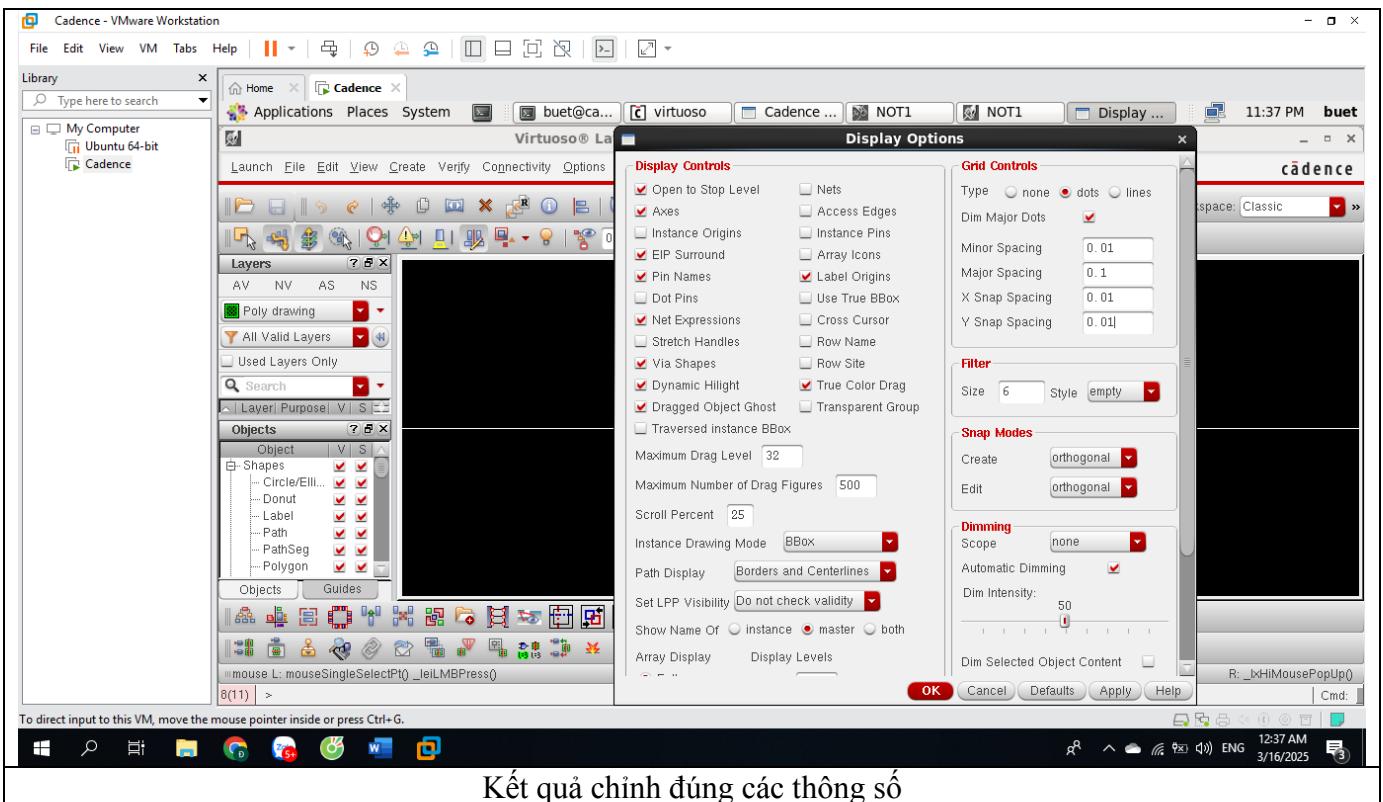
B3:

Ta tiến hành bằng cách nhấn vào Options chọn vô Display bằng cách:

Các bước thực hiện:

- Mở hộp thoại Display Options
  - Trong giao diện, bạn đã vào menu: Edit → Display Options (hoặc nhấn phím tắt e).
  - Hộp thoại Display Options xuất hiện, cho phép bạn chỉnh các thông số hiển thị của layout.
- Các tùy chỉnh trong Display Options
  - Display Controls:
    - Bật/tắt hiển thị lưới, nguồn gốc, tên, và các thành phần khác.
    - Bạn đã bật một số tùy chọn như Instance Pins, Instance Names, và Net Names để dễ quan sát layout.
  - Grid Controls (Lưới hiển thị):
    - Bạn đã đặt Minor Spacing = 0.01, Major Spacing = 0.1, giúp căn chỉnh layout dễ dàng hơn.
  - Snap Modes:
    - Cả chế độ Create và Edit đang để ở orthogonal, giúp vẽ và chỉnh sửa theo trực vuông góc.
  - Dimming (Làm mờ các đối tượng khác):
    - Hiện tại, bạn chưa chọn dimming, nghĩa là tất cả các đối tượng trong layout sẽ hiển thị bình thường.
- Xác nhận và áp dụng thiết lập
  - Bạn có thể nhấn OK để lưu lại cài đặt hoặc Apply để xem thử trước khi đóng cửa sổ.

Kiểm tra kỹ Pin Names đã tích chua, X Snap Spacing và Y Snap Spacing ta sẽ set up là 0.01



Kết quả chỉnh đúng các thông số

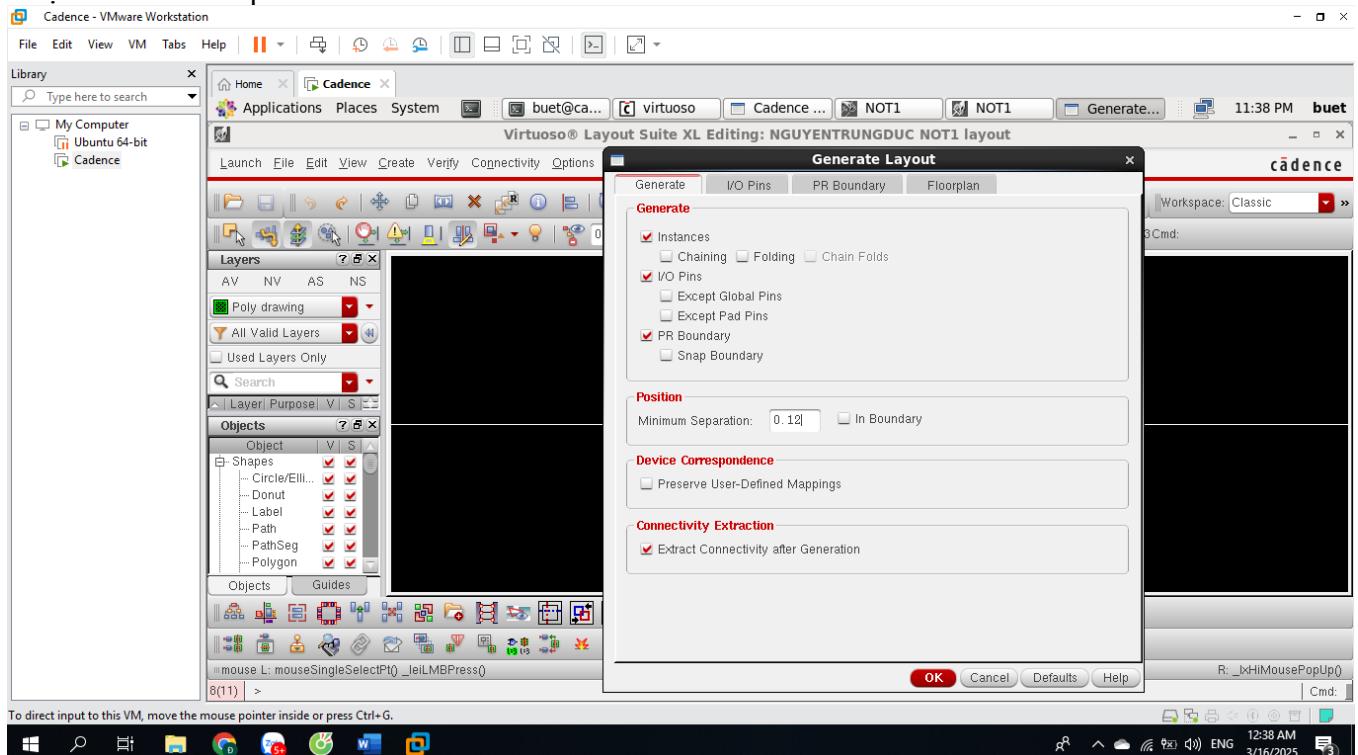
#### Kết quả thực hiện

- Layout sẽ hiển thị theo tùy chỉnh mới, giúp bạn dễ dàng làm việc hơn.
- Lưới (grid) sẽ có khoảng cách nhỏ hơn, hỗ trợ căn chỉnh chính xác hơn khi vẽ transistor hoặc kết nối kim loại.
- Tên pin, instance, net sẽ hiển thị trên layout để dễ theo dõi.
- Chế độ snap orthogonal giúp bạn vẽ đường thẳng gọn gàng, tránh vẽ sai lệch.

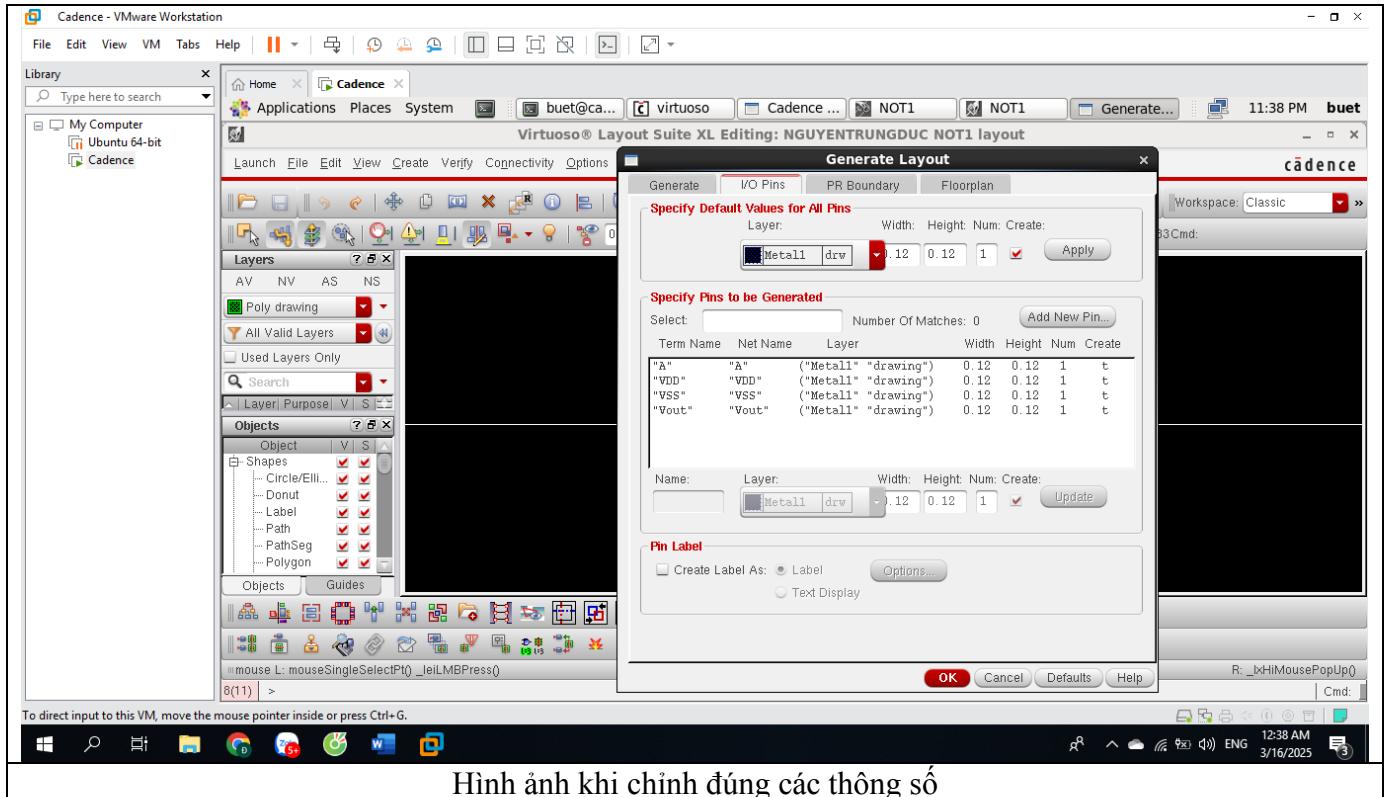
B4:

Tiếp tục ta vô Connectivity rồi vào Generate chọn All From Source.

Chọn minimum Separation là 0.12 và sau đó chỉnh như hình sau:



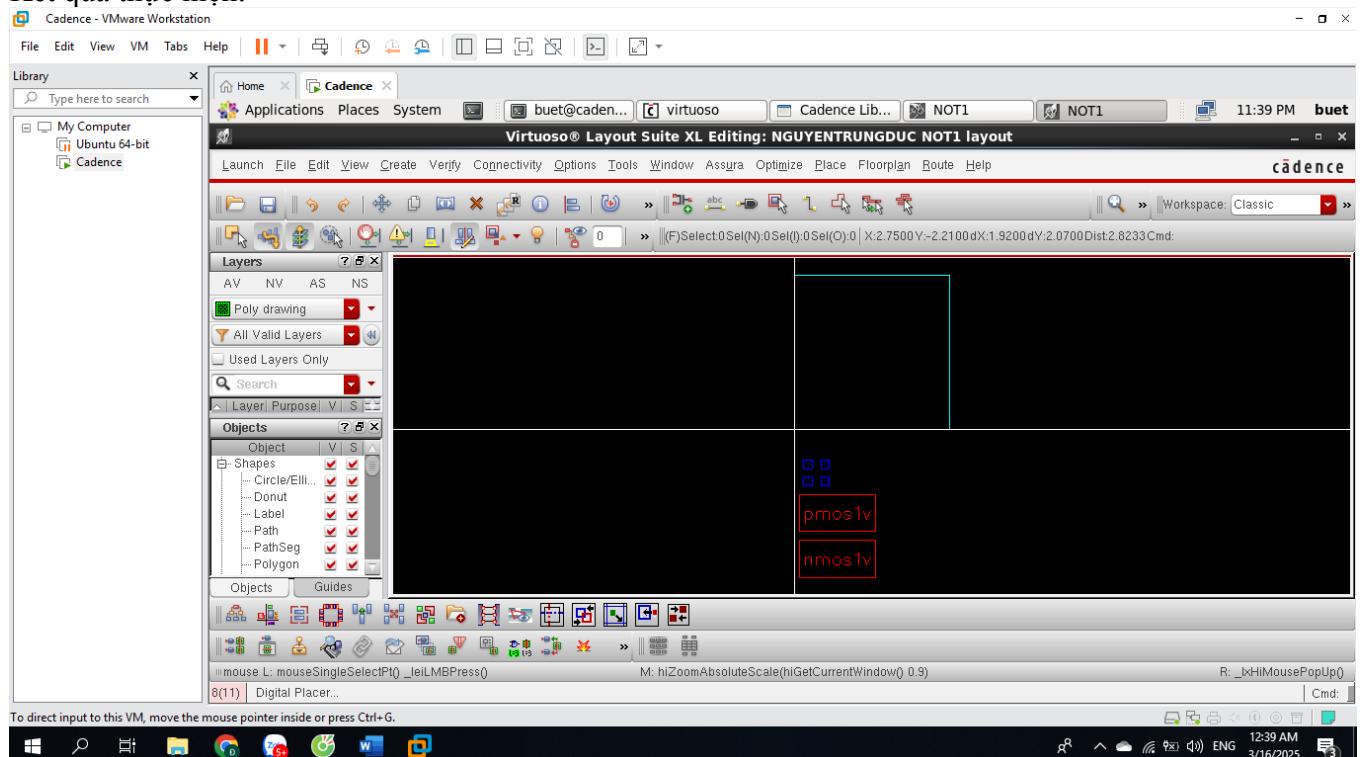
Và sau đó chỉnh như hình sau:



Hình ảnh khi chỉnh đúng các thông số

- Mở cửa sổ "Generate Layout" để tạo layout từ sơ đồ nguyên lý.
- Chọn các chân kết nối (IO Pins):
  - vdd! (nguồn)
  - vss! (GND)
  - vin (đầu vào của inverter)
  - vout (đầu ra của inverter)
- Thiết lập lớp cho các chân kết nối (Layer: "drawing").

Kết quả thực hiện:

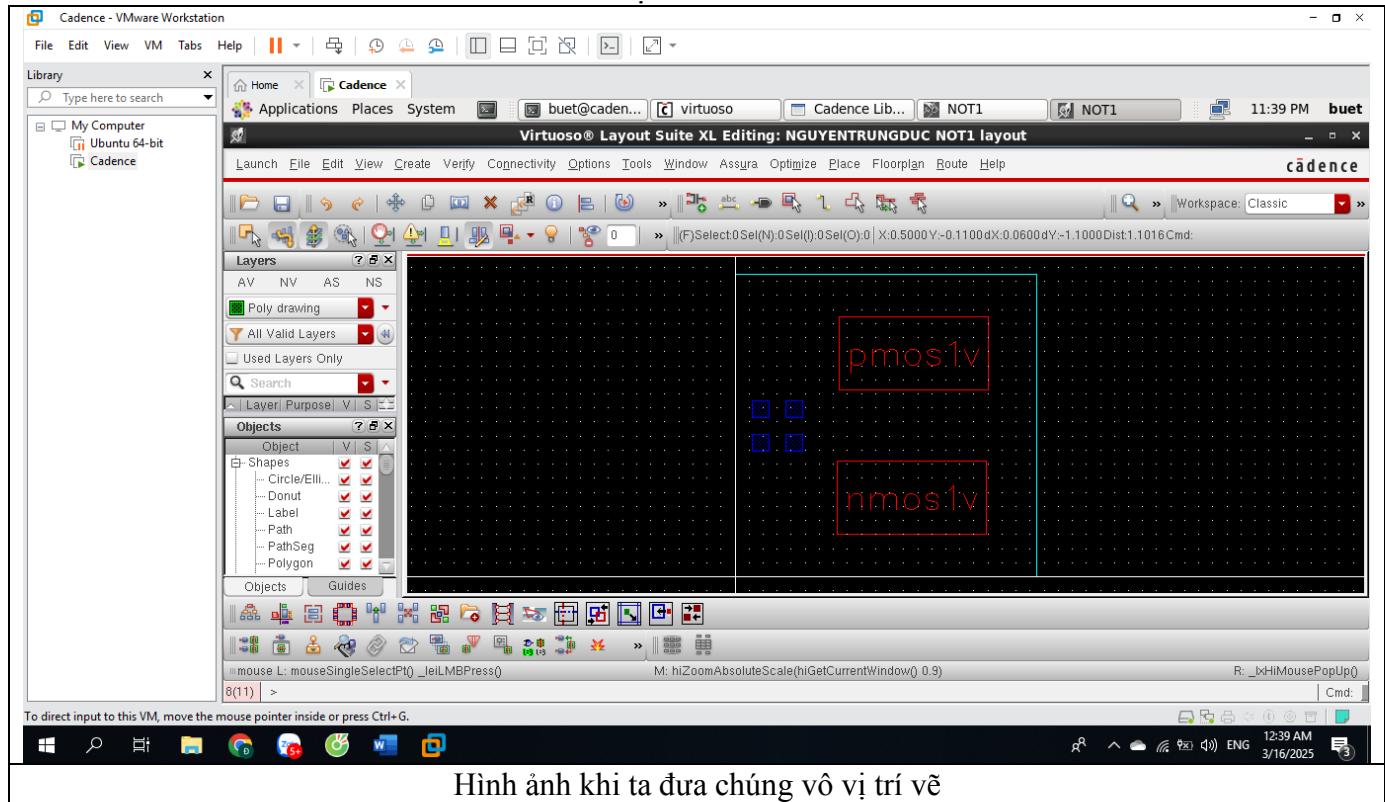


Kết quả sau khi nhấn "OK"

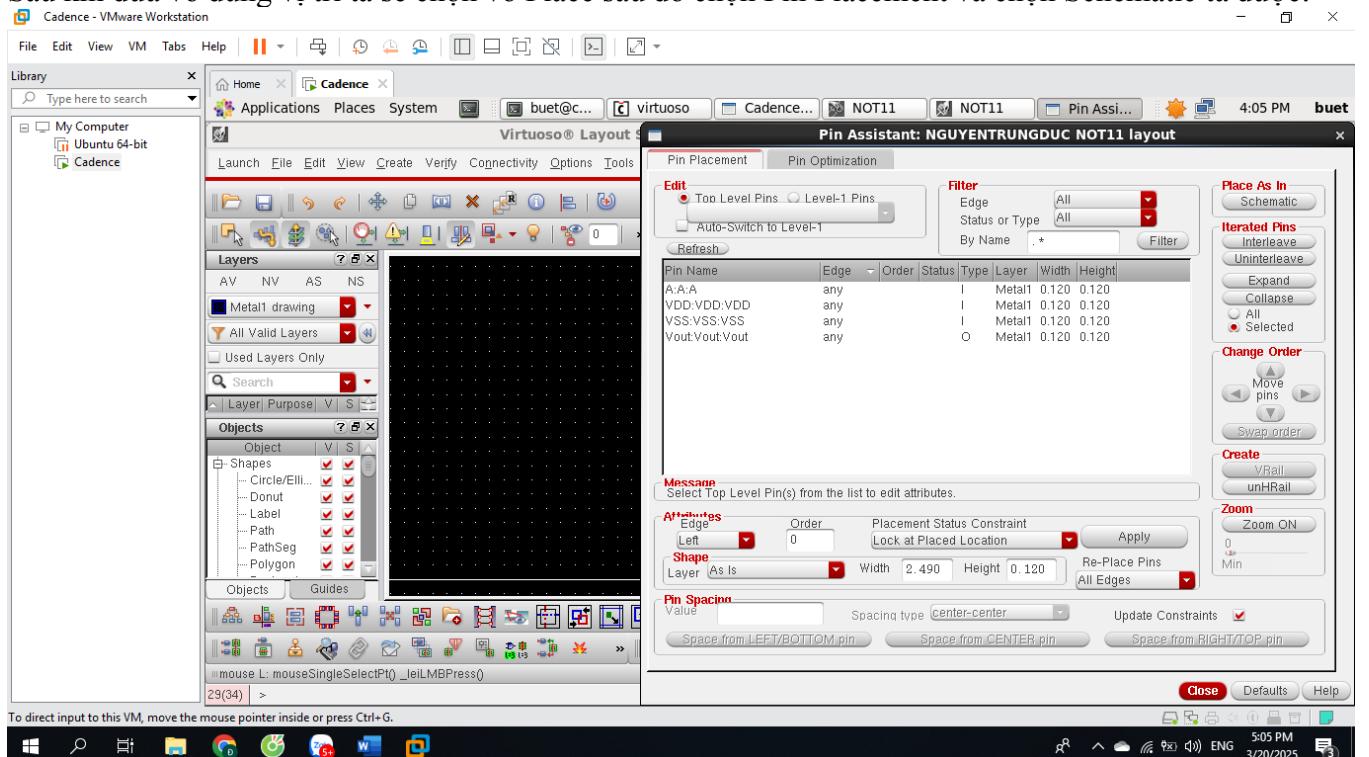
- Cadence sẽ tự động tạo layout với PMOS, NMOS, và các kết nối (Metal, Poly-Si, Contacts...).
- VDD và GND sẽ được định nghĩa rõ ràng với các đường Metal1.
- Vin sẽ kết nối với cổng của cả hai transistor (Poly-Si).
- Vout sẽ nằm ở node chung giữa Drain của PMOS và NMOS.

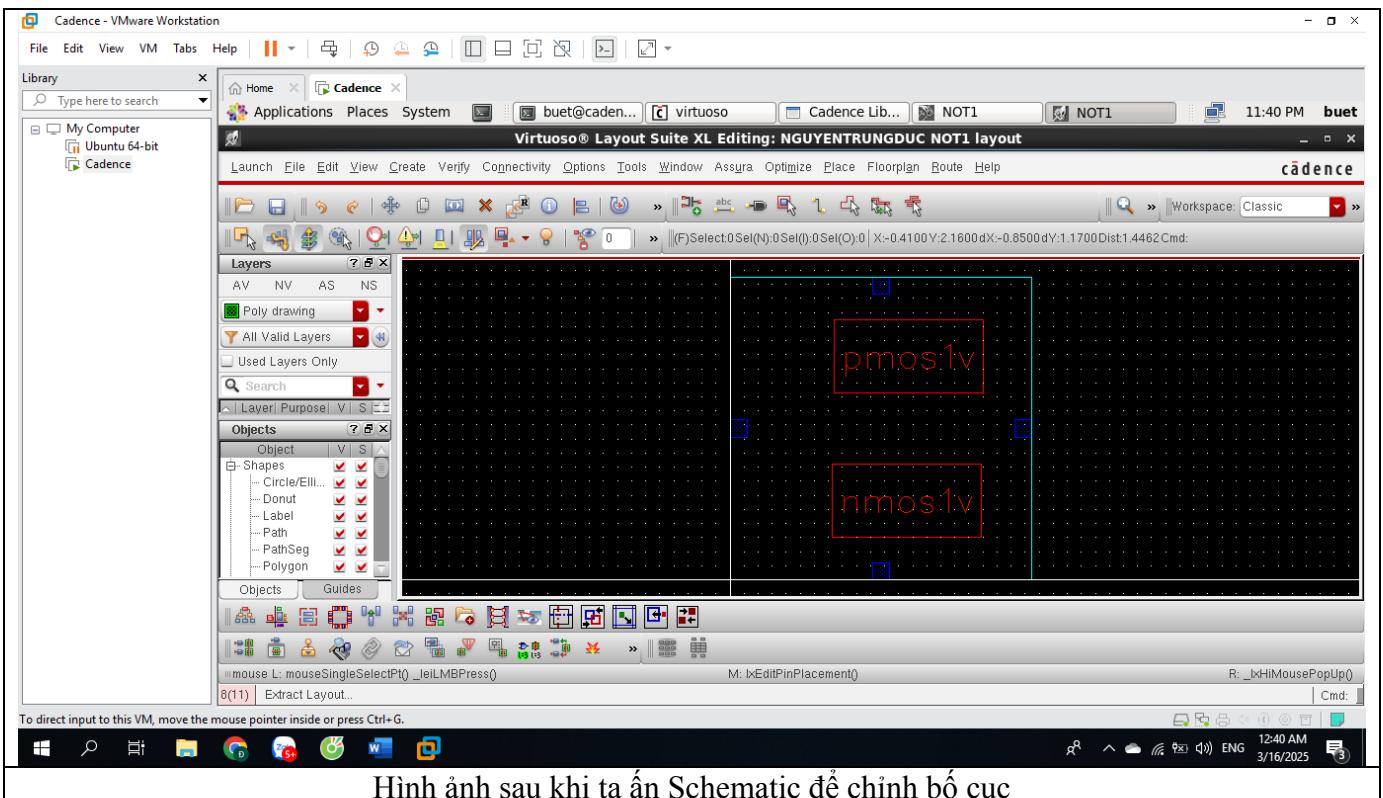
B4: Ta tiến hành vẽ layout

Đầu tiên ta đưa các con NMOS và PMOS vào vị trí vẽ:



Sau khi đưa vô đúng vị trí ta sẽ chọn vô Place sau đó chọn Pin Placement và chọn Schematic ta được:



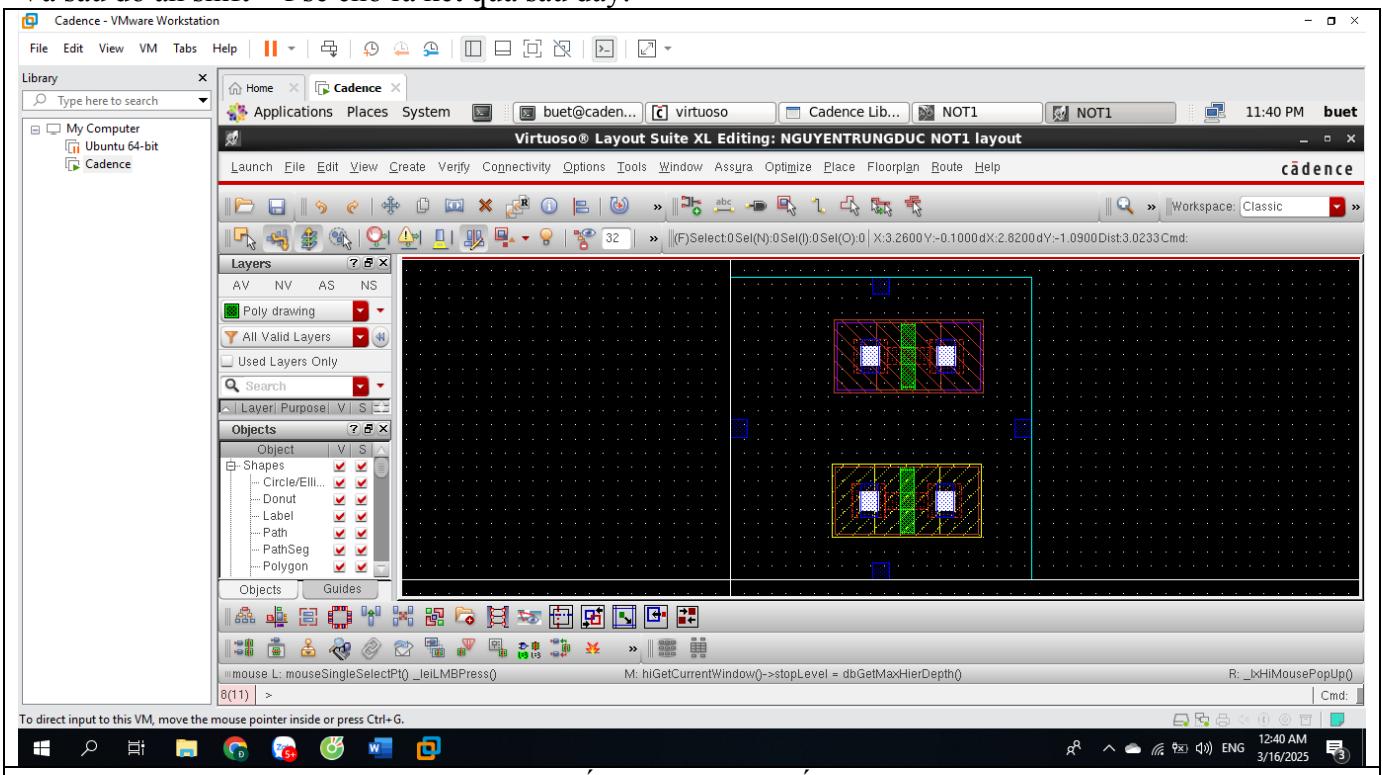


Hình ảnh sau khi ta ấn Schematic để chỉnh bố cục

Kết quả sau khi chọn "Schematic"

- Tất cả các chân (VDD, VSS, Vin, Vout) sẽ được sắp xếp giống hệt vị trí của chúng trong sơ đồ nguyên lý.
- Hỗ trợ định tuyến dễ dàng hơn vì layout sẽ khớp với sơ đồ mạch.
- Giảm lỗi LVS (Layout vs Schematic) vì vị trí chân trùng khớp với thiết kế nguyên lý.
- Nếu bạn đã tự sắp xếp pin trước đó, việc chọn "Schematic" có thể thay đổi vị trí của chúng.

Và sau đó ấn shift + f sẽ cho ra kết quả sau đây:



Hình ảnh kết quả sau khi nhấn shift + F

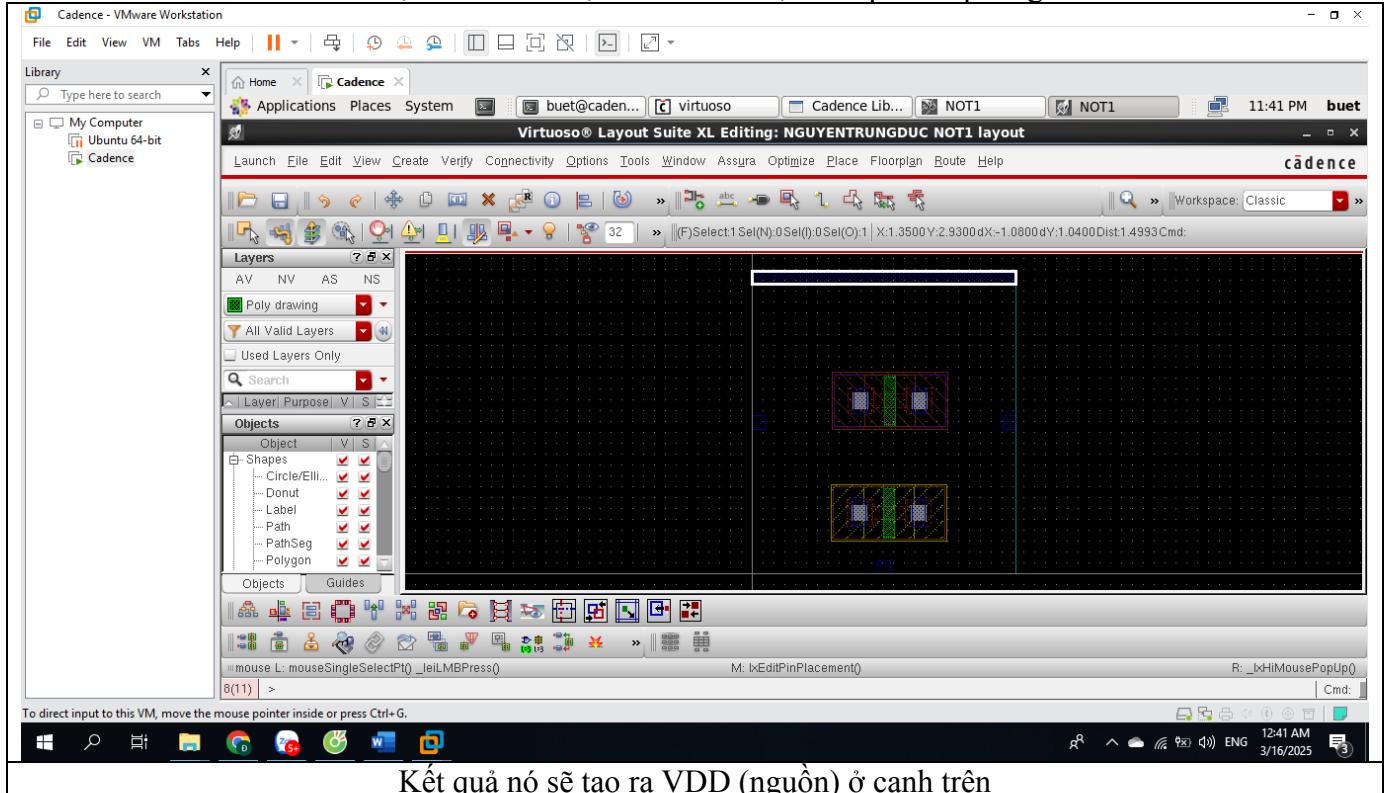
## Phân tích:

- Hai block mạch nhỏ giống nhau có thể là các công NOT trong layout.
- Viền màu xanh dương cho thấy bounding box của cell hiện tại.
- Các lớp kim loại và poly silicon (các màu khác nhau) có thể đại diện cho các kết nối trong mạch.

B5:

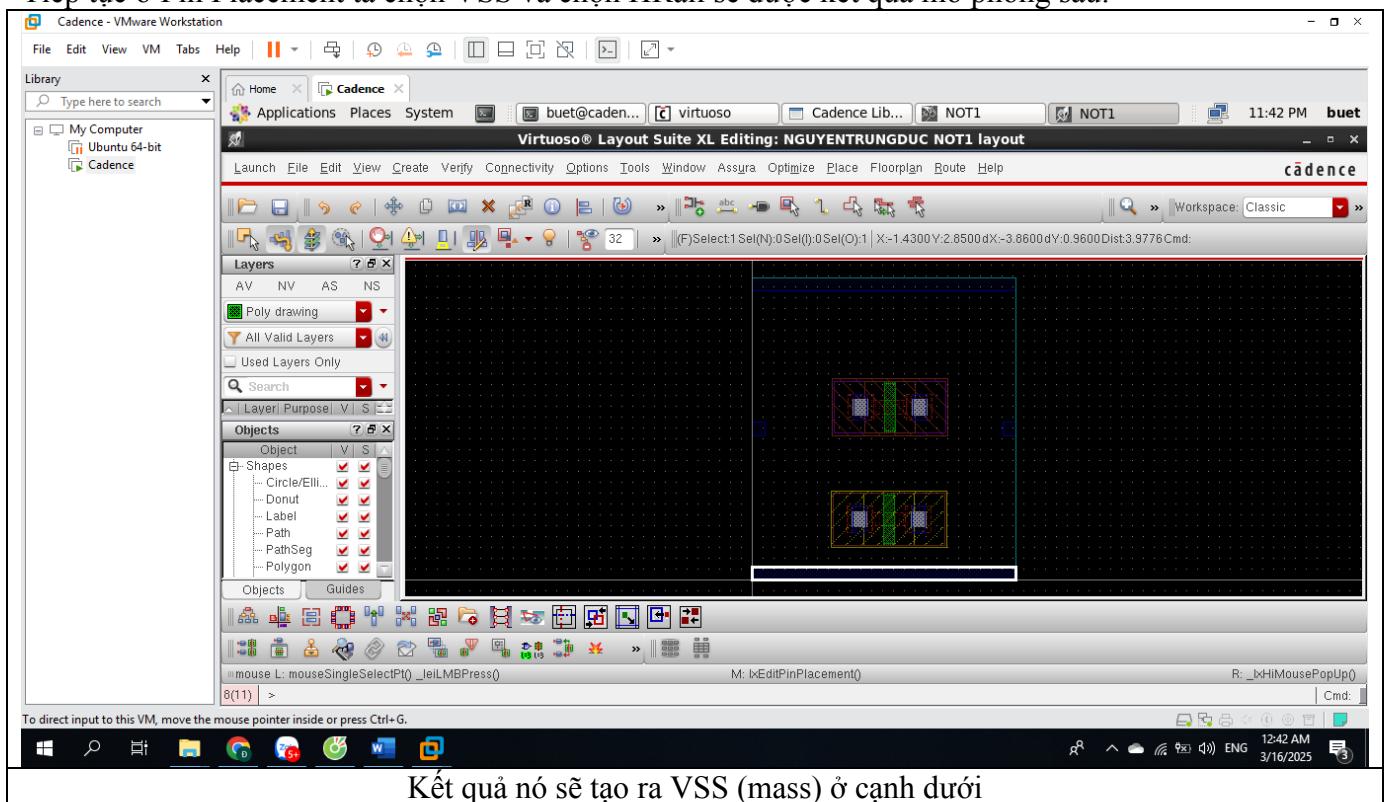
Ta tiếp tục căn chỉnh cho đều đẽ để dễ nối dây bằng cách dùng Schematic:

Sau đó ở Pin Placement ta chọn VDD và chọn HRail sẽ được kết quả mô phỏng sau:



Kết quả nó sẽ tạo ra VDD (nguồn) ở cạnh trên

Tiếp tục ở Pin Placement ta chọn VSS và chọn HRail sẽ được kết quả mô phỏng sau:

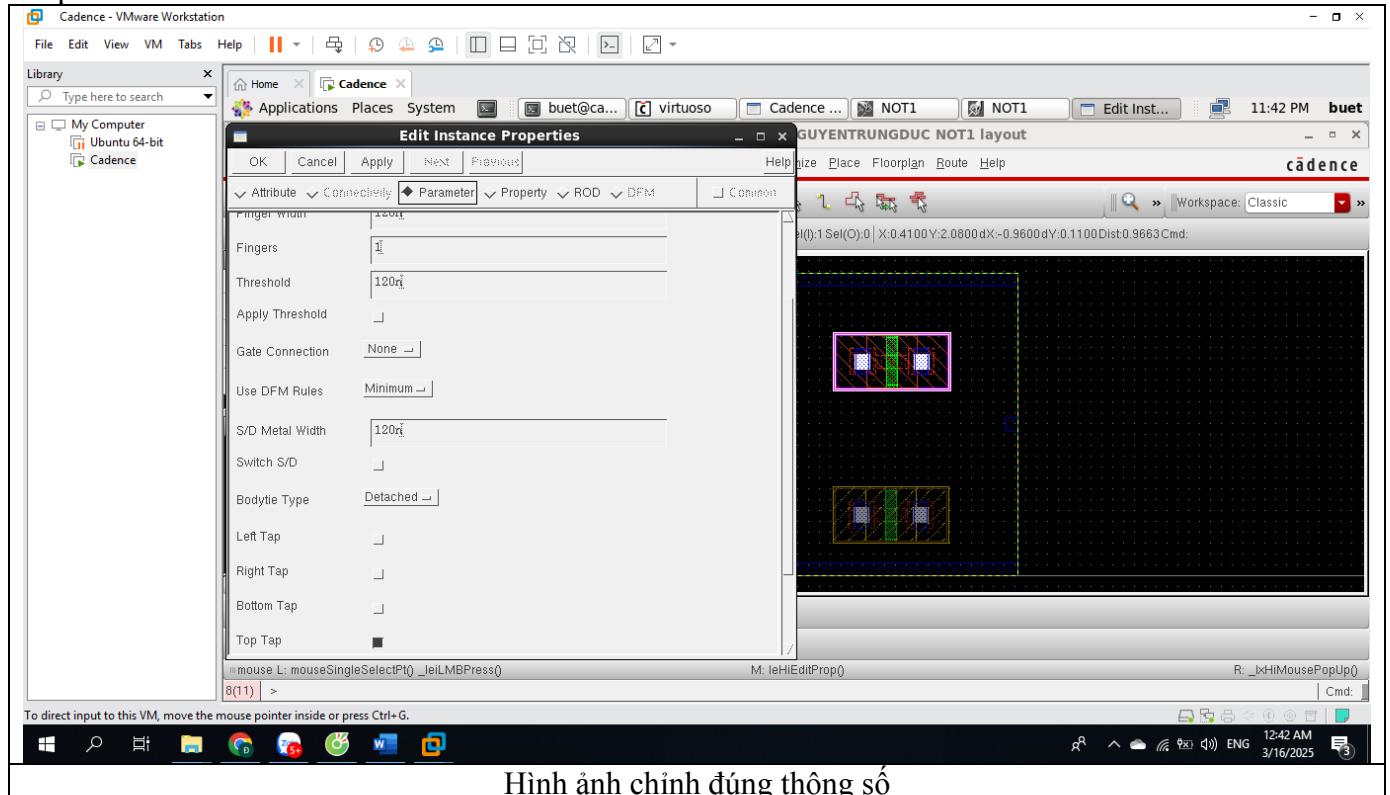


Kết quả nó sẽ tạo ra VSS (mass) ở cạnh dưới

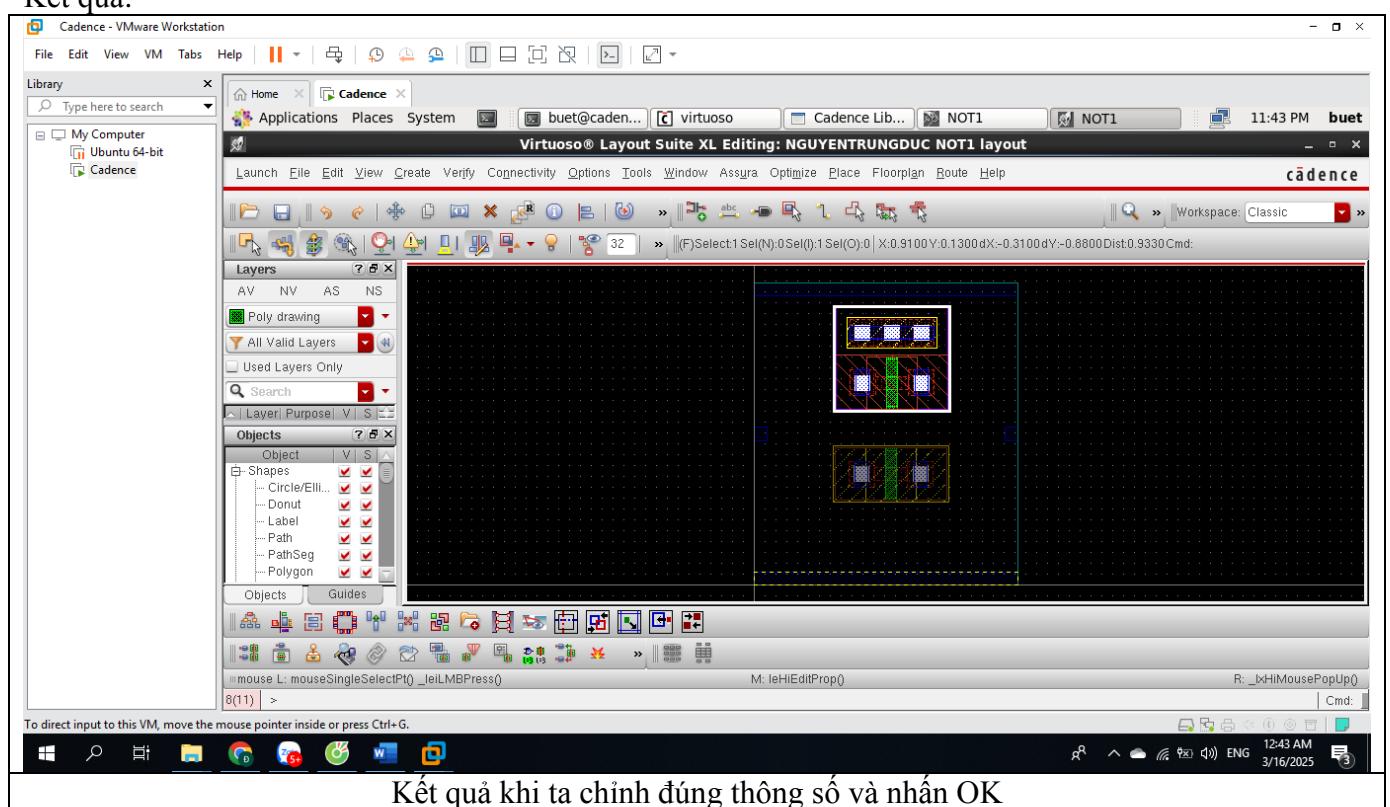
Kết quả: Ta thấy rằng nó sẽ tạo ra VDD (nguồn) ở cạnh trên và VSS (mass) ở cạnh dưới, với lớp kim loại là Metal1.

B6:

Ta ấn vô con PMOS và chọn properties để chỉnh thông số, ta nhấn vô parameter và tích vô chọn Top Tap:



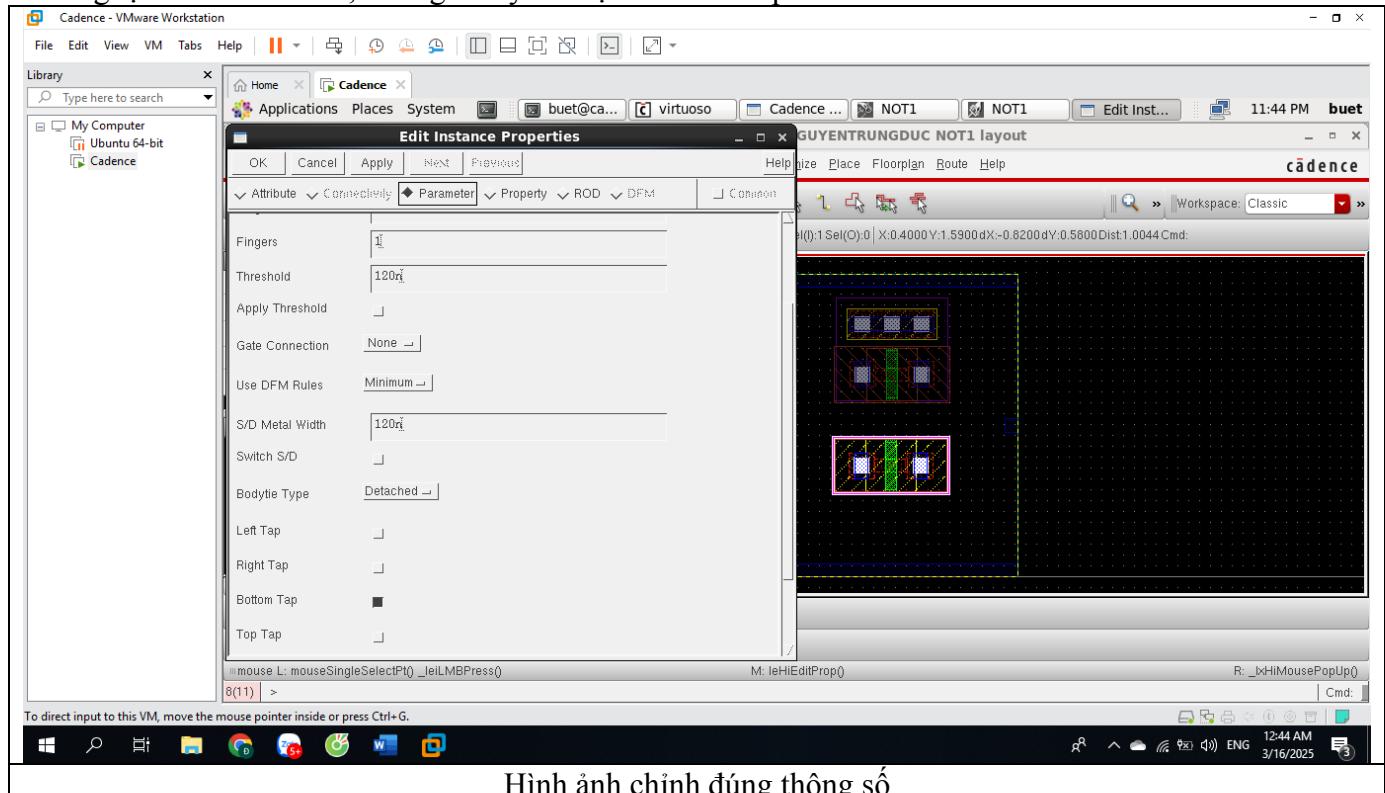
Kết quả:



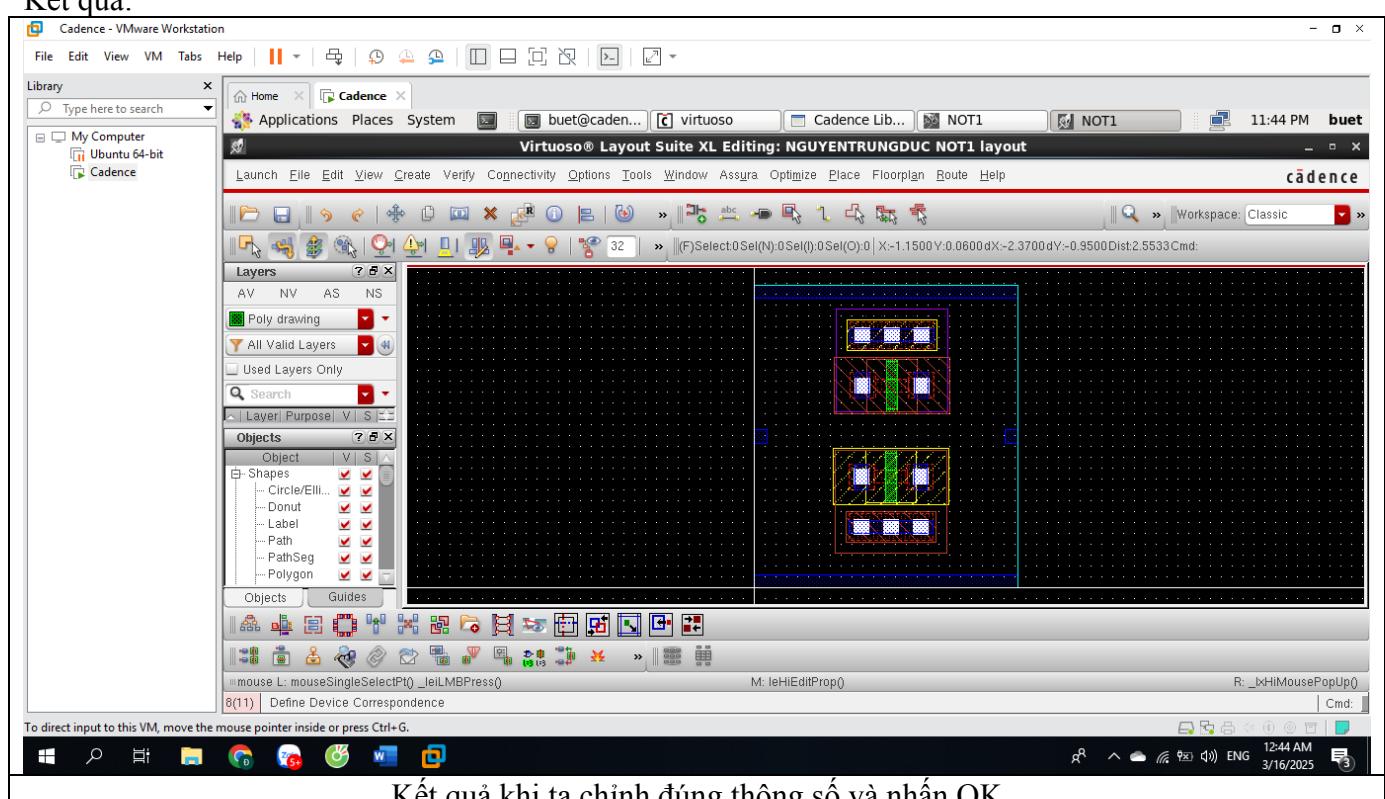
Kết quả:

- Thiết lập đúng các thông số cơ bản cho transistor.
- Có thể đã gán kết nối VDD/VSS thông qua "Top Tap".

Tương tự với con NMOS, nhưng ở đây ta chọn Bottom Tap:

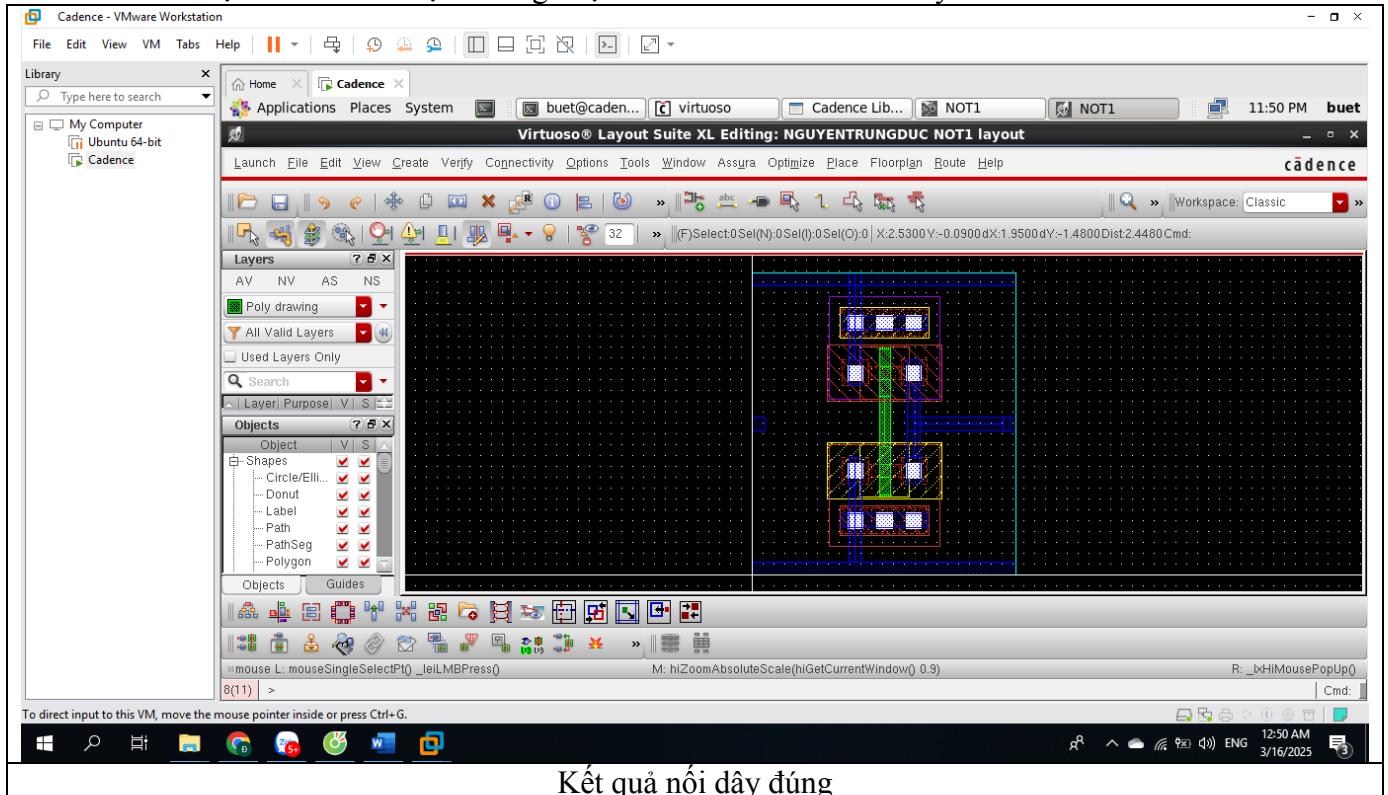


Kết quả:

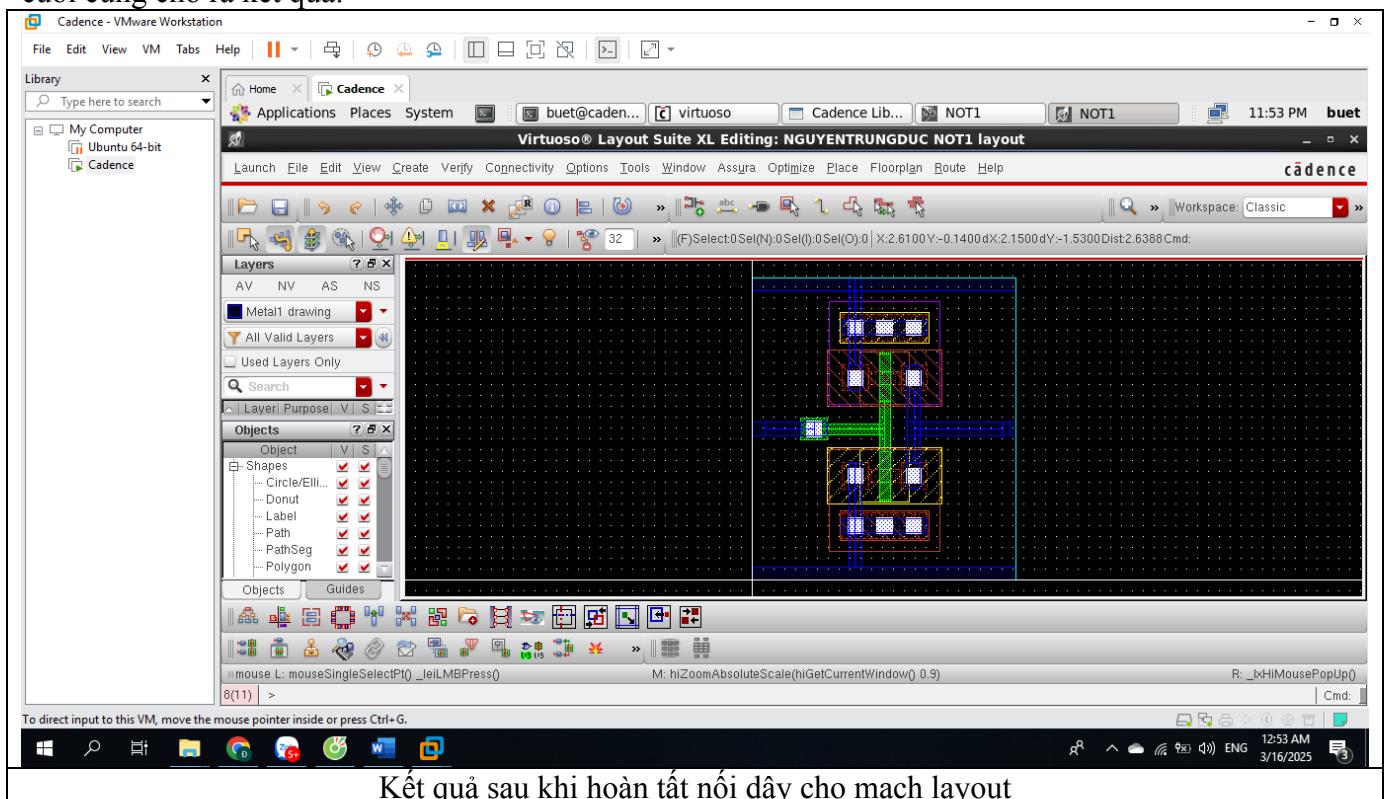


B7:

Ta tiến hành chọn Create rồi chọn wiring chọn wire để tiến hành nối dây



Tới đây ta sẽ chọn Create và chọn Via, ở Via definition ta chọn vô M1\_P0v và chọn rotate để vẽ, và cuối cùng cho ra kết quả:



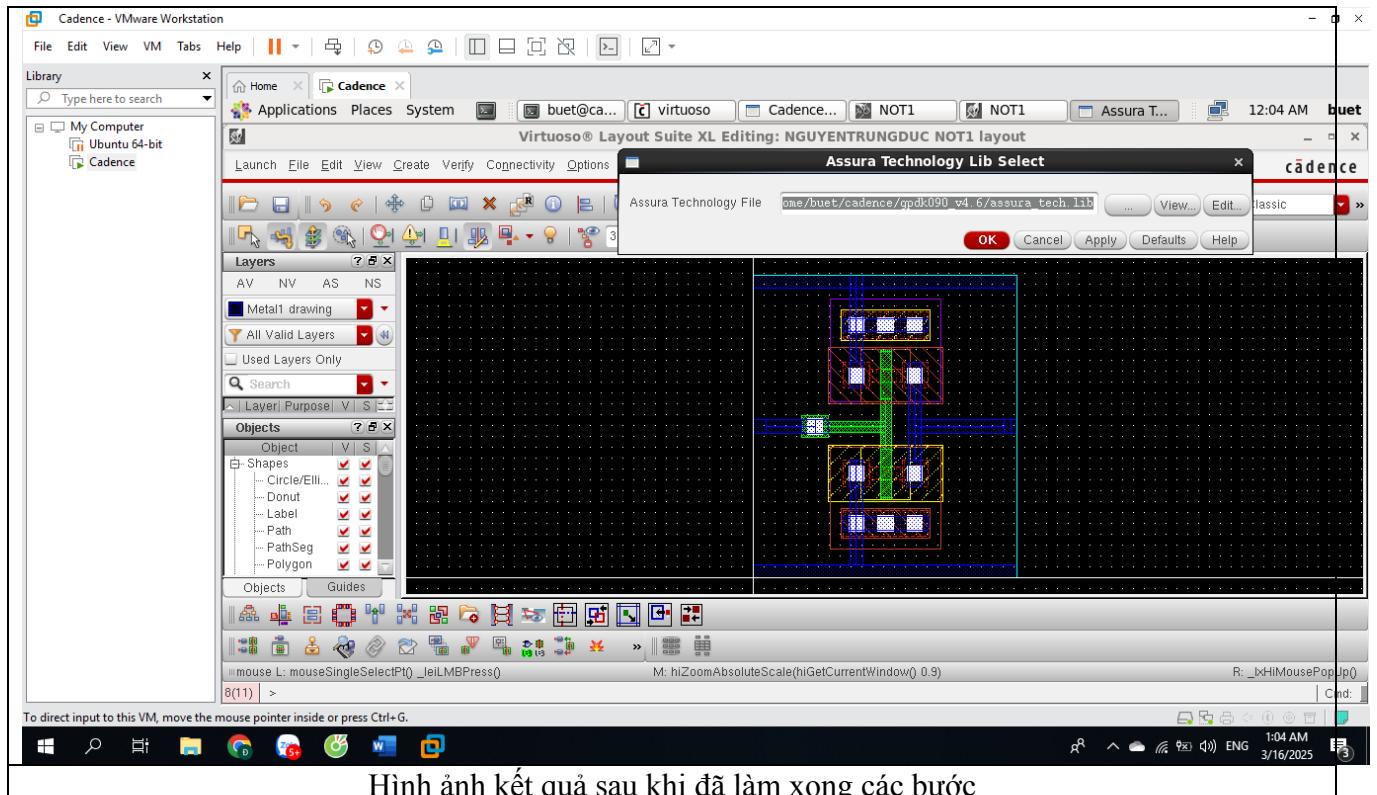
Nhận xét

- Thiết kế
- Dây là layout của công NOT (INVERTER) được thiết kế trong Cadence Virtuoso.
- Cấu trúc gồm:

- PMOS (trên) và NMOS (dưới).
  - Nguồn VDD (đường kim loại trên).
  - Mass (VSS, đường kim loại dưới).
  - Đầu vào (Input) kết nối đến cả PMOS và NMOS.
  - Đầu ra (Output) nằm ở giữa, kết nối giữa hai transistor.
- Đánh giá kết nối VDD và VSS
- PMOS kết nối VDD qua đường kim loại (Metal1).
  - NMOS kết nối VSS (GND) qua đường kim loại (Metal1).
  - Đã có tiếp điểm (contact) nối giữa Metal1 và Diffusion.
  - Lớp Poly (màu xanh lá) kết nối công của cả PMOS và NMOS.
- Kiểm tra tính đúng đắn
- DRC (Design Rule Check): Kiểm tra xem có lỗi về quy tắc thiết kế (khoảng cách, kích thước tối thiểu) không.
  - LVS (Layout vs. Schematic): So sánh layout với schematic để đảm bảo sơ đồ nguyên lý khớp với bố trí thực tế.
  - RC Extraction: Kiểm tra các hiệu ứng ký sinh (R, C) nếu cần.
- Kết luận
- Layout đã có VDD, VSS và kết nối hợp lý.
  - Có thể chạy LVS để xác nhận tính chính xác.
  - Sẵn sàng để tạo Netlist và tiến hành mô phỏng hậu layout.

B8:

Sau khi vẽ xong thì ta tiếp tục chọn vào Assura rồi chọn Technology chọn ... ấn vô cadence rồi tiếp tục ấn vô gpdk090\_v4.6 rồi chọn assura.tech.lib rồi cuối cùng là nhấn OK.



Chi tiết các bước thực hiện

- Chọn file công nghệ (Technology File)
- Hộp thoại "File Selector" xuất hiện, cho phép bạn chọn file công nghệ (assura.tech.lib) từ thư mục /home/buet/cadence/gpdk090\_v4.6/.

- File này chứa thông tin về công nghệ thiết kế IC, bao gồm các lớp vật lý, quy tắc thiết kế (DRC), và tham số công nghệ.
- Bắt đầu thiết kế layout
- Bảng Layers (bên trái) hiển thị các lớp vật lý khác nhau như Metal, Poly, Diffusion,...
- Bảng Objects (bên trái, dưới Layers) cho phép vẽ các hình dạng cần thiết như Path, Polygon, Circle, Label để tạo layout của transistor.
- Thiết kế layout của cổng NOT
- Sử dụng các công cụ vẽ để tạo các lớp Poly (Cổng), Diffusion (Nguồn/Drain), Metal (Kết nối), Contact (Liên kết giữa các lớp).
- Đảm bảo layout tuân theo quy tắc thiết kế (DRC - Design Rule Check).

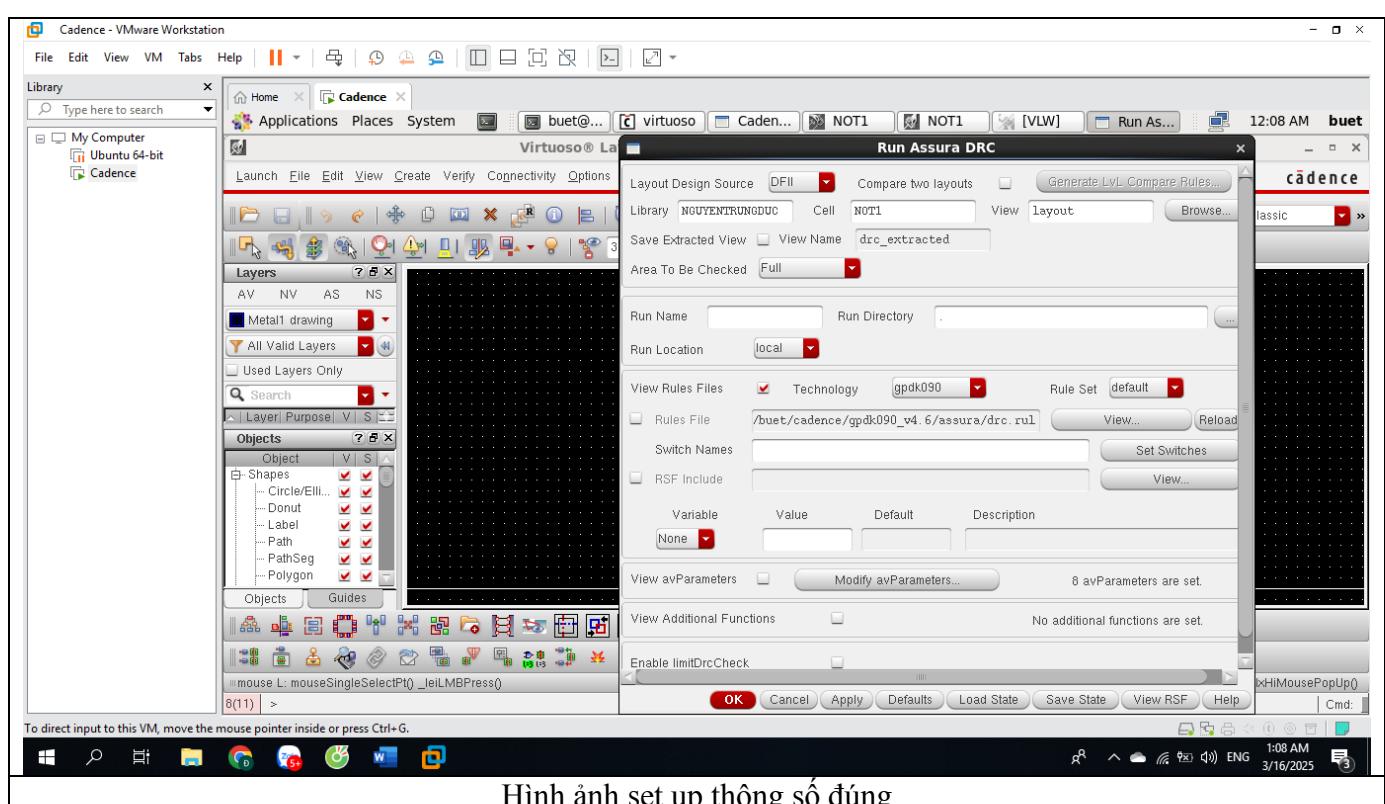
### Kết quả

- Sau khi thiết kế hoàn chỉnh, bạn sẽ có layout của cổng NOT theo công nghệ gpdk090 (90nm).
- Tiếp theo, bạn có thể:
  - Kiểm tra DRC để đảm bảo không vi phạm quy tắc thiết kế.
  - Kiểm tra LVS (Layout vs. Schematic) để đảm bảo layout khớp với sơ đồ nguyên lý.
  - Chạy mô phỏng hậu layout (Post-layout Simulation) để kiểm tra hiệu suất mạch.

### B9: Chạy các bước kiểm tra.

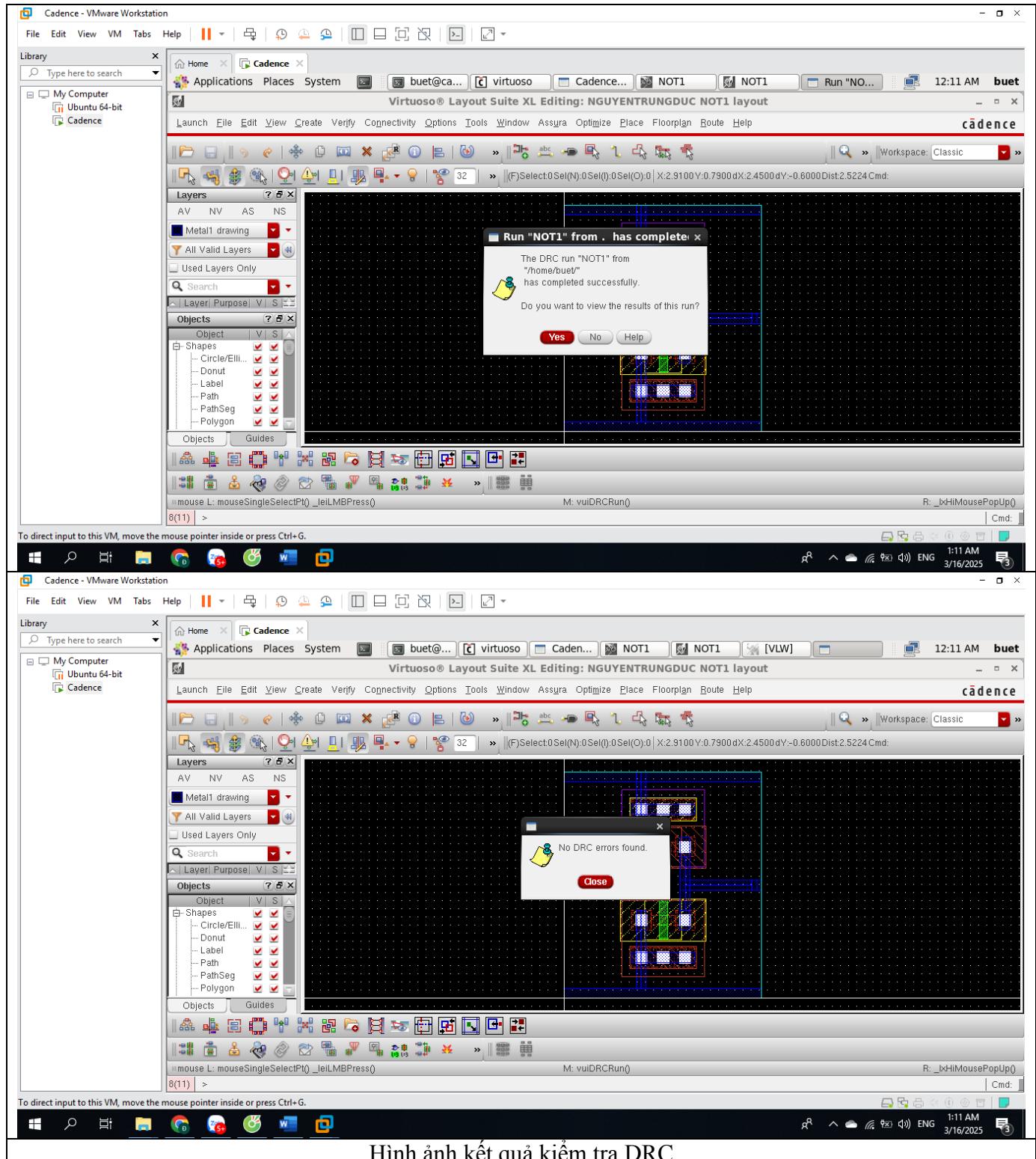
#### Chi tiết các bước setup kiểm tra DRC

- Mở Assura DRC
- Bạn đã mở Assura DRC thông qua menu Verify > DRC.
- Cửa sổ Run Assura DRC xuất hiện, cho phép cấu hình kiểm tra.
- Cấu hình Assura DRC
  - Layout Design Source: Chọn DFII, tức là layout được lấy trực tiếp từ Virtuoso.
  - Save Extracted View: Đánh dấu "drc\_extracted" để lưu kết quả DRC.
  - Run Location: Chọn local để chạy trên máy hiện tại.
  - Technology: Chọn gpdk090, tức là công nghệ 90nm của Cadence.
  - Rules File: /home/buet/cadence/gpdk090\_v4.6/assura/drc.rul
    - Đây là file quy tắc DRC chứa các tiêu chuẩn thiết kế như khoảng cách tối thiểu giữa các lớp, chiều rộng tối thiểu của đường kim loại, kích thước tối thiểu của transistor,...



Hình ảnh setup thông số đúng

- Chạy DRC
- Nhấn OK để bắt đầu kiểm tra DRC.
- Assura sẽ quét layout và kiểm tra xem có vi phạm quy tắc nào không.

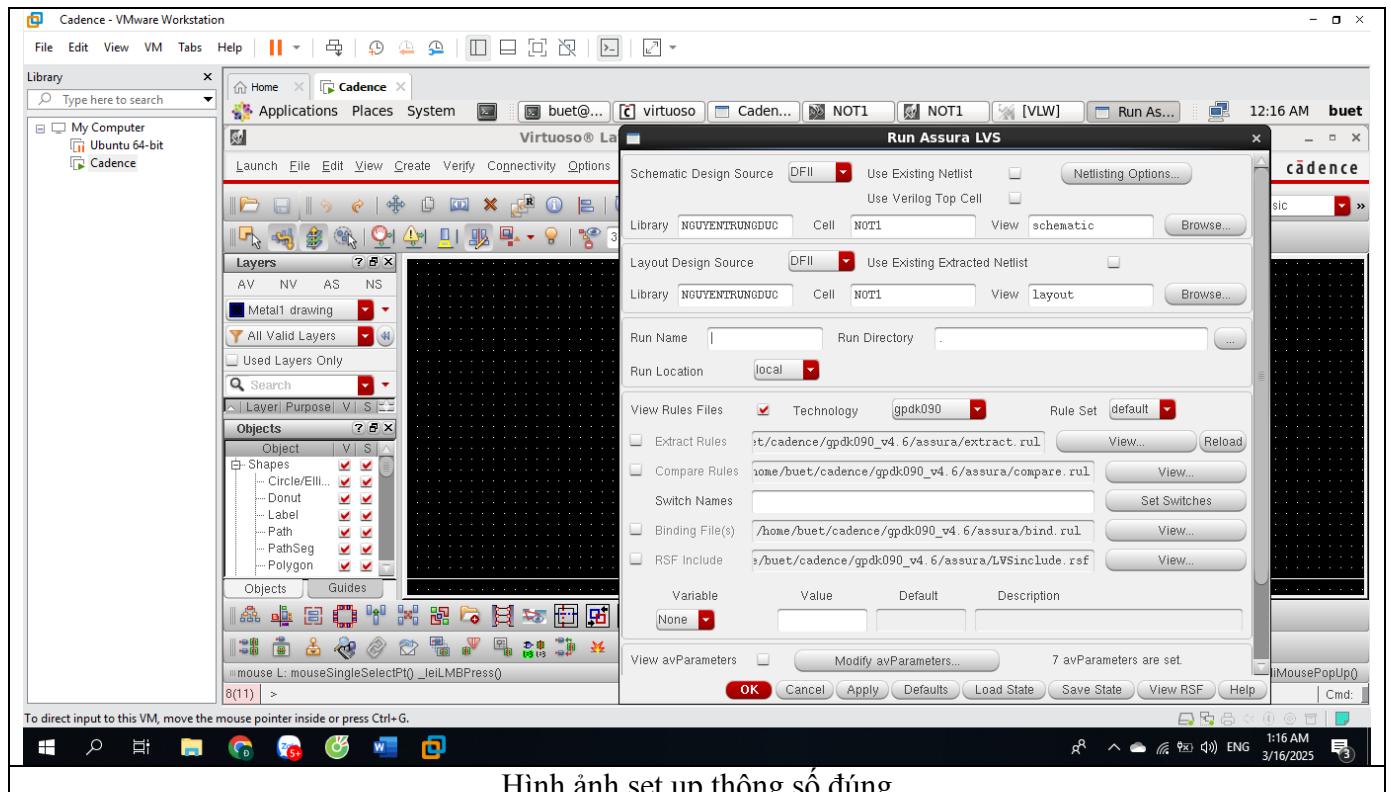


Hình ảnh kết quả kiểm tra DRC

- Kết quả: Không có lỗi DRC (Pass):
- Layout hợp lệ và có thể tiếp tục với kiểm tra LVS (Layout vs. Schematic) hoặc mô phỏng hậu layout.

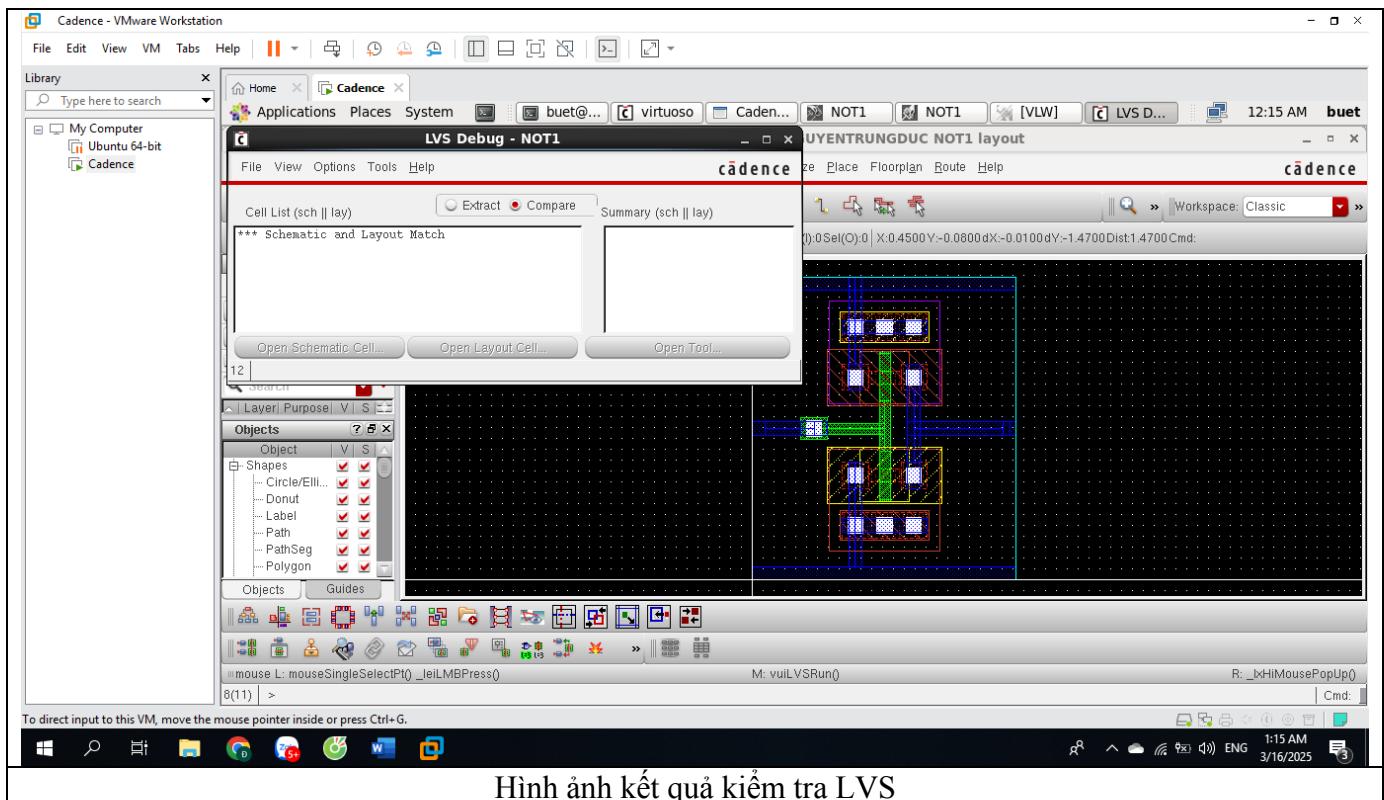
## Tiếp tục chạy Assura LVS

- Mở LVS
- Bạn mở LVS bằng cách vào Verify > LVS.
- Cửa sổ LVS Debug xuất hiện, cho phép kiểm tra sự tương đồng giữa sơ đồ nguyên lý và layout.
- Thiết lập LVS
- Cell List: Danh sách cell được kiểm tra (trong trường hợp này là NOT1).
- Extracted: LVS sẽ so sánh netlist của layout với netlist từ schematic.
- Compare: Tích chọn để thực hiện so sánh.
- Summary: Kết quả của quá trình kiểm tra.



Hình ảnh set up thông số đúng

- Chạy LVS
- Nhấn Run để bắt đầu kiểm tra.
- Công cụ LVS sẽ:
  1. Trích xuất netlist từ layout.
  2. So sánh netlist này với netlist từ schematic.
  3. Xác định sự khác biệt giữa hai netlist.



Hình ảnh kết quả kiểm tra LVS

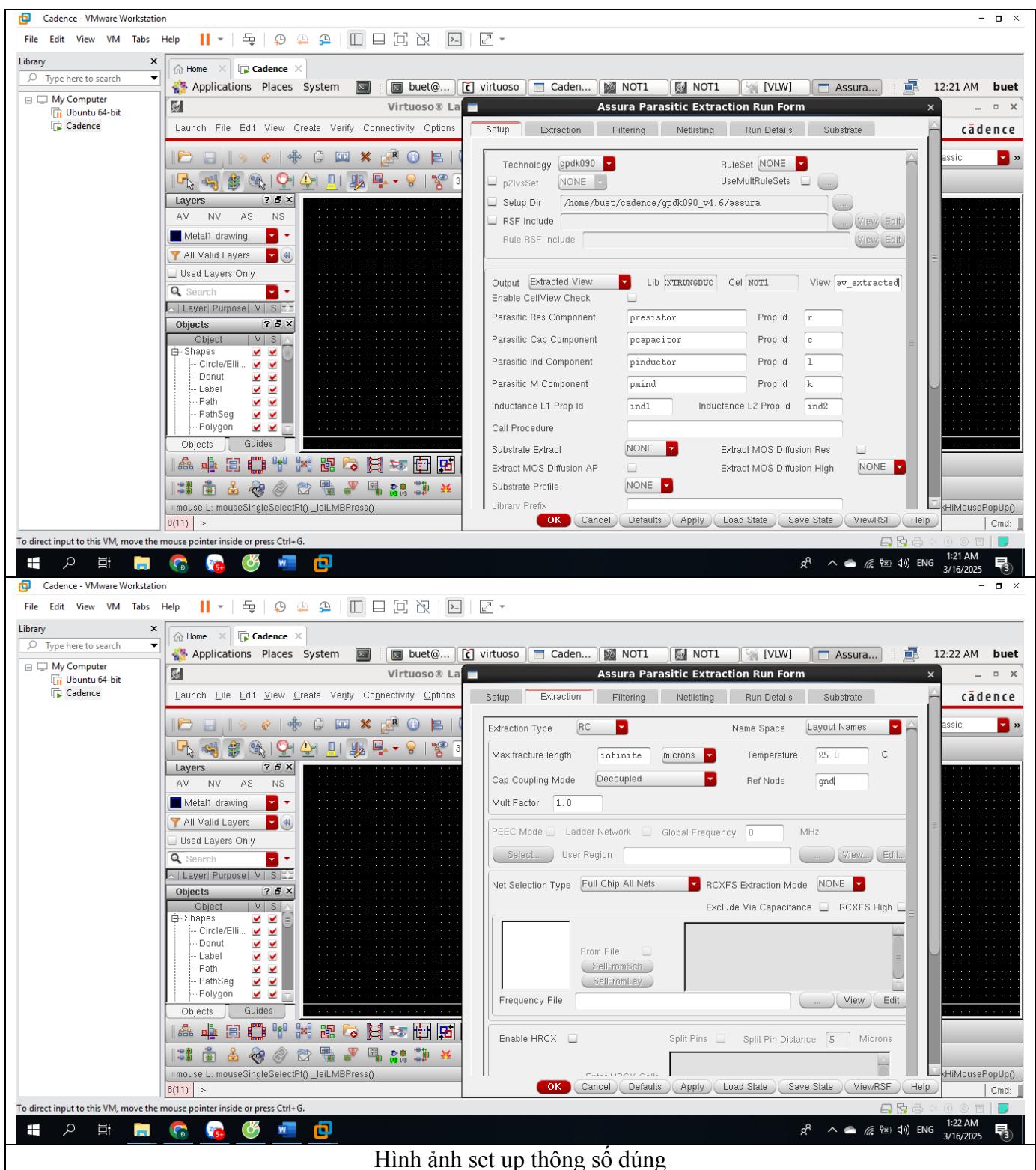
Sau khi chạy LVS, ta thấy có kết quả xảy ra:

→ LVS Match - Schematic and Layout Match tức là đã chạy thành công.

- Nếu LVS Match, nghĩa là layout đã đúng với sơ đồ nguyên lý.
- Khi đó, bạn có thể tiếp tục với Post-layout Simulation hoặc GDSII Export để gửi thiết kế đi chế tạo.

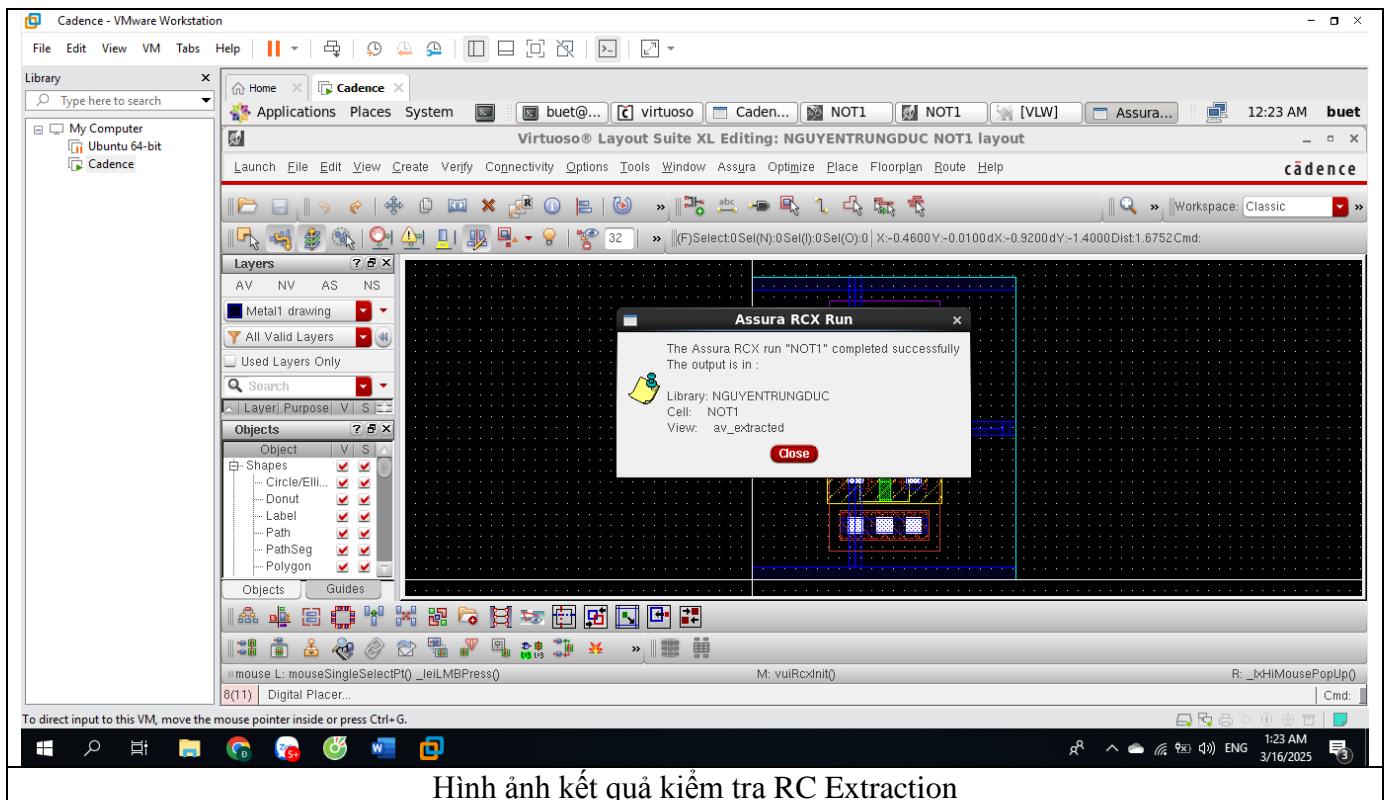
Tiếp tục chạy RCX

- Mở Assura RCX
- Từ giao diện Virtuoso Layout Suite, mở Assura RCX bằng cách vào:
  - Assura → Run RCX
- Cửa sổ Assura RCX Run xuất hiện.
- Cấu hình RC Extraction
- Library: Chọn thư viện chứa thiết kế (NGUYENTRUNGduc).
- Cell: Chọn cell cần kiểm tra (NOT1).
- View: Chọn view extracted để so sánh với schematic.



Hình ảnh set up thông số đúng

- Chạy RC Extraction
- Nhấn OK hoặc Run để bắt đầu trích xuất.
- Công cụ Assura RCX thực hiện phân tích layout, trích xuất các giá trị R và C ký sinh, sau đó tạo ra một post-layout netlist.



Hình ảnh kết quả kiểm tra RC Extraction

#### Kết quả sau khi chạy Assura RCX

- Thông báo "RCX run completed successfully" xuất hiện, nghĩa là quá trình trích xuất đã thành công.
- Một view mới có tên "extracted" được tạo ra trong cell NOT1.
- Netlist hậu layout (post-layout netlist) có thể được sử dụng để kiểm tra tác động của hiệu ứng kỵ sinh đến hoạt động của mạch.

B10: Sau khi hoàn tất các bước kiểm tra thành công.

Ta tiến hành bước cuối cùng:

Bước 1: Mở Library Manager

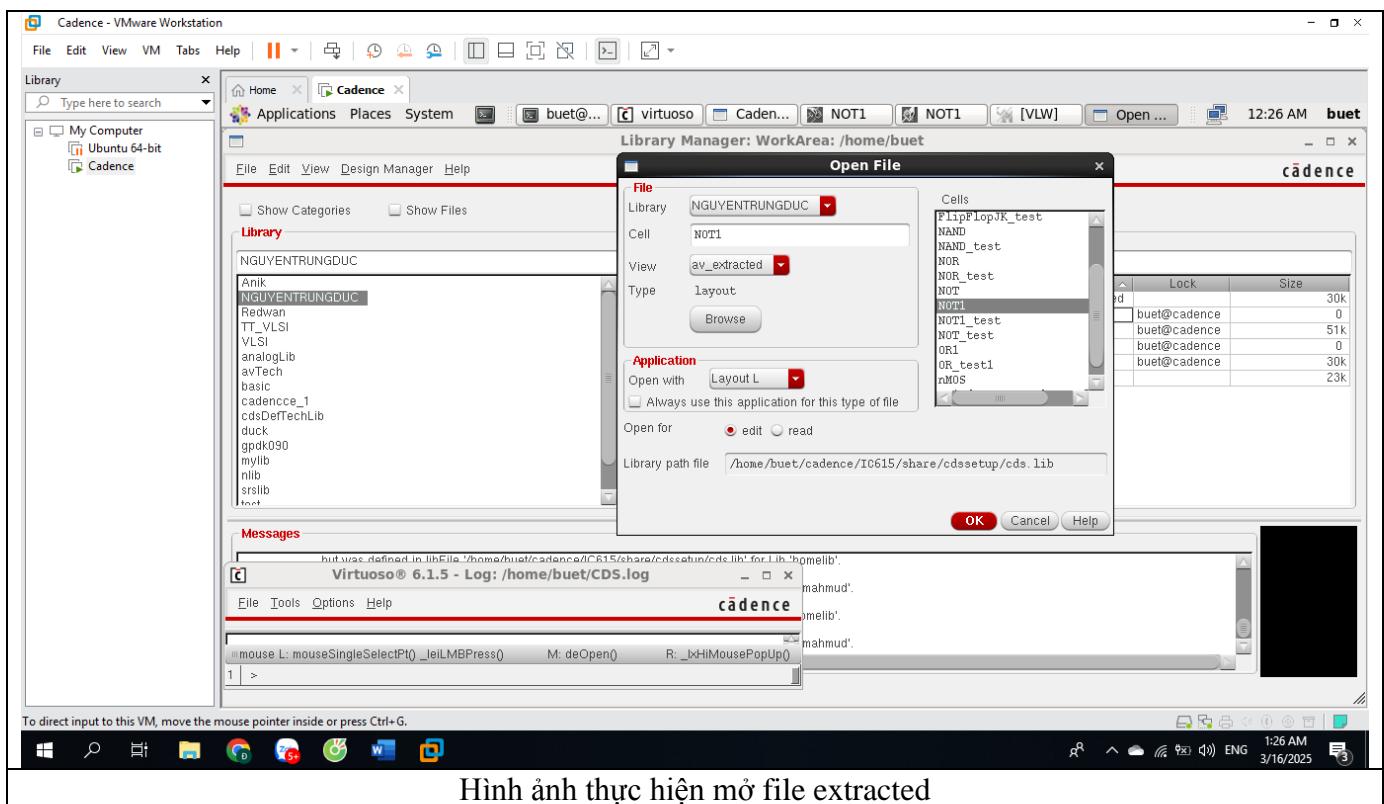
- Người dùng mở Library Manager để quản lý các thư viện, cells và views trong Cadence.

Bước 2: Chọn Cell và View

- Library: NGUYENTRUNGDUC (thư viện chứa thiết kế).
- Cell: NOT1 (cell đang làm việc).
- View: extracted (view sau khi chạy RC Extraction).
- Type: layout (để xem layout chứa thông tin đã trích xuất).

Bước 3: Mở file extracted

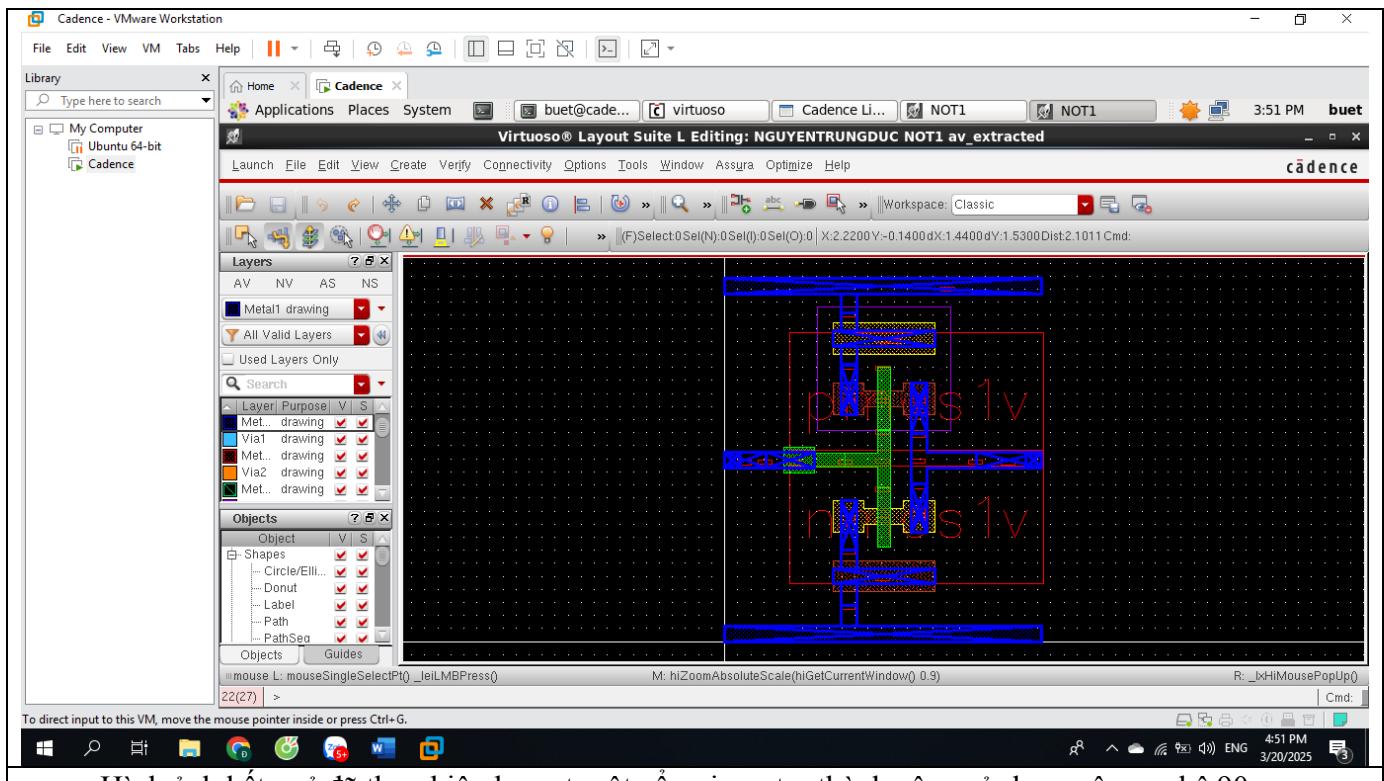
- Nhấn OK để mở view extracted của cell NOT1.



Hình ảnh thực hiện mở file extracted

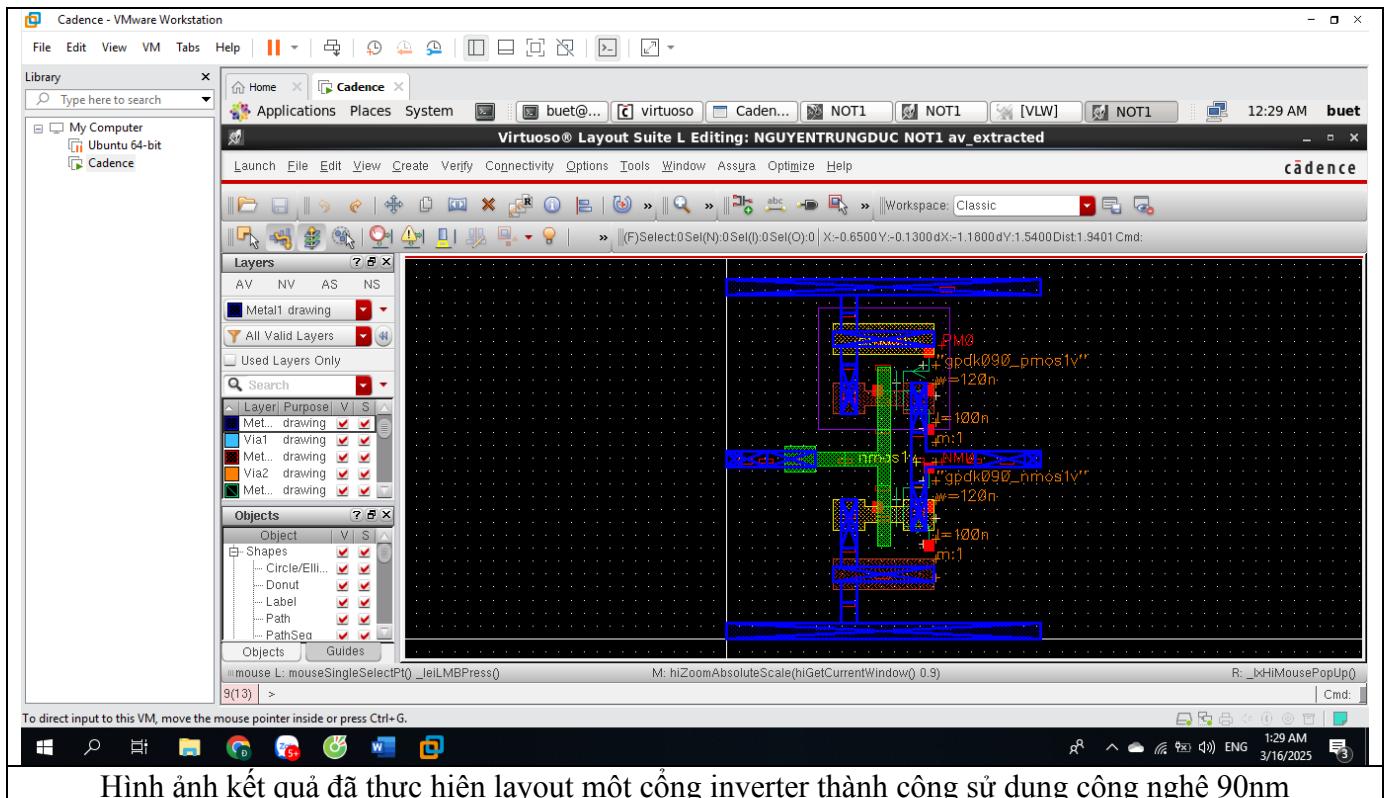
### Kết quả

- Sau khi mở, người dùng sẽ thấy layout với các thông tin về điện trở (R) và điện dung (C) ký sinh đã trích xuất từ quá trình RC Extraction.
- View extracted giúp kiểm tra post-layout netlist và so sánh với schematic.



Hình ảnh kết quả đã thực hiện layout một công inverter thành công sử dụng công nghệ 90nm

- Muốn xem chi tiết hơn ta ấn shift + f, nó sẽ hiện chi tiết:



- Như vậy thì ta đã hoàn thành việc layout cho một cỗng inverter sử dụng công nghệ 90nm thành công điều này sẽ giúp chuyển thiết kế lý thuyết thành thực tế, tối ưu hiệu suất, kiểm tra tính đúng đắn và chuẩn bị cho quá trình chế tạo chip. Đây là một bước quan trọng trong thiết kế VLSI (Very Large Scale Integration).