

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
KHOA ĐIỆN-ĐIỆN TỬ
BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG

BÁO CÁO THỰC TẬP
MÔN HỌC:
TUẦN: 3,4

Họ tên: Nguyễn Trung Đức	MSSV: 22161116	Nhóm: (Sáng thứ 6, tuần 1-8)

1. Delay

a. Lý thuyết: Định nghĩa delay truyền của mạch số

- Delay truyền của mạch số hay còn gọi là độ trễ lan truyền là thời gian cần thiết để đến đích.
- Trong mạch kỹ thuật số, đó là khoảng thời gian mà tín hiệu đầu vào trở nên ổn định và hợp lệ để thay đổi thành tín hiệu đầu ra ổn định và hợp lệ để thay đổi. Nghĩa là, khi đầu vào thay đổi đến 50% mức của nó thì đầu ra cũng đạt đến 50% mức đầu ra cuối cùng. Độ trễ này cũng được gọi là độ trễ công.
- Chúng được đo bằng micro/nano/pico giây. Nó cũng có thể được nêu là tổng của tất cả các độ trễ trong đường dẫn dài nhất. Đầu ra ổn định chỉ đạt được khi đường dẫn dài nhất đã ổn định.

b. Thực hành: Phân tích delay truyền của một bộ inverter

Phân tích:

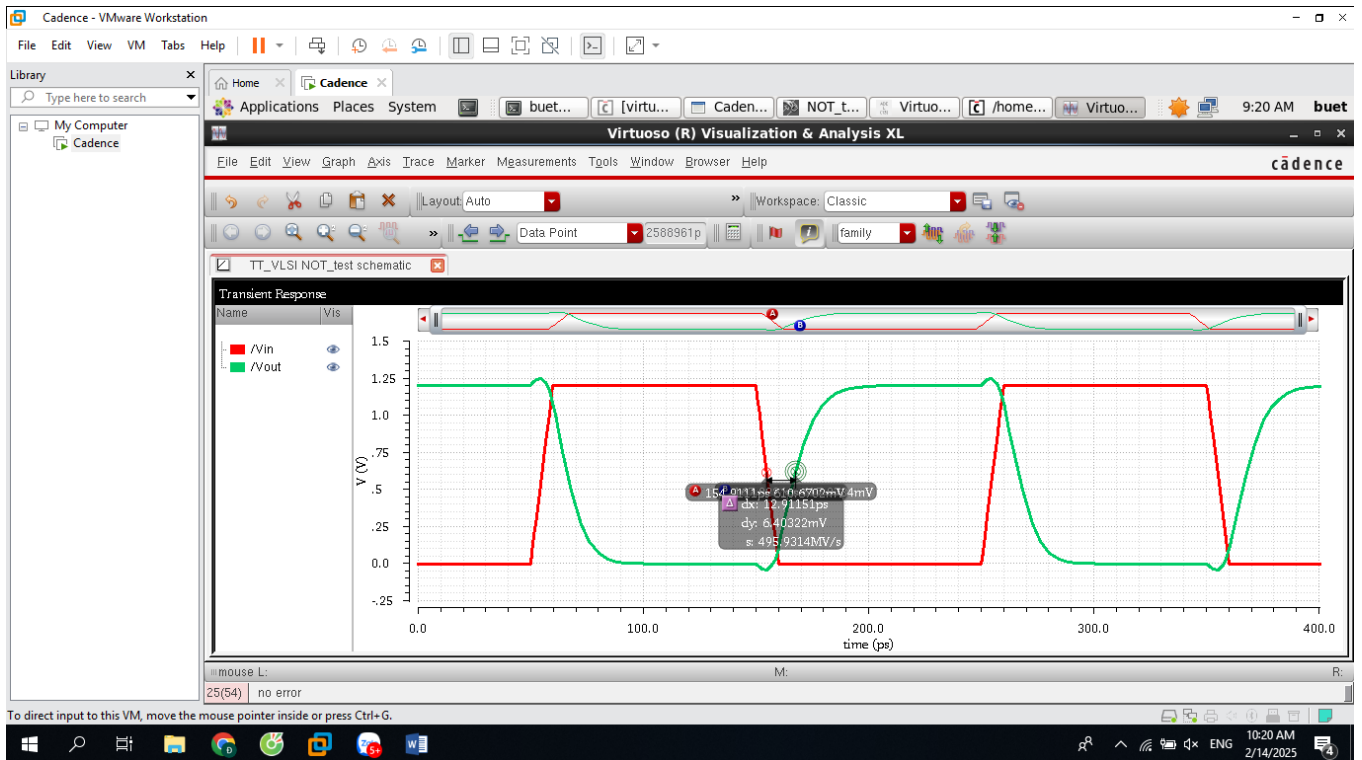
- Mạch inverter CMOS gồm một PMOS và một NMOS. Khi đầu vào thay đổi, transistor tương ứng sẽ bật/tắt, gây ra sự chuyển đổi trạng thái đầu ra.

B1: Dùng Cadence để mô phỏng inverter CMOS.

B2: Đo thời gian trễ t_{pdr} và t_{pdf} bằng cách đo khoảng cách giữa mép lên/xuống của đầu vào và đầu ra.

B3: Tính toán tpd (average propagation delay).





- Xác định các điểm quan trọng trên đồ thị
- Vin (đỏ) là tín hiệu đầu vào.
- Vout (xanh lá) là tín hiệu đầu ra.
- Độ trễ lan truyền t_{pd} được xác định bằng khoảng thời gian giữa Vin thay đổi mức logic và Vout phản hồi lại mức logic tương ứng.

Từ hình ảnh:

- Khi Vin chuyển từ thấp lên cao, Vout có độ trễ để thay đổi từ cao xuống thấp.
- Khi Vin chuyển từ cao xuống thấp, Vout cũng có độ trễ để thay đổi từ thấp lên cao.

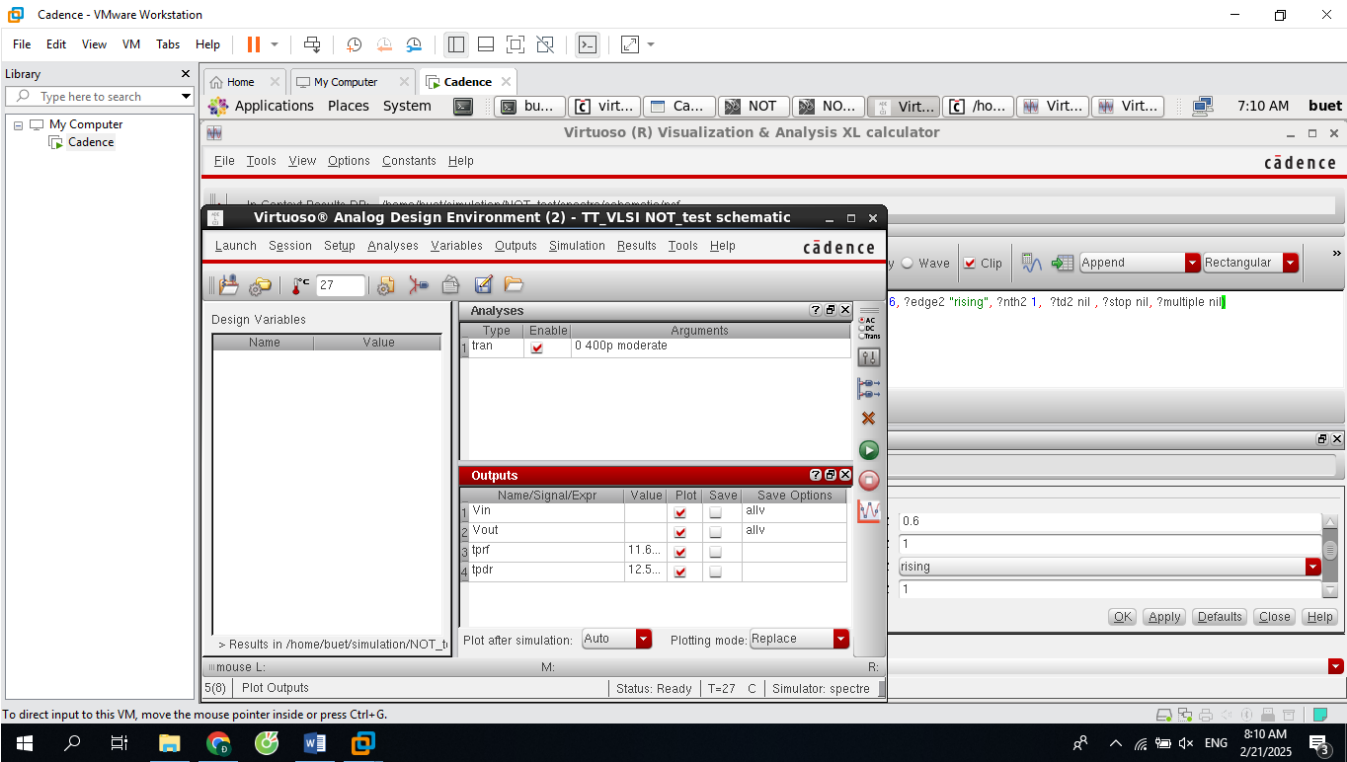
Thông tin trên đồ thị hiển thị hai mốc thời gian:

- ❖ t_{pdr}: độ trễ lan truyền tăng dần.
 - Từ đầu vào đến đầu ra tăng đi qua VDD/2.
 - ✓ Trên hình ảnh đồ thị thì ta thấy t_{pdr} = 12.91151ps
- ❖ t_{pdf}: độ trễ lan truyền giảm dần.
 - Từ đầu vào đến đầu ra giảm giao nhau VDD/2.
 - ✓ Trên hình ảnh đồ thị thì ta thấy t_{pdf} = 11.41151ps
- ❖ t_{pd}: độ trễ lan truyền trung bình.

Tính:

$$t_{pd} = (t_{pdr} + t_{pdf})/2 = (12.91151 + 11.41151)/2 = 12.16151ps$$

Tính toán bằng máy tính:



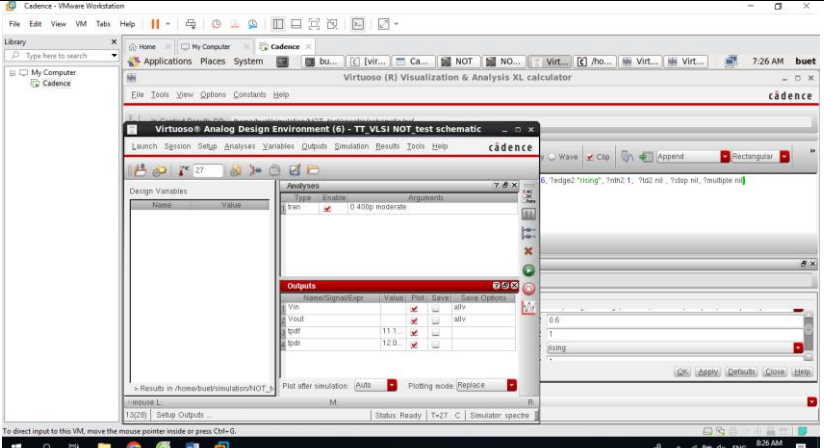
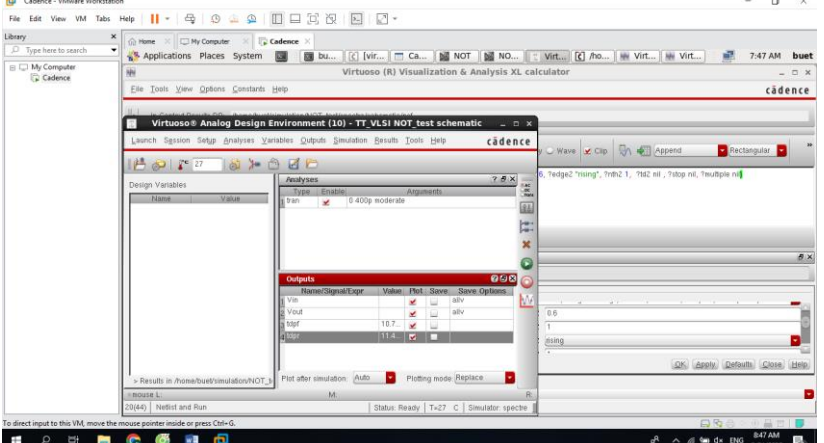
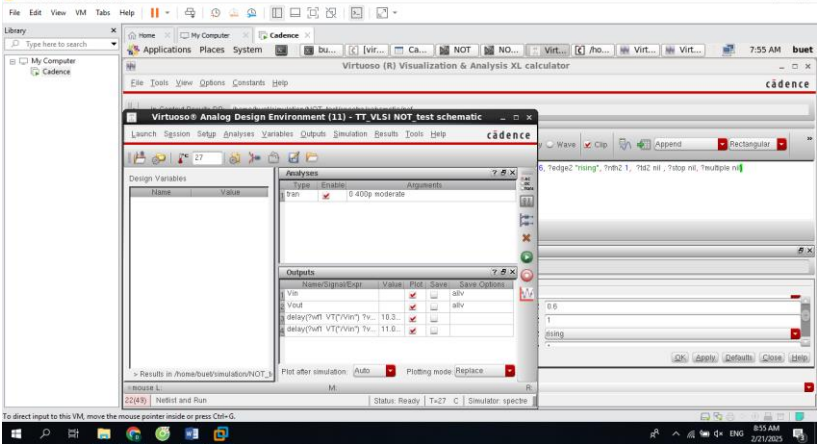
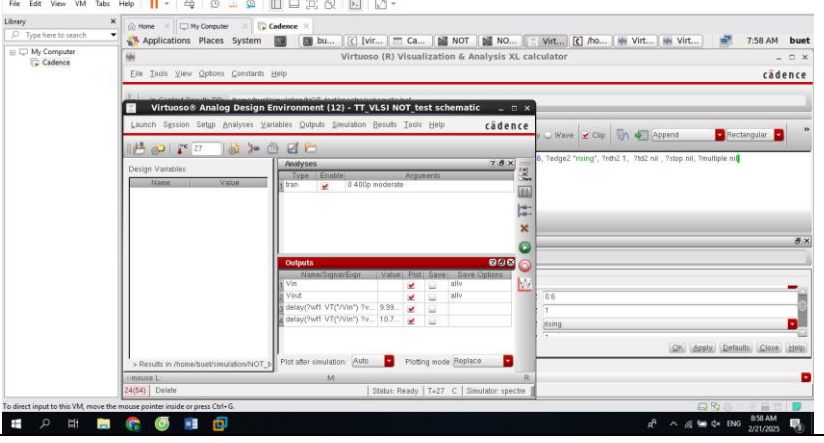
➤ $t_{pd} = (t_{pdr} + t_{pdf})/2 = (12.5 + 11.6)/2 = 12.05\text{ps}$ (gần bằng với tính tay). Vì vậy, có thể kết luận rằng kết quả tính độ trễ trung bình của chúng ta đã tính chính xác.

Nhận xét:

- Độ trễ trung bình của inverter trong mô phỏng trên là 12.05ps khi tính bằng máy tính trong cadence, khi so sánh thì ta có thể thấy rằng nó gần bằng với khi ta đo đạc tính toán bằng tay.
- Đây là giá trị phù hợp với công nghệ CMOS hiện tại.
- Nếu cần tối ưu độ trễ, có thể điều chỉnh kích thước transistor, điện dung tải hoặc công nghệ chế tạo.

c. Phân tích (lập bảng so sánh) ảnh hưởng của độ rộng các transistor đến delay của một bộ inverter

Độ rộng (M)	Hình ảnh	Phân tích delay
NMOS: 120n PMOS: 240n		$t_{pd} = (t_{pdr} + t_{pdf})/2 = (12.5 + 11.6)/2 = 12.05\text{ps}$

<p>NMOS: 130n PMOS: 260n</p>		$t_{pd} = (t_{pdr} + t_{pdf})/2 = (12.0 + 11.1)/2 = 11.55ps$
<p>NMOS: 140n PMOS: 280n</p>		$t_{pd} = (t_{pdr} + t_{pdf})/2 = (11.4 + 10.7)/2 = 11.05ps$
<p>NMOS: 150n PMOS: 300n</p>		$t_{pd} = (t_{pdr} + t_{pdf})/2 = (11 + 10.3)/2 = 10.65ps$
<p>NMOS: 160n PMOS: 320n</p>		$t_{pd} = (t_{pdr} + t_{pdf})/2 = (10.7 + 9.99)/2 = 10.345ps$

➤ Nhận xét:

- Theo như bảng so sánh ta đã lập bên trên. Ta thấy rằng, khi ta thay đổi độ rộng của các transistor theo chiều tăng dần lên thì delay của bộ inverter sẽ giảm dần xuống khi ta áp dụng vô công thức t_{pd} .
- Khi tăng độ rộng transistor, giảm R_{on} và tăng dòng điện giúp bộ inverter nhanh hơn nhưng nếu độ rộng W quá lớn thì điện dung ký sinh tăng và có thể làm chậm mạch.
- 2. Công suất tiêu thụ (power consumption)
 - a. Lý thuyết: Công suất tiêu thụ của mạch số, phân tích công suất tiêu thụ của một cổng logic (inverter)
- ❖ Công suất tiêu thụ của mạch số CMOS bao gồm:
 - Công suất động (Dynamic Power, $P_{dynamic}$)
 - Do chuyển mạch trạng thái của cổng logic (nạp/xả điện dung tải C_L).
 - Được tính theo công thức:

$$P_{dynamic} = P_{switching} + P_{shortcircuit}$$
 Trong đó:
 - Switching là chuyển đổi điện dung tải.
 - Shortcircuit là dòng điện ngắn mạch (crowbar).
 - Công suất tĩnh (Static Power, P_{static})
 - Do dòng rò của transistor khi mạch ở trạng thái ổn định (không chuyển đổi trạng thái).
 - Được tính theo công thức:

$$P_{static} = (I_{sub} + I_{gate} + I_{junct} + I_{contention}).V_{DD}$$
 Trong đó:
 - Sub là rò rỉ dưới ngưỡng.
 - Gate là rò rỉ cổng.
 - Junct là rò rỉ mối nối.
 - Contention current là dòng điện tranh chấp.
 - Công suất tổng (Total Power, P_{total})
 - Tổng của công suất động và công suất tĩnh:

$$P_{total} = P_{dynamic} + P_{static}$$
- ❖ phân tích công suất tiêu thụ của một cổng logic (inverter)
 - Cổng đảo (inverter) CMOS là một trong những cổng logic cơ bản nhất, bao gồm một transistor PMOS ở phía trên và một transistor NMOS ở phía dưới.
 - Trạng thái tĩnh (Static Condition):
 - Nếu đầu vào là '0' (thấp): PMOS bật, NMOS tắt => Không có dòng điện qua mạch (chỉ có dòng rò).
 - Nếu đầu vào là '1' (cao): NMOS bật, PMOS tắt => Cũng không có dòng điện qua mạch (chỉ có dòng rò).
 - Công suất tĩnh chủ yếu là công suất rò rỉ $P_{leakage}$.
 - Khi chuyển trạng thái (Dynamic Switching):
 - Khi đầu vào thay đổi từ '0' sang '1' hoặc ngược lại, điện dung tải C_L sẽ được sạc và xả, tiêu tốn năng lượng.
 - Công suất động $P_{dynamic}$ chiếm phần lớn tổng công suất tiêu thụ.
 - Trong quá trình chuyển đổi, cả PMOS và NMOS có thể cùng dẫn trong một khoảng thời gian rất ngắn, tạo ra công suất ngắn mạch $P_{short-circuit}$.
- ✓ Công suất tiêu thụ của một cổng logic như inverter CMOS gồm công suất động, công suất ngắn mạch và công suất rò rỉ. Trong đó, công suất động thường chiếm phần lớn và được tính như sau:

$$Energy/transition = C_L.V_{DD}^2.P_{0 \rightarrow 1}$$

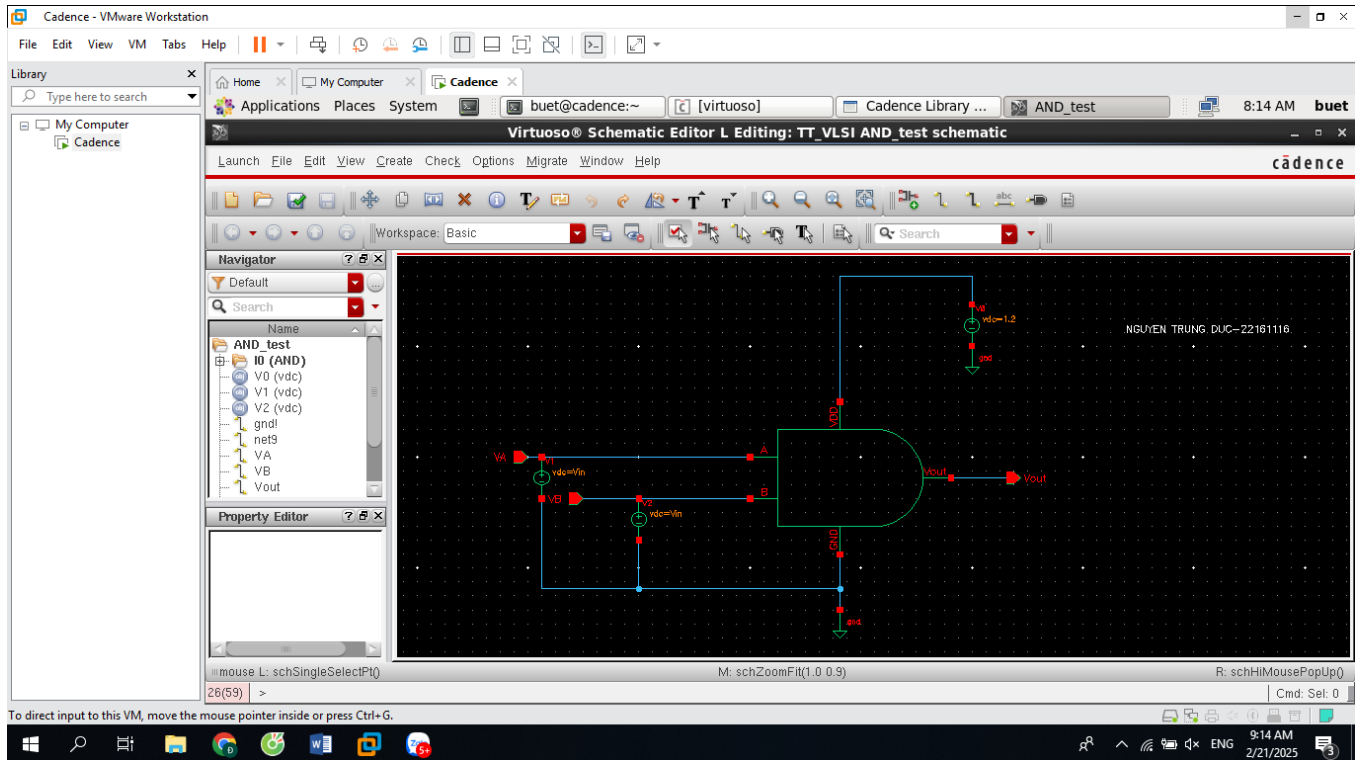
$$P_{dynamic} = Energy/transition.f = C_L.V_{DD}^2.P_{0 \rightarrow 1}.f = C_L.V_{DD}^2.f_{0 \rightarrow 1}$$
- ✓ Công suất động phụ thuộc vào dữ liệu – một chức năng của hoạt động chuyển đổi.
- ✓ Công suất động là yếu tố quan trọng trong thiết kế VLSI. Tối ưu hóa các tham số như tần suất chuyển đổi, dung kháng và điện áp có thể giúp giảm công suất tiêu thụ và cải thiện hiệu suất năng lượng.

Thực hành:

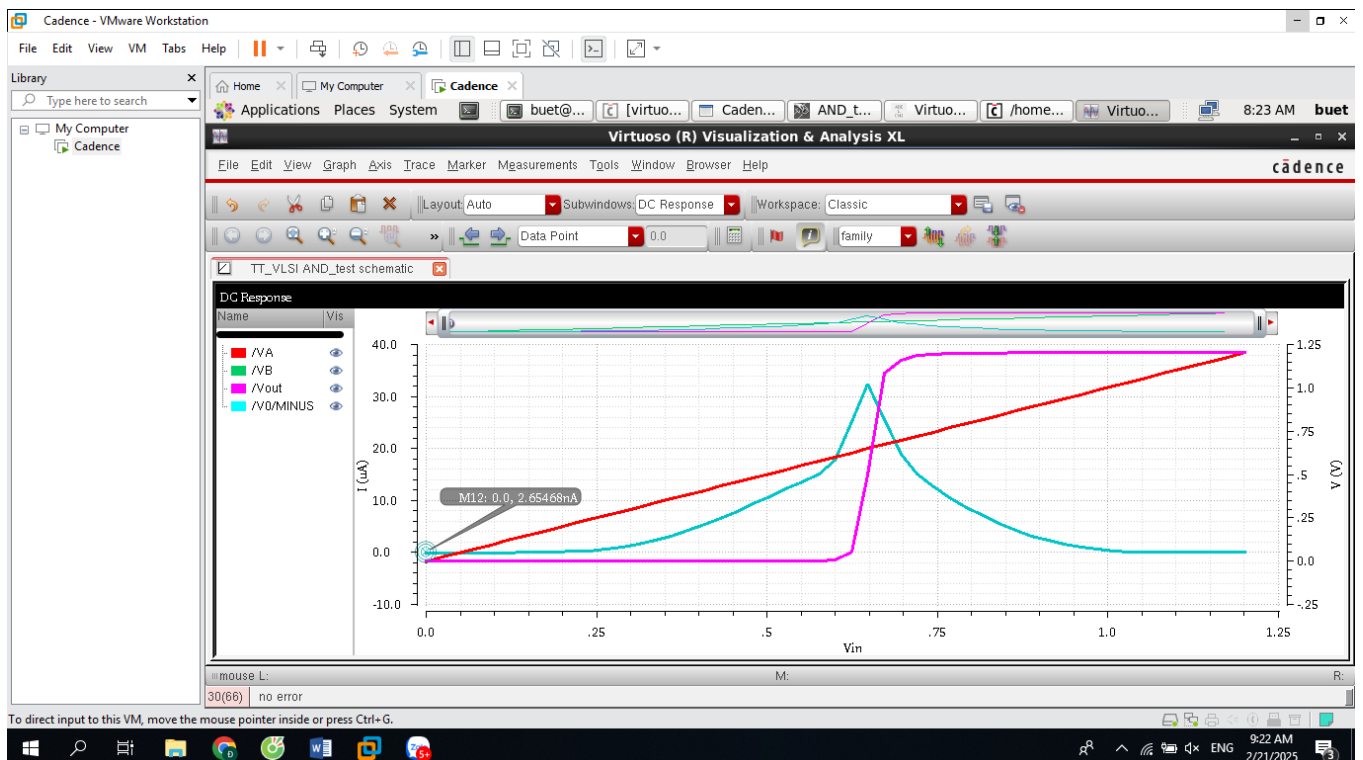
Phân tích công suất tiêu thụ của một mạch số (cổng AND) dựa vào mô phỏng, bao gồm: công suất tổng (trung bình), công suất tĩnh, công suất động.

❖ Công suất tĩnh:

Thiết kế:



Kết quả:



- Áp dụng công thức tính công suất tĩnh: $P_{\text{static}} = U \times I = 1.2 \times 2.65468 \times 10^{-9} = 3.185616 \text{ nW}$
- Trong đó: $U = V_{DD} = 1.2\text{V}$, $I = 2.65468 \text{ nA}$.

Phân tích từ ảnh mô phỏng kết quả:

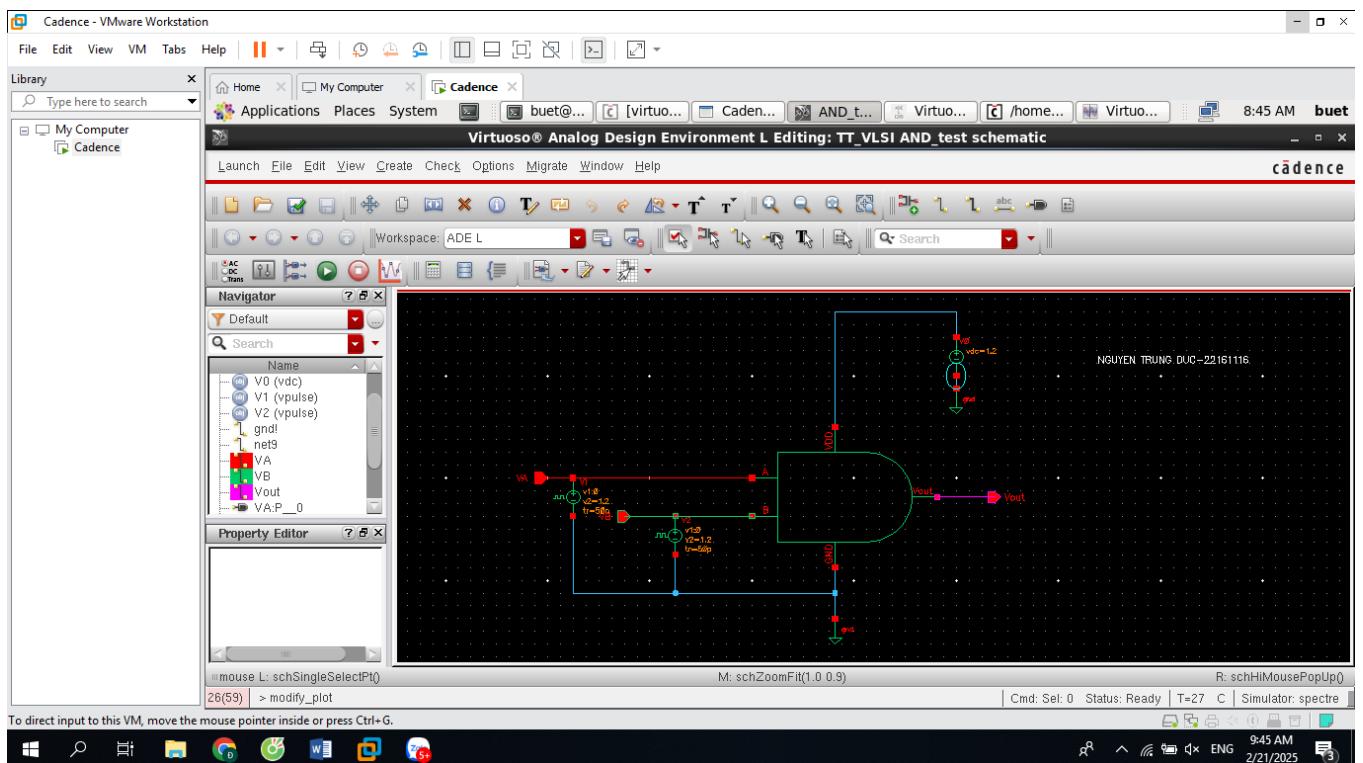
- Khi $V_{in} = 0$ hoặc $V_{in} = V_{DD}$ thì:
 - Dòng tiêu thụ gần bằng 0 (chứng tỏ công suất tĩnh rất nhỏ).
 - Điều này phù hợp với đặc tính của CMOS, khi một trong hai transistor (PMOS/NMOS) tắt hoàn toàn, không có dòng tĩnh chảy qua nguồn.
- Khi $V_{in} = V_{DD}/2$:
 - Xuất hiện dòng điện lớn (đường cong cyan tăng mạnh).
 - Điều này xảy ra do cả NMOS và PMOS đều dẫn đồng thời, tạo ra dòng ngắn mạch (short-circuit current).
 - Đây là điểm gây ra tổn hao công suất động khi tín hiệu chuyển đổi.

Nhận xét:

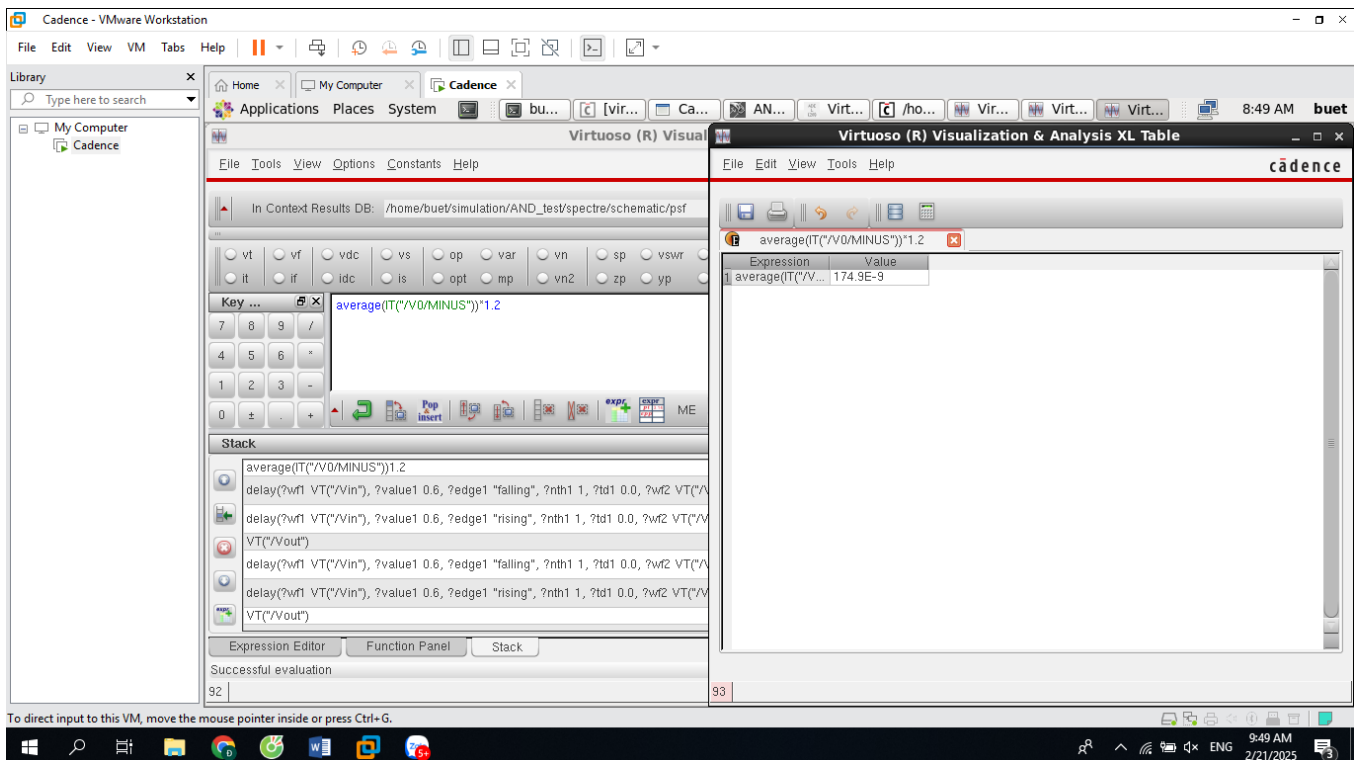
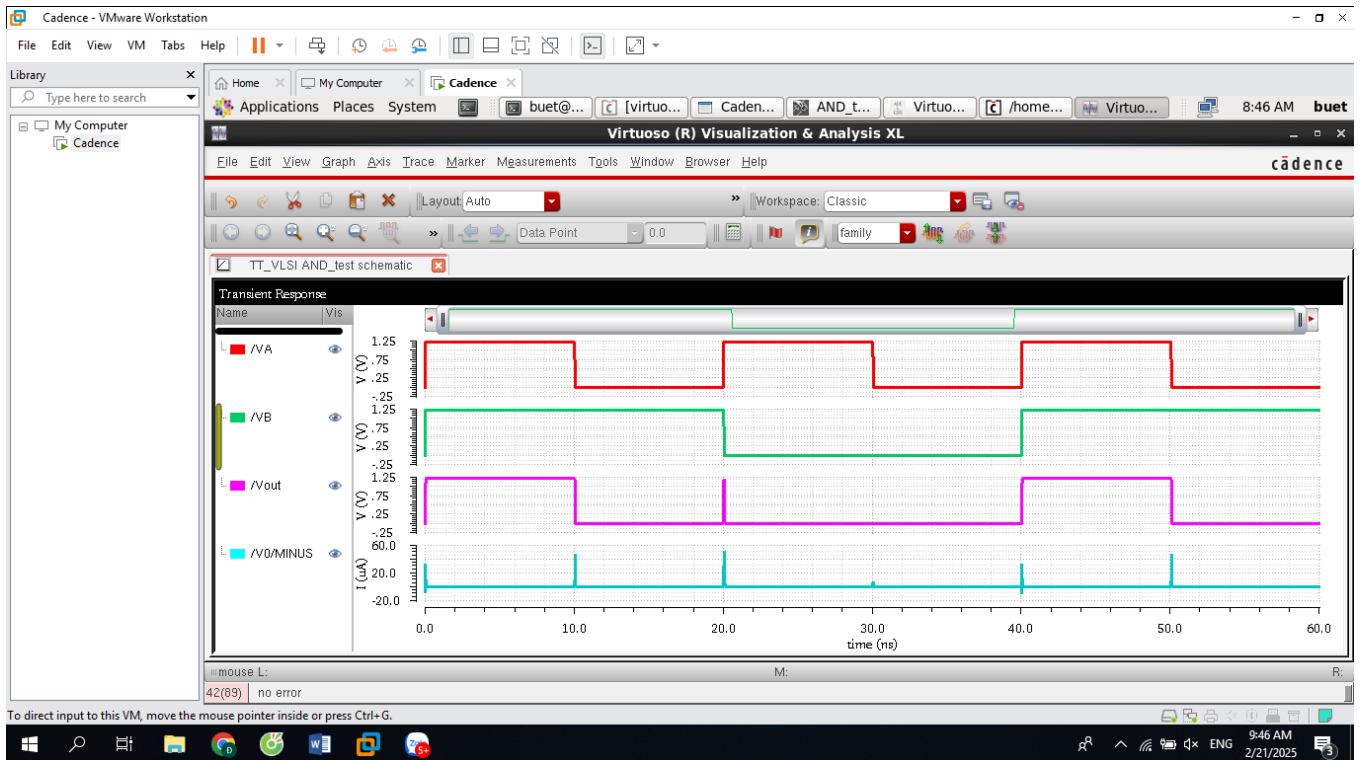
- Công suất tĩnh của cổng inverter rất nhỏ khi $V_{in} = 0$ hoặc $V_{in} = V_{DD}$, đúng với đặc trưng của công nghệ CMOS.
- Công suất tiêu thụ chủ yếu đến từ dòng ngắn mạch khi $V_{in} = V_{DD}/2$, có thể gây tổn hao nếu xảy ra thường xuyên.
- Để tối ưu, có thể:
 - Thiết kế transistor với kích thước hợp lý để giảm dòng ngắn mạch.
 - Giảm điện áp cung cấp (V_{DD}) để giảm công suất tiêu thụ chung.

❖ Công suất động:

Thiết kế:



Kết quả:



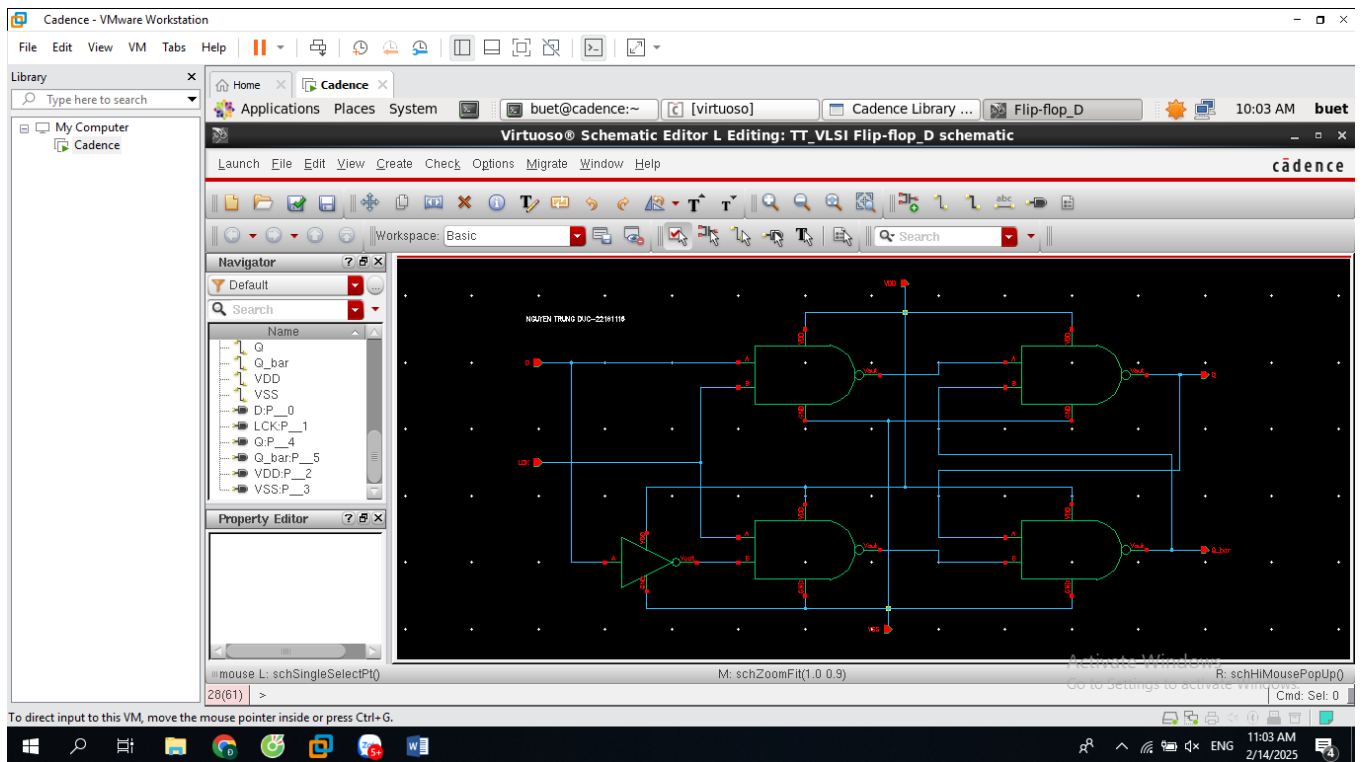
- Công suất động được tính là: $P_{dynamic} = 174.9 \text{ nW}$
- Công suất động này phụ thuộc vào tần số hoạt động và điện dung tải.
- Nếu tần số hoặc điện áp tăng, công suất động sẽ tăng theo cấp số nhân.
- Đây là một yếu tố quan trọng trong thiết kế mạch VLSI để tối ưu hóa mức tiêu thụ năng lượng.
- ❖ Công suất tổng (trung bình)

$$P_{total} = P_{dynamic} + P_{static} = 174.9 + 3.185616 = 178.085616 \text{ nW}$$

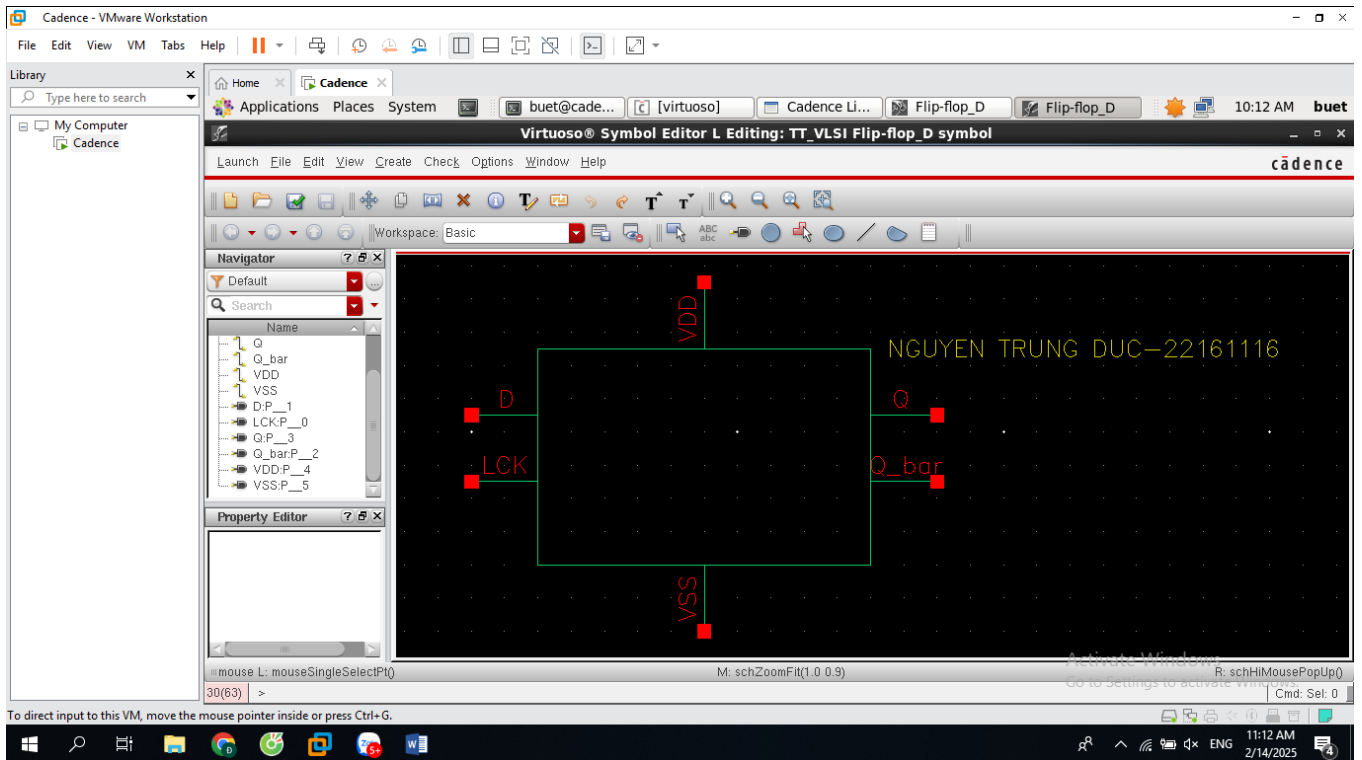
3. Thiết kế mạch tuần tự

- a. Thiết kế và mô phỏng mạch Flip-Flop D
- Phân tích hoạt động của Flip-Flop D
 - Flip-Flop D là một phần tử nhớ có khả năng lưu trữ trạng thái logic theo cạnh của tín hiệu clock.
 - Khi CLK chuyển từ mức thấp lên mức cao (cạnh lên), Q sẽ lấy giá trị hiện tại của tín hiệu D.
 - Q_bar luôn nghịch đảo với Q.

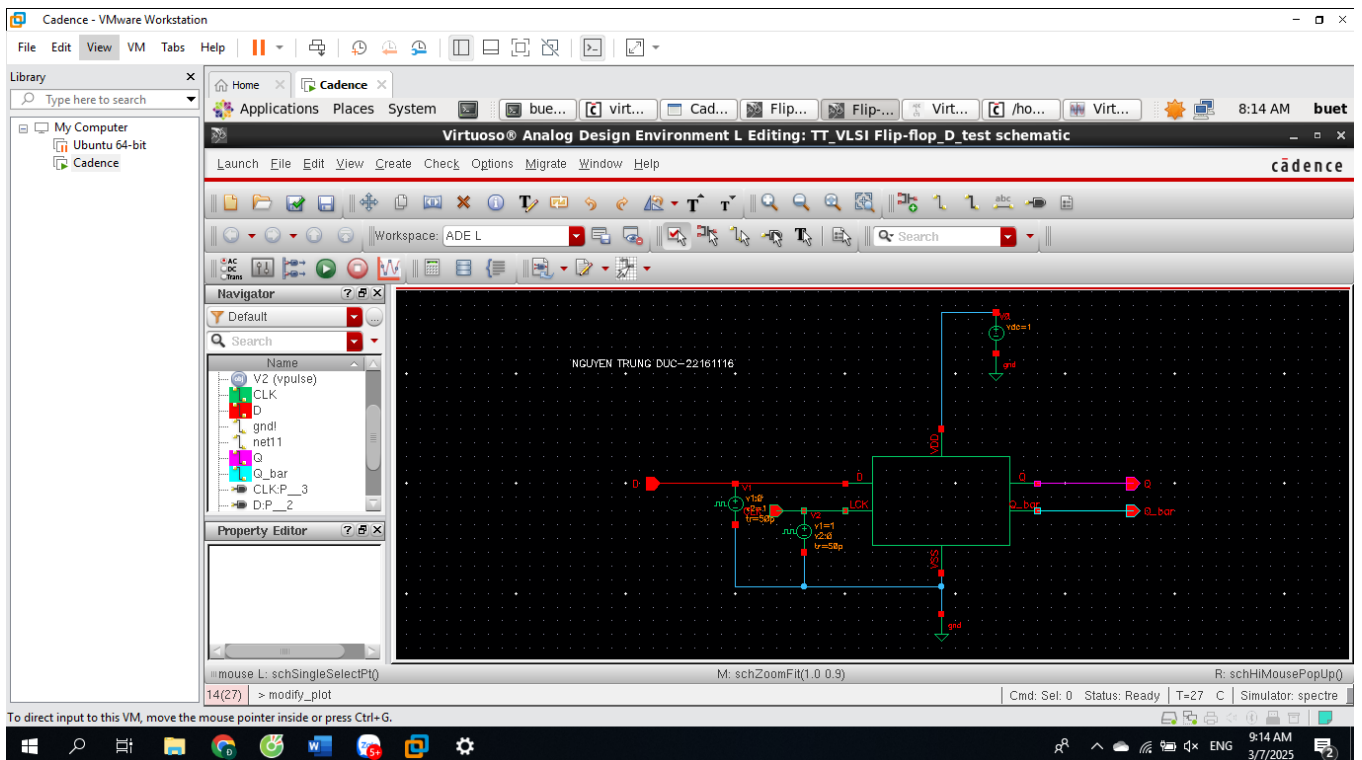
Thiết kế:

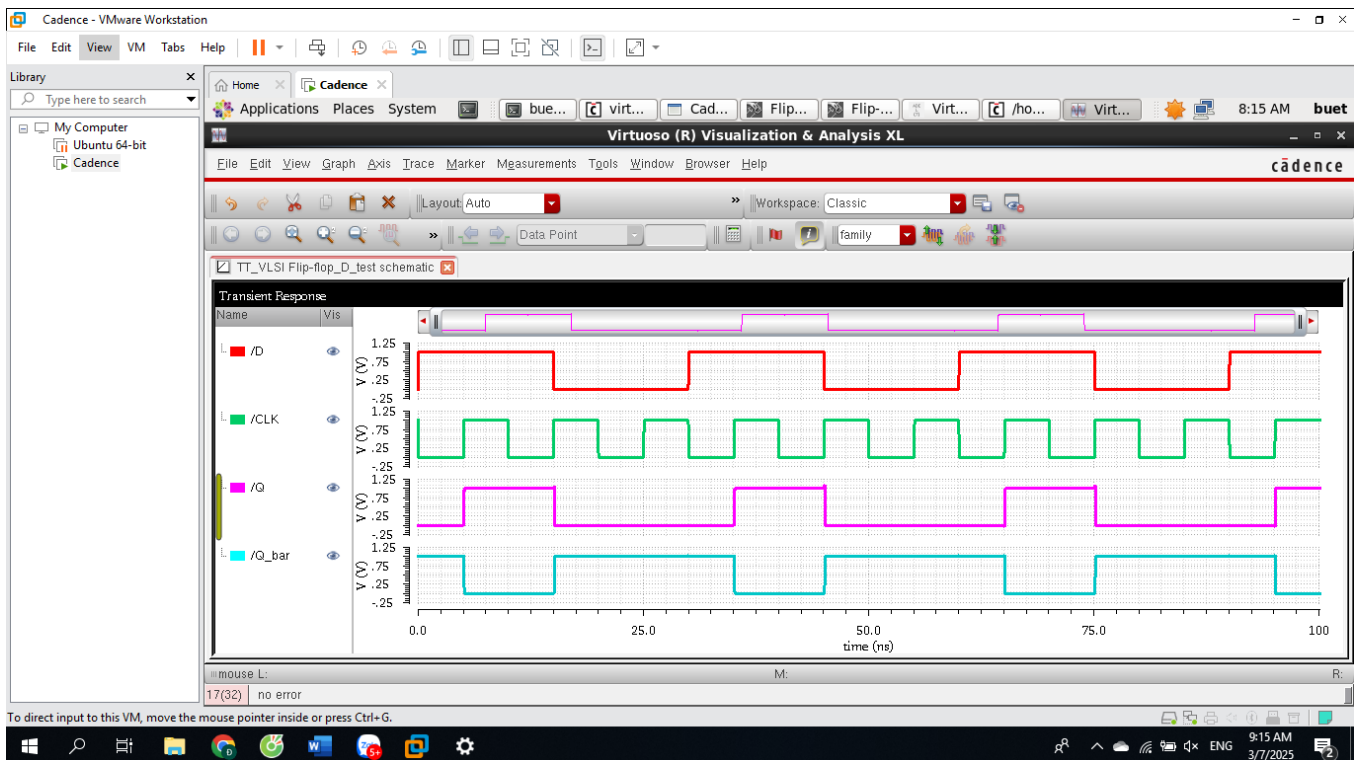


Đóng gói:

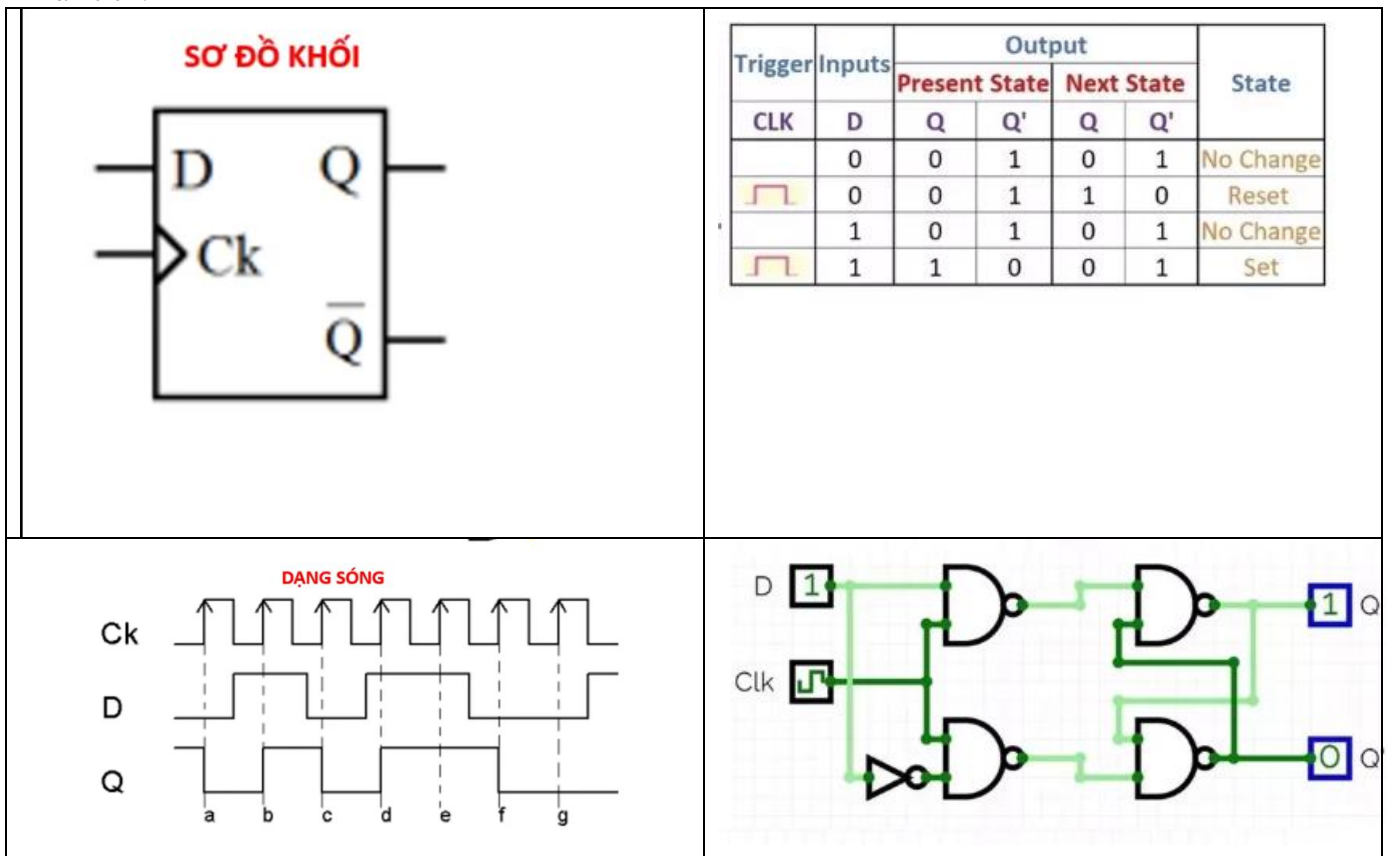


Kết quả mô phỏng:





Phân tích:



- Từ hình mô phỏng ta thấy:
 - Khi CLK có cạnh lên, giá trị của Q thay đổi theo D.
 - Q_bar luôn có trạng thái nghịch đảo với Q.
 - Điều này cho thấy Flip-Flop D trên đã hoạt động đúng với nguyên lý của nó.
- Suy ra:

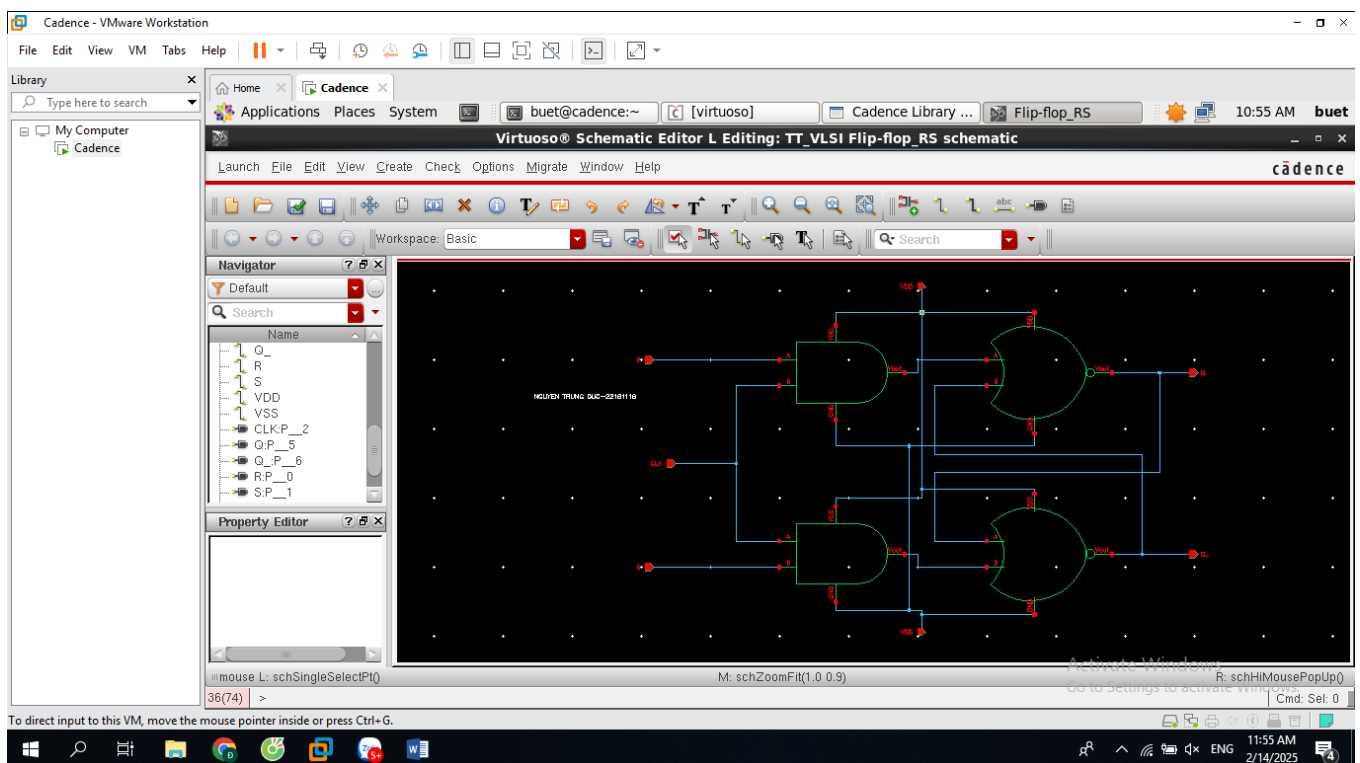
- Flip-Flop D trong mô phỏng này hoạt động chính xác.
- Độ trễ giữa tín hiệu CLK và Q có thể được đo để đánh giá thời gian trễ thiết lập (setup time) và giữ (hold time).
- Nếu muốn kiểm tra chi tiết hơn, bạn có thể xem xét dạng sóng của D hoặc đo thời gian trễ giữa cạnh lên của CLK và sự thay đổi của Q.

b. Thiết kế và mô phỏng Flip-Flop RS

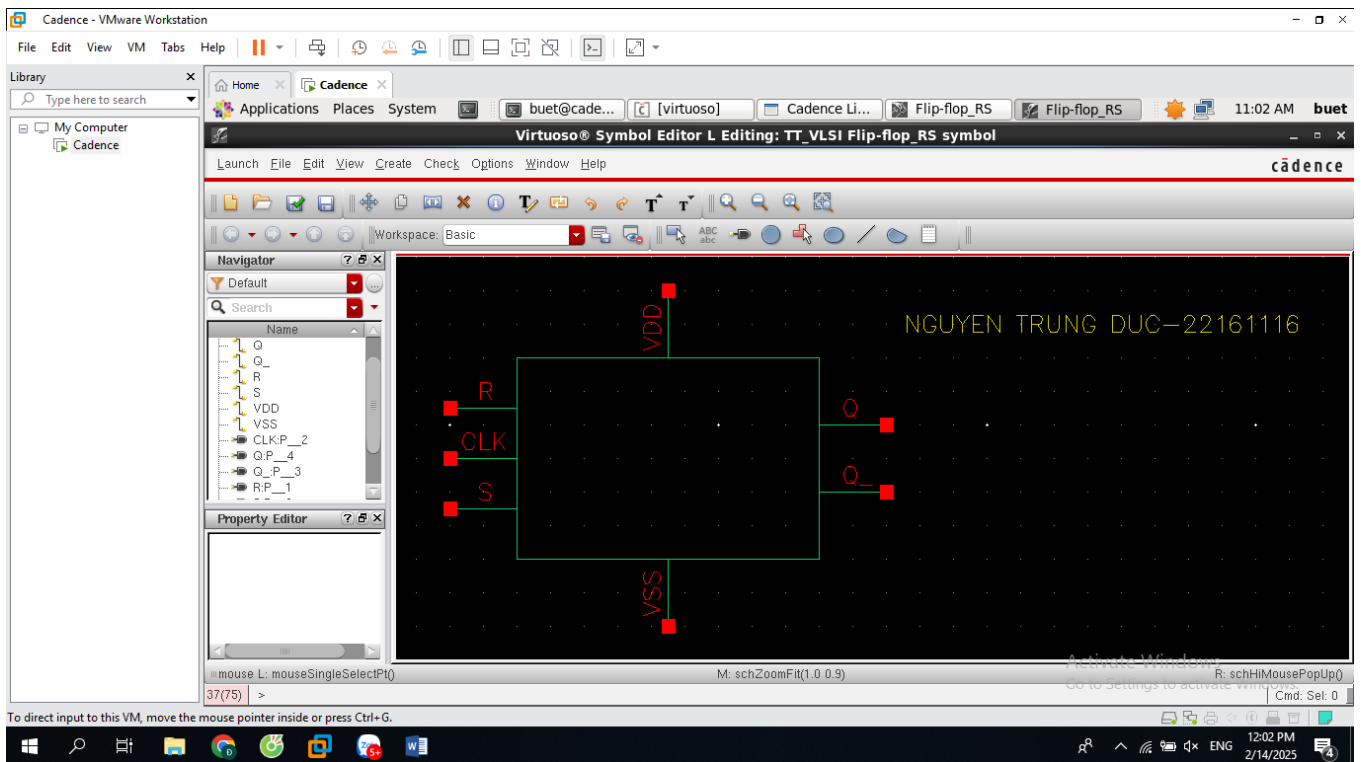
- Phân tích hoạt động của Flip-Flop RS

- Khi $S = 1$ và $R = 0 \rightarrow Q = 1, \bar{Q} = 0$ (Đặt trạng thái lên 1).
- Khi $S = 0$ và $R = 1 \rightarrow Q = 0, \bar{Q} = 1$ (Đặt trạng thái về 0).
- Khi $S = 0$ và $R = 0 \rightarrow Q$ giữ nguyên trạng thái trước đó.
- Khi $S = 1$ và $R = 1 \rightarrow$ Trạng thái không xác định (bất hợp lệ).

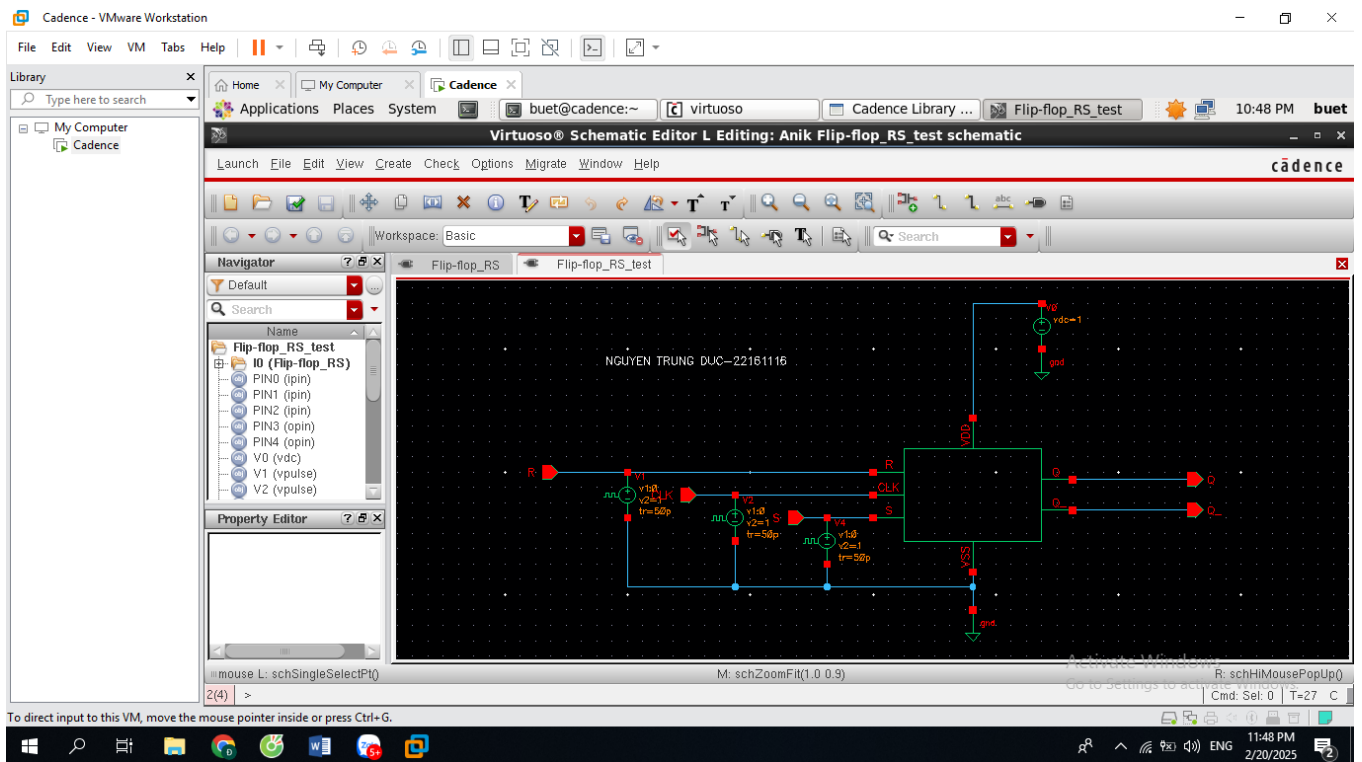
Thiết kế:

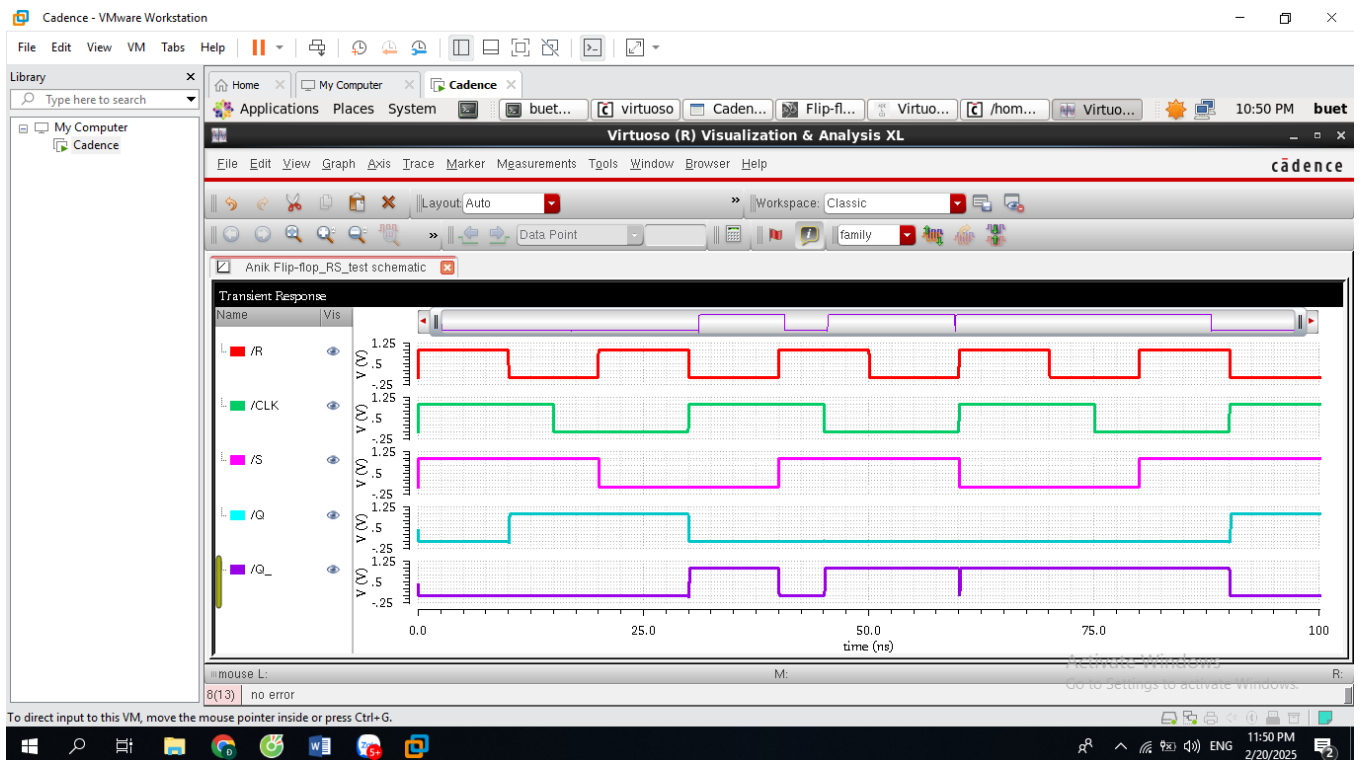


Đóng gói:

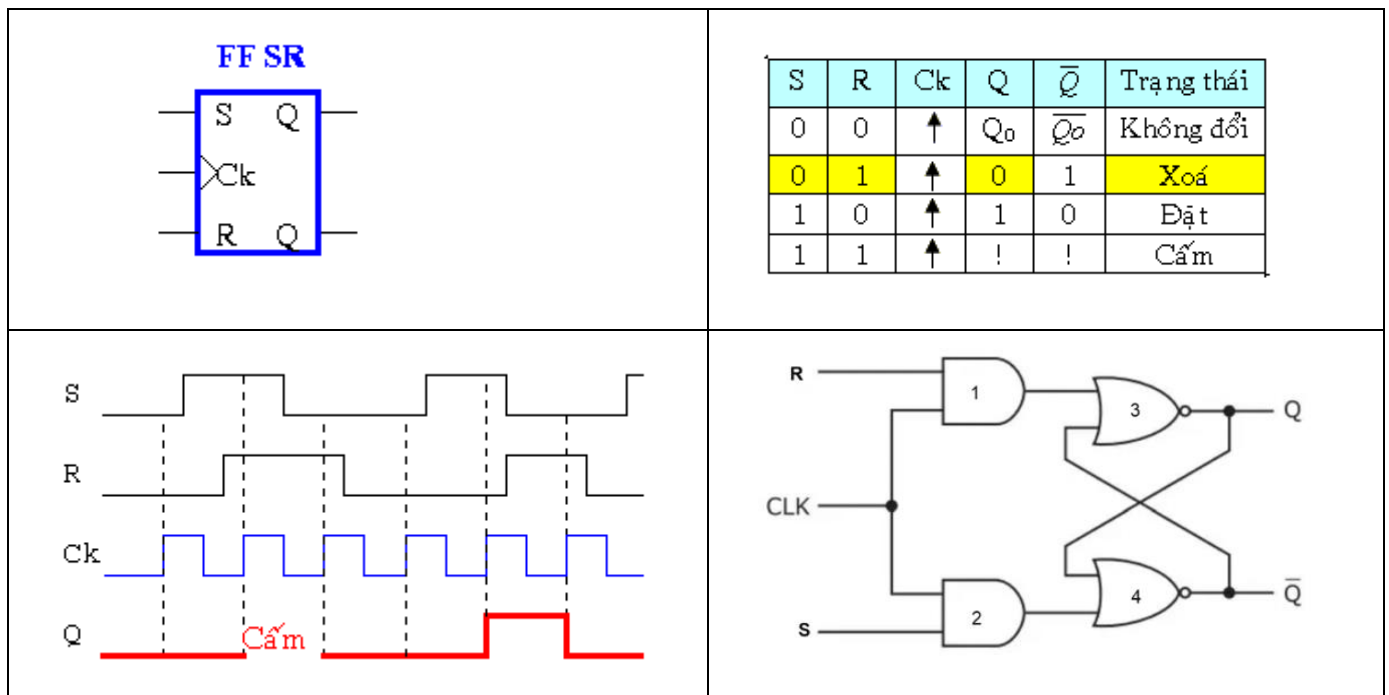


Kết quả mô phỏng





Phân tích



- FF RS này cạnh lên khi đó sẽ kí hiệu hình tam giác ở sơ đồ khối và dấu mũi tên lên trong bảng trạng thái.
- FF RS này cạnh xuống tương tự và có kí hiệu thêm hình tròn nhỏ hay gạch đầu Ck để chỉ cạnh xuống ở ký hiệu khối và vẽ dấu mũi tên xuống ở bảng trạng thái.
- Từ ảnh mô phỏng, ta thấy:
 - Q và $Q_$ hoạt động đúng: $Q_$ luôn nghịch đảo với Q.
 - Khi R = 1, Q bị kéo về 0, tức Flip-Flop được reset đúng.
 - Và Khi R = 0, nếu S được kích hoạt, Q sẽ lên mức cao.
 - Trạng thái giữ giá trị trước đó khi cả S và R đều bằng 0.

- Từ đó, suy ra:
 - Flip-Flop RS hoạt động đúng theo lý thuyết.
 - Các tín hiệu đầu ra thay đổi chính xác theo tín hiệu điều khiển.
 - Có thể kiểm tra thêm thời gian trễ (propagation delay) giữa tín hiệu đầu vào và đầu ra để đánh giá hiệu suất mạch.