

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
KHOA ĐIỆN-ĐIỆN TỬ
BỘ MÔN KT MÁY TÍNH – VIỄN THÔNG

BẢO CÁO THỰC TẬP
MÔN HỌC:
TUẦN: 5

Họ tên: Nguyễn Trung Đức	MSSV: 22161116	Nhóm: (Sáng thứ 6, tuần 1-8)

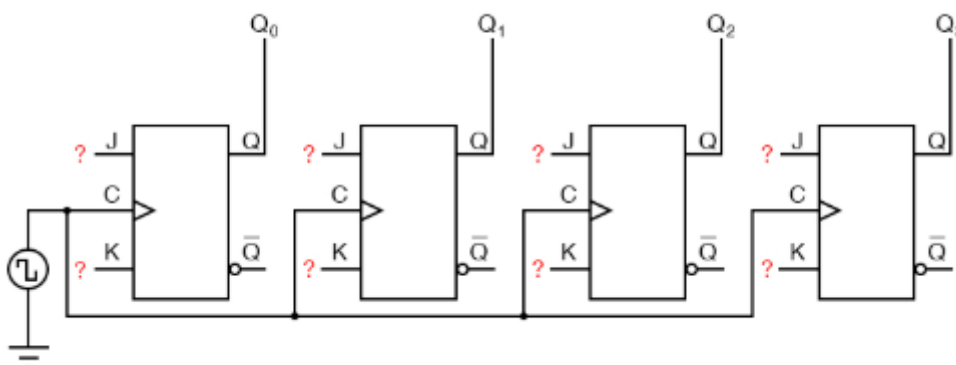
1. Mạch tuần tự

a. Lý thuyết:

Vẽ sơ đồ nguyên lý mạch đếm đồng bộ và không đồng bộ 4 bit sử dụng flip flop JK

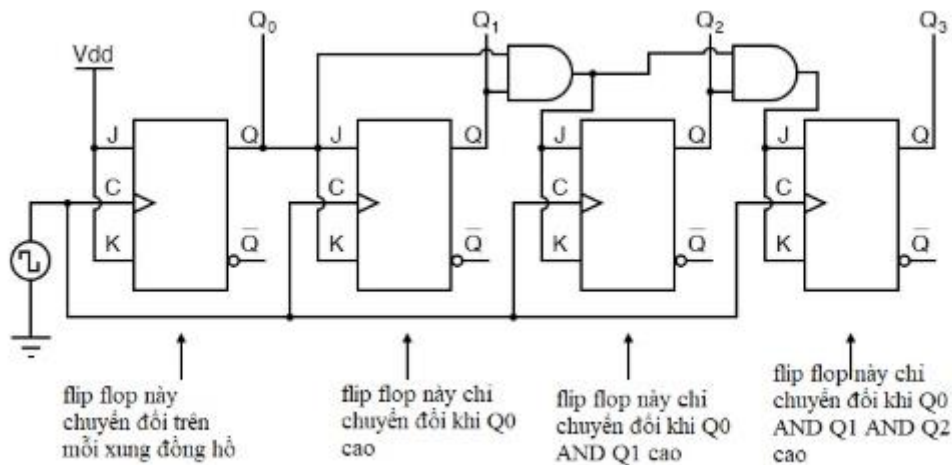
Mạch đếm đồng bộ (Synchronous Counter)

- Trong mạch đếm đồng bộ, tất cả Flip-Flop đều nhận cùng một xung nhịp (CLK), giúp loại bỏ độ trễ lan truyền. Các Flip-Flop JK được kết nối sao cho J và K chỉ ở mức cao khi tất cả các Flip-Flop trước đó có $Q = 1$.



Đặc điểm của bộ đếm đồng bộ

- Tất cả các Flip-Flop JK nhận tín hiệu đồng hồ cùng lúc, dẫn đến trạng thái đầu ra thay đổi đồng bộ mà không có sự trễ giữa các tầng Flip-Flop.
- Điều này giúp giảm thiểu sự sai lệch thời gian (glitch) so với bộ đếm không đồng bộ.
- Mạch đếm lên đồng bộ (Synchronous Up Counter)
 - Flip-Flop đầu tiên (LSB) luôn toggle khi có xung.
 - Các Flip-Flop tiếp theo toggle khi tất cả các Flip-Flop trước đó có $Q = 1$.
 - Dùng cổng AND để kiểm tra điều kiện này.

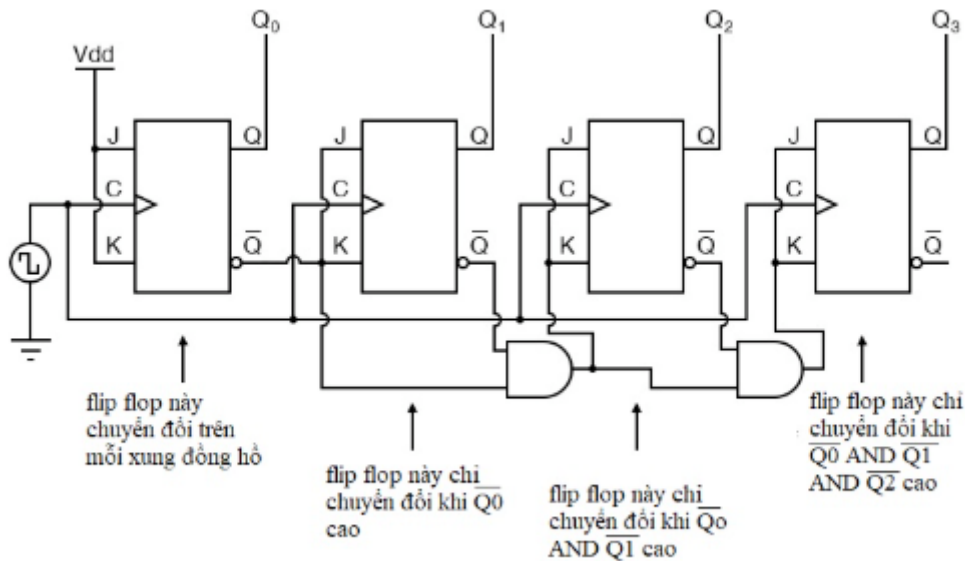


Đặc điểm:

- Xung nhịp đồng bộ: Tất cả các tầng flip-flop nhận cùng một xung clock.
- Hoạt động: Tăng giá trị đếm sau mỗi xung clock.
- Sử dụng Flip-Flop JK hoặc D để đảm bảo chuyển trạng thái chính xác.
- Tốc độ cao hơn bộ đếm không đồng bộ do không có trễ lan truyền giữa các tầng.
- Ứng dụng: Dùng trong bộ chia tần số, đo thời gian, và hệ thống số.

- Mạch đếm xuống đồng bộ (Synchronous Down Counter)

- Ngược lại với bộ đếm lên, các Flip-Flop toggle khi các Q' trước đó =1.
- Dùng cổng AND để kiểm tra Q' thay vì Q.



Đặc điểm chính sau:

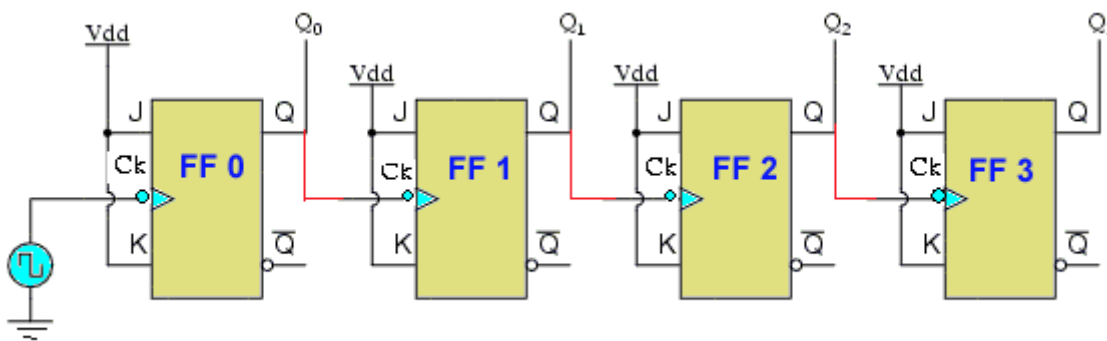
- Xung nhịp đồng bộ: Tất cả các tầng flip-flop nhận cùng một xung clock đồng thời.
- Hoạt động: Giá trị đếm giảm dần sau mỗi xung clock.
- Cấu trúc: Thường dùng Flip-Flop JK hoặc D, với các đầu vào được thiết lập để giảm giá trị đếm thay vì tăng.
- Tốc độ cao: Không có độ trễ lan truyền giữa các tầng như trong mạch đếm không đồng bộ.
- Ứng dụng: Dùng trong các bộ tạo tín hiệu, bộ đo thời gian, và hệ thống số có yêu cầu đếm ngược.

- Mạch đếm lên/xuống có thể lựa chọn

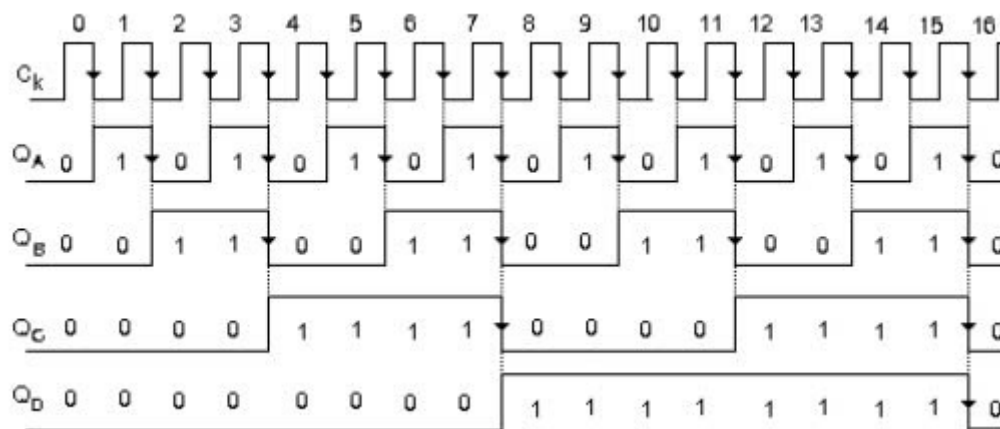
- Sử dụng cổng AND/OR để chọn chế độ đếm lên hoặc đếm xuống dựa trên tín hiệu điều khiển.
- Ưu và nhược điểm:
 - Ưu điểm: Đếm nhanh hơn do tất cả Flip-Flop nhận cùng một xung nhịp.
 - Nhược điểm: Mạch phức tạp hơn do cần thêm các cổng logic.
- Ứng dụng:
 - Được sử dụng trong đo lường chuyển động, bộ mã hóa quay, điều khiển robot, máy CNC.

Mạch đếm không đồng bộ (Asynchronous Counter – Ripple Counter)

- Mạch đếm không đồng bộ:
 - Trong mạch đếm không đồng bộ, xung nhịp (clock) chỉ được cung cấp cho Flip-Flop đầu tiên, các Flip-Flop sau nhận tín hiệu từ ngõ ra của Flip-Flop trước.
 - Điều này tạo ra hiện tượng trễ do thời gian truyền tín hiệu qua từng tầng.
 - Đổi lại cấu trúc đơn giản, chỉ cần một nguồn xung nhịp duy nhất cho tầng đầu tiên
- Mạch đếm lên:
 - Gồm 4 Flip-Flop (FF) JK mắc nối tiếp, xung clock (ck) tác động cạnh xuống.
 - Ngõ ra Q của mỗi FF nối vào ck của FF tiếp theo.
 - Tần số ngõ ra giảm dần.
 - Mạch đếm từ 0000 (0) đến 1111 (15), sau đó tự động reset về 0.



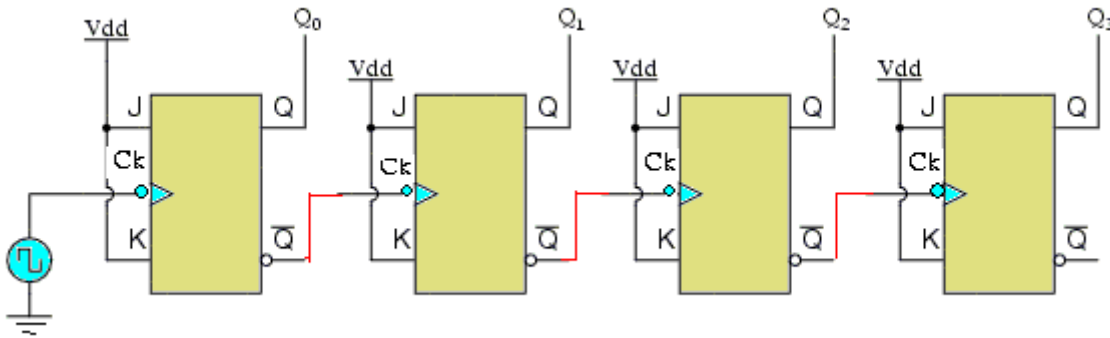
Dạng sóng ngõ ra:



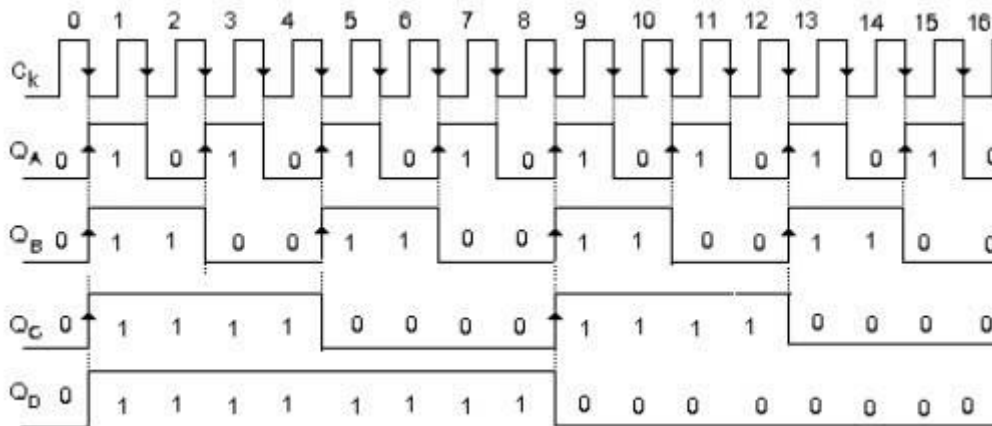
Đặc điểm chính sau:

- Xung nhịp không đồng bộ: Chỉ flip-flop đầu tiên nhận xung clock, các flip-flop tiếp theo nhận tín hiệu từ ngõ ra của tầng trước.
- Hoạt động: Giá trị đếm tăng lên sau mỗi xung clock, nhưng với độ trễ giữa các tầng.
- Cấu trúc đơn giản: Ít phần cứng hơn so với bộ đếm đồng bộ.
- Tốc độ thấp: Do trễ lan truyền giữa các tầng, làm giảm hiệu suất khi số bit tăng.

- Ứng dụng: Dùng trong các bộ đếm đơn giản, bộ chia tần số, hoặc các ứng dụng không yêu cầu tốc độ cao.
- Mạch đếm xuống:
 - Giống mạch đếm lên nhưng ngõ vào clock của FF sau được lấy từ ngõ ra đảo (Q') của FF trước.
 - Đếm từ 15 về 0 rồi reset lại.

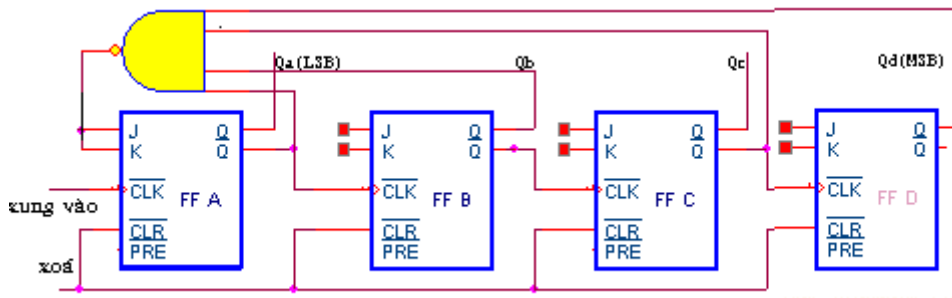


Dạng sóng ngõ ra:



Đặc điểm chính sau:

- Xung nhịp không đồng bộ: Chỉ flip-flop đầu tiên nhận xung clock, các flip-flop sau nhận tín hiệu từ ngõ ra của tầng trước.
- Hoạt động: Giá trị đếm giảm dần sau mỗi xung clock.
- Cấu trúc đơn giản: Ít phần cứng hơn so với mạch đếm đồng bộ.
- Tốc độ thấp: Do trễ lan truyền giữa các tầng, làm giảm hiệu suất khi số bit tăng.
- Ứng dụng: Dùng trong các hệ thống đo thời gian, bộ chia tần số hoặc các ứng dụng yêu cầu đếm ngược đơn giản.
- Mạch đếm lên/ xuống kết hợp:
 - Dùng cổng OR và tín hiệu điều khiển để chọn chế độ đếm lên hoặc xuống.
- Mạch đếm tự dừng:
 - Dừng đếm khi đạt giá trị mong muốn (vd: 10) bằng cách ngắt xung clock hoặc điều khiển ngõ vào T của FF đầu.



- Ưu điểm: Sử dụng ít linh kiện hơn so với mạch đếm đồng bộ. Ít yêu cầu về mạch, không phức tạp.
- Nhược điểm: Có độ trễ lan truyền lớn, ảnh hưởng đến tốc độ hoạt động. Điều này làm giới hạn tốc độ đếm tối đa của mạch.

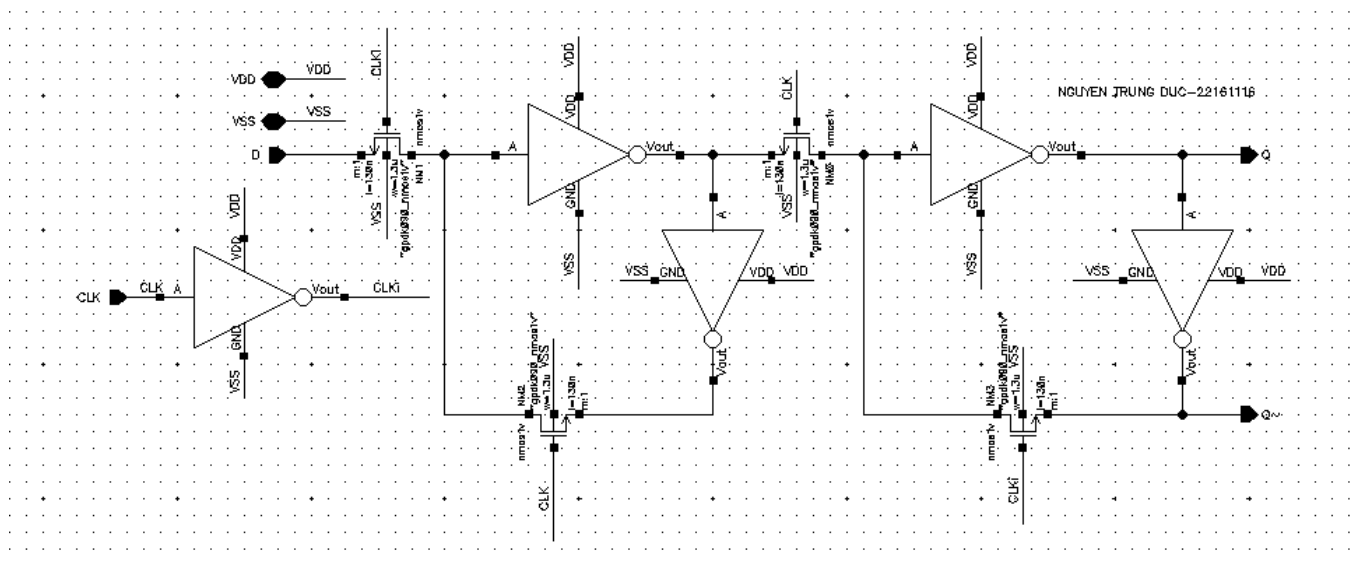
b. Thực hành:

Thiết kế và mô phỏng Flip – Flop JK

- Đầu tiên muốn thiết kế được Flip-Flop JK thì ta cần phải có đủ các cổng transistor cần thiết:

Flip-Flop D:

Thiết kế:



Chú ý: Ở đây thì ta phải thay đổi độ rộng của con NMOS và PMOS cho chuẩn thì nó mới có thể chạy được ra kết quả chính xác nhất:

Với:

PMOS: +) Length: 130n M

+ Total Width: 2.6u M

+ Finger Width: 2.6u M

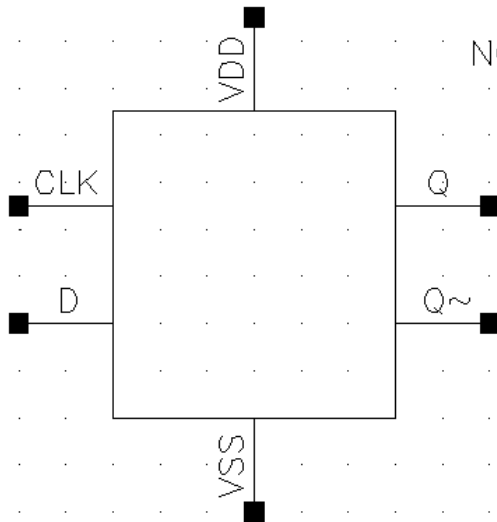
Tương tự với NMOS: PMOS nhưng độ rộng bằng 1/2 lần PMOS:

+ Length: 130n M

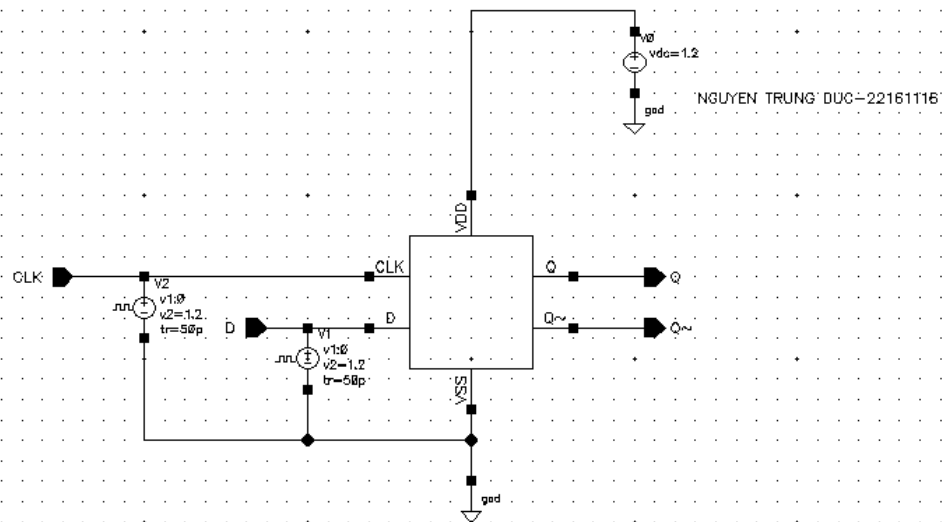
+ Total Width: 1.3u M

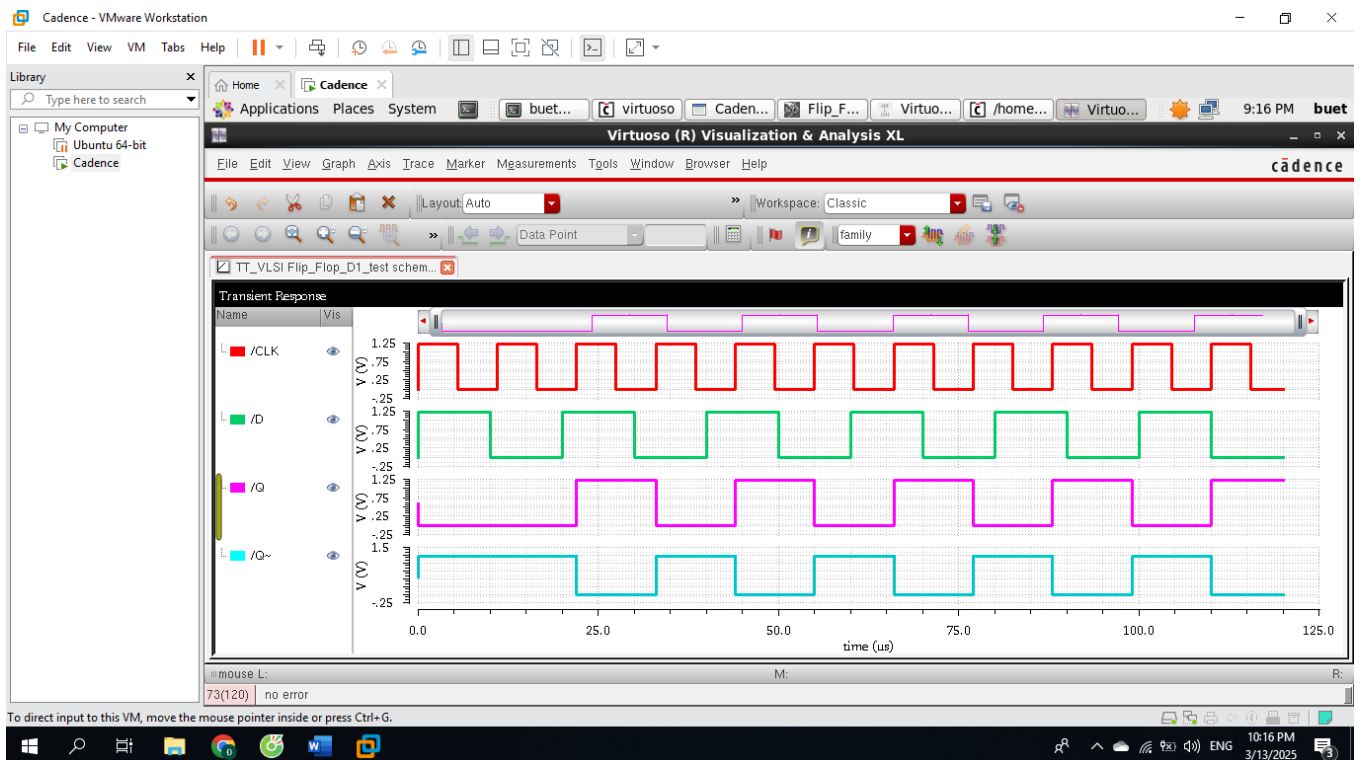
+ Finger Width: 1.3u M

Đóng gói:

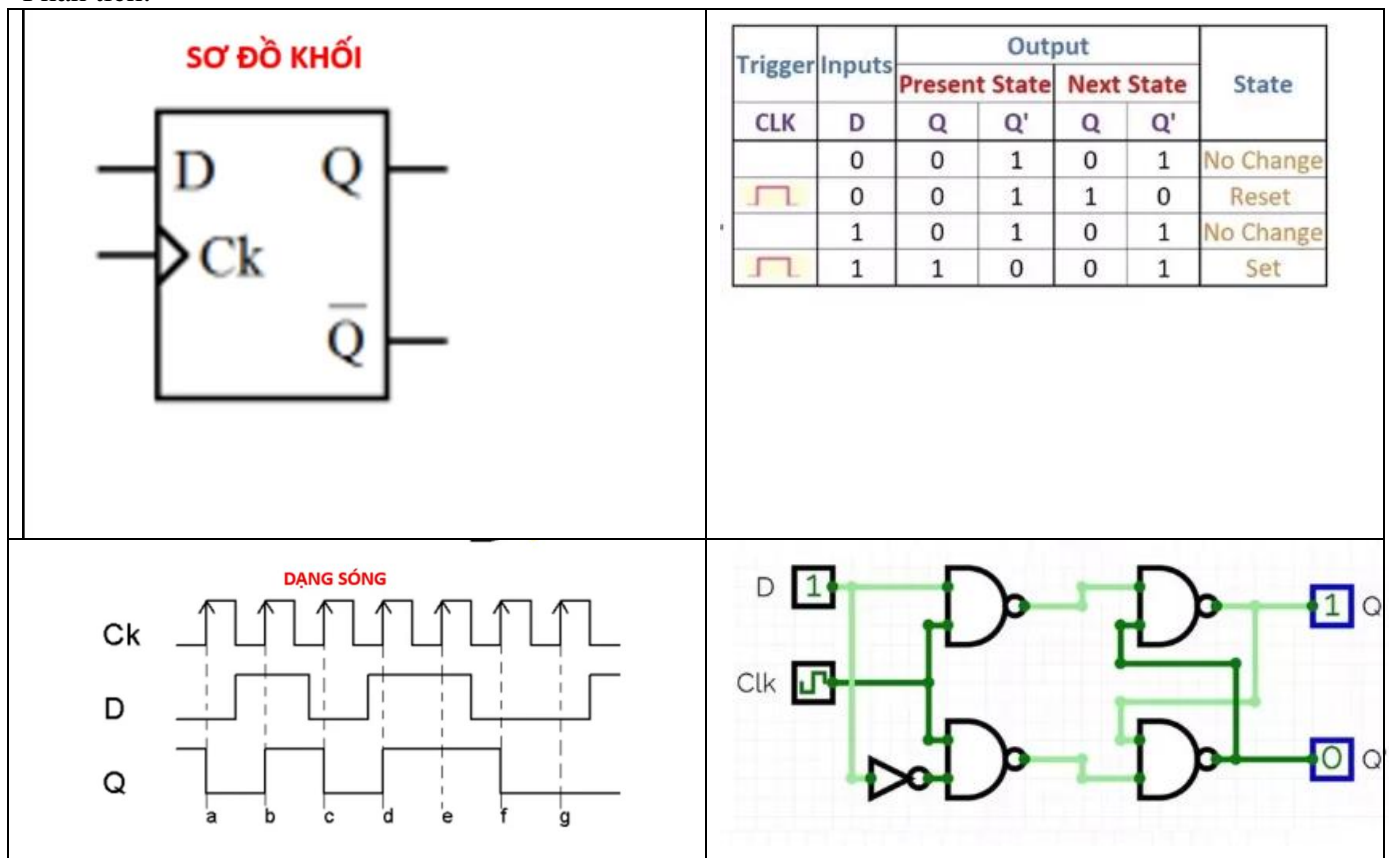


Kết quả mô phỏng:





Phân tích:



Quan sát các tín hiệu ở hình trên Cadence

- CLK (Clock - màu đỏ): Đây là tín hiệu xung nhịp điều khiển Flip-Flop. Nó có dạng sóng vuông, chuyển từ mức cao (logic 1) xuống mức thấp (logic 0) theo chu kỳ đều đặn.

- D (Data - màu xanh lá): Đây là đầu vào dữ liệu của Flip-Flop D. Tín hiệu này thay đổi ở một số thời điểm.
- Q (Output - màu hồng): Đây là đầu ra chính của Flip-Flop. Chúng ta cần kiểm tra xem nó có tuân theo nguyên tắc hoạt động của Flip-Flop D không.
- Q~ (Complementary Output - màu xanh dương): Đây là đầu ra đảo của Q, nghĩa là nó luôn nghịch pha với Q.

Phân tích hoạt động của Flip-Flop D

Flip-Flop D hoạt động theo nguyên tắc:

- Khi cạnh lên (rising edge) của xung clock xảy ra, đầu ra Q sẽ nhận giá trị của D.
- Q~ luôn là giá trị nghịch đảo của Q.

Nhìn vào kết quả dạng sóng trên hình:

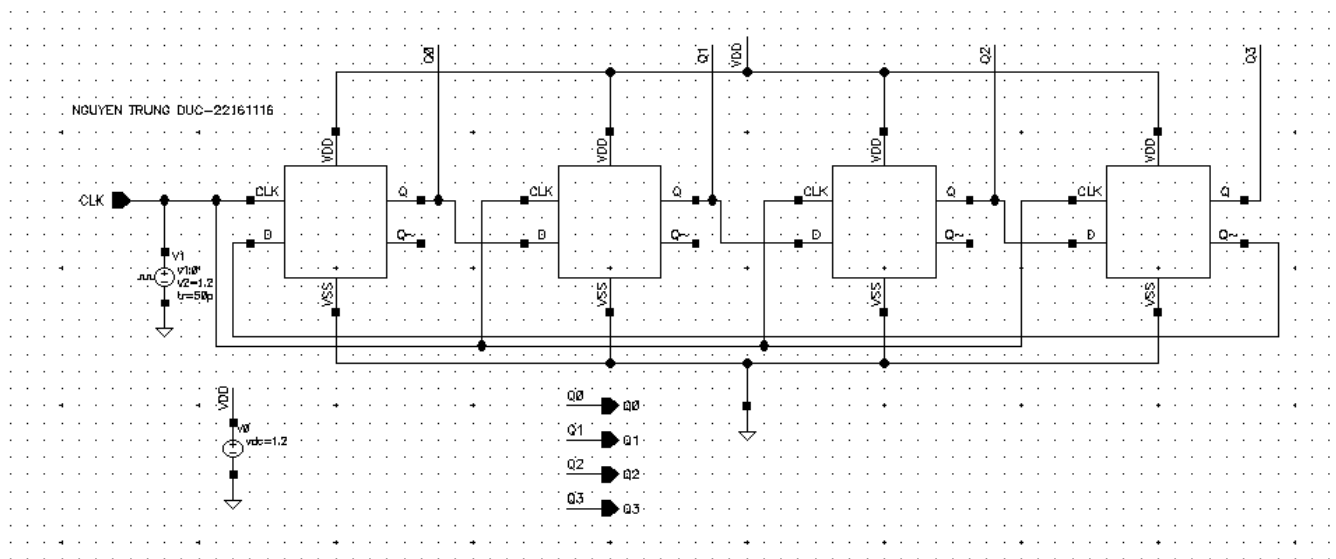
- Ở mỗi cạnh lên của CLK, giá trị của Q được cập nhật theo giá trị của D.
- Q~ luôn đối nghịch với Q, xác nhận rằng Flip-Flop hoạt động đúng.
- Nếu D giữ nguyên ở một mức, thì Q cũng giữ nguyên mức đó cho đến cạnh lên tiếp theo.

Kết luận

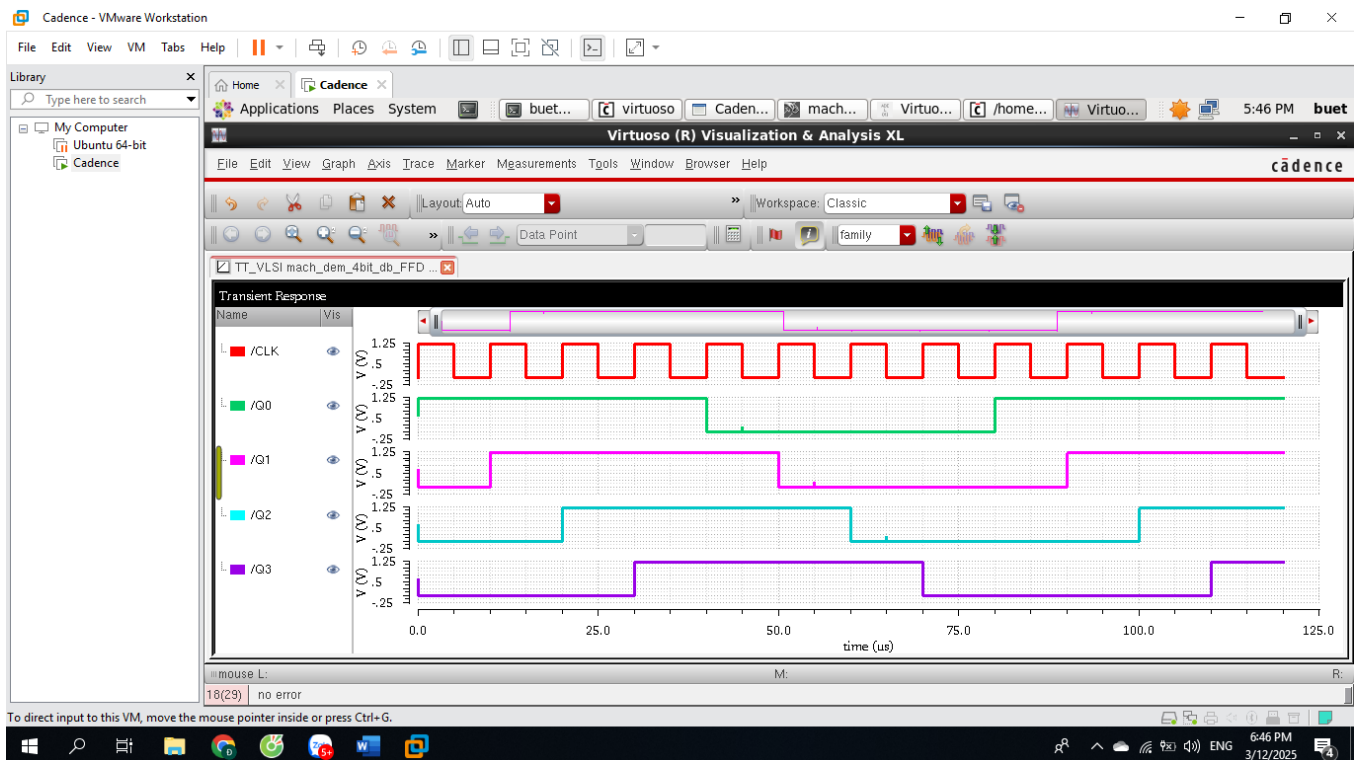
- Mạch hoạt động đúng theo nguyên tắc của Flip-Flop D.
- Không có hiện tượng nhiễu hoặc glitch, đồ thị đầu ra sạch và đúng mong đợi.
- Nếu bạn cần kiểm tra thêm các điều kiện như setup time, hold time, hãy kiểm tra giá trị của D ngay trước cạnh lên của CLK để đảm bảo không có lỗi thời gian.

Kiểm tra sự chính xác của Flip-Flop D thông qua bộ đếm nhị phân 4 bit dùng Flip-Flop D

Thiết kế:



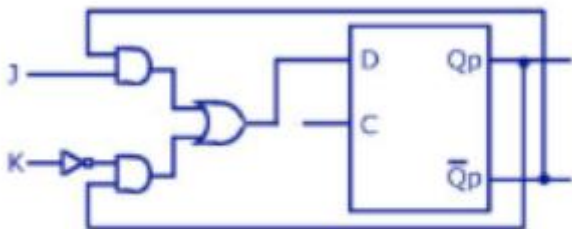
Kết quả mô phỏng:



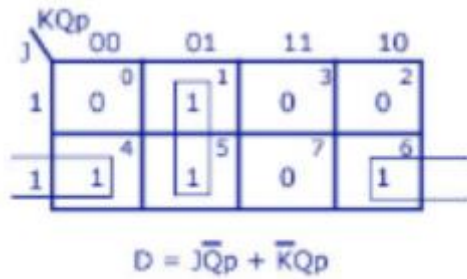
Phân tích:

- Ta thấy là Flip Flop D đã hoạt động đúng, giờ ta sẽ tiến hành đi về Flip Flop JK theo Flip Flop D.

Cách chuyển đổi từ Flip Flop D sang Flip Flop JK:



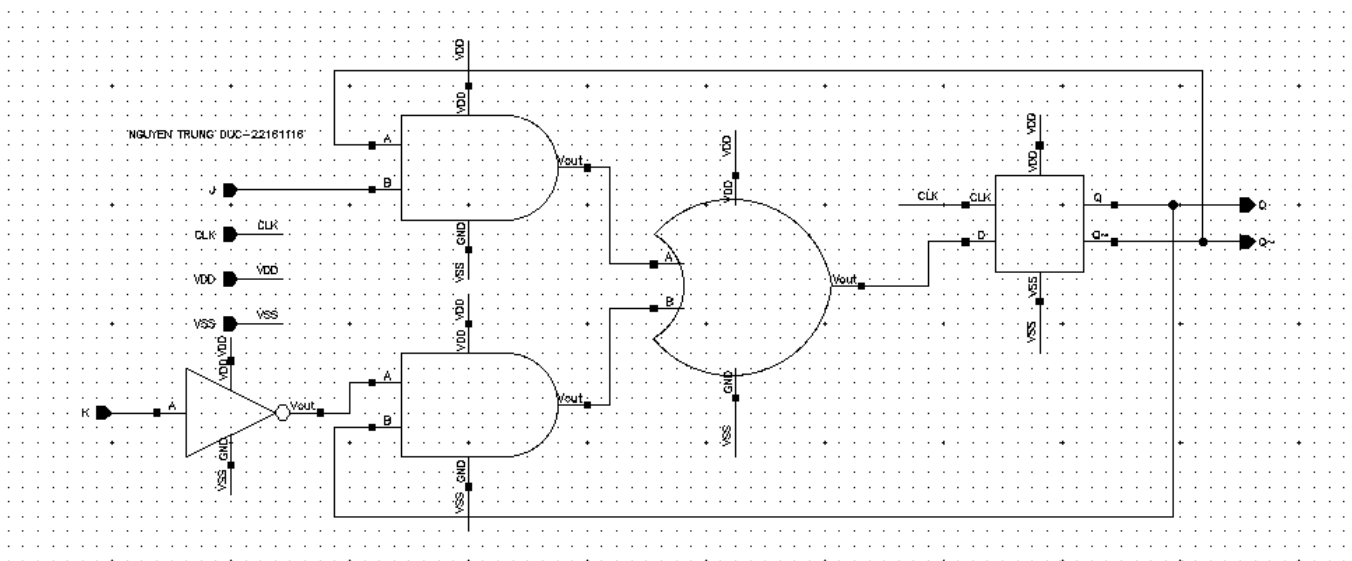
- Ta sẽ vẽ S đi qua 1 cổng AND, sau đó đi vào ngõ vào của cổng OR và lấy ngõ ra của OR nối vào ngõ vào D của Flip Flop D.
- Sau đó ta vẽ R đi qua 1 cổng NOT để đảo trạng thái hiện tại, sau đó ta cho đi qua cổng OR và cuối cùng cho đi vào ngõ vào D của Flip Flop D.
- Vậy là ta đã biến đổi từ Flip Flop D sang Flip Flop JK, nó sẽ hoạt động đúng với logic của Flip Flop JK.



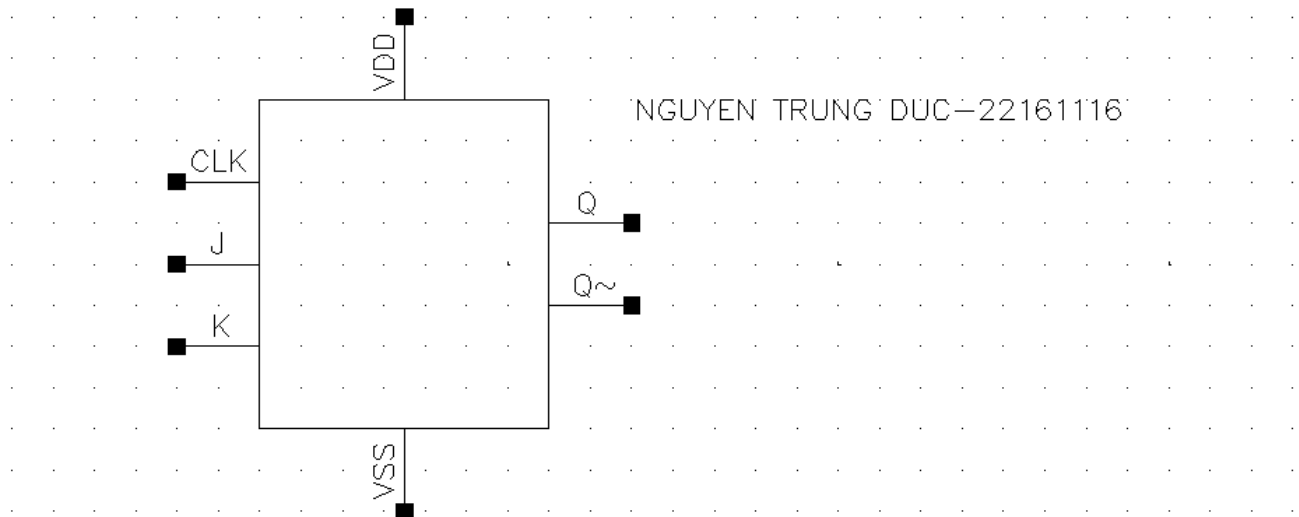
- Đây là bảng Karnaugh để cho chúng ta thấy rõ hơn.
- Truth table khi chuyển sang đúng:

J-K Input		Outputs		D Input
J	K	Q_p	Q_{p+1}	
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

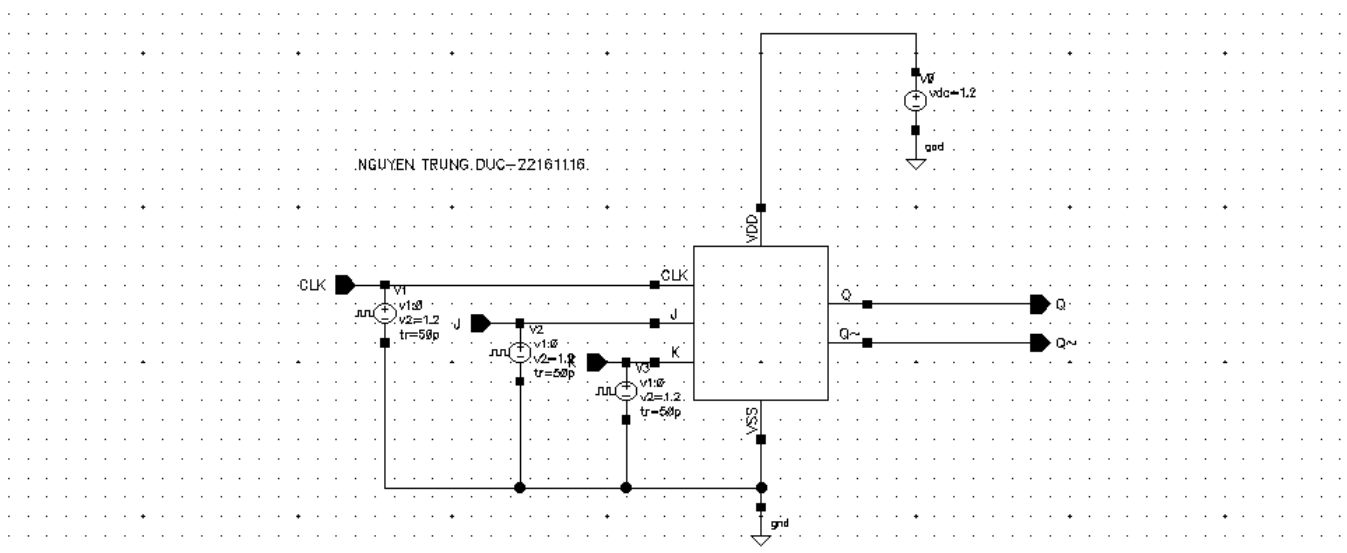
Thiết kế Flip Flop JK:

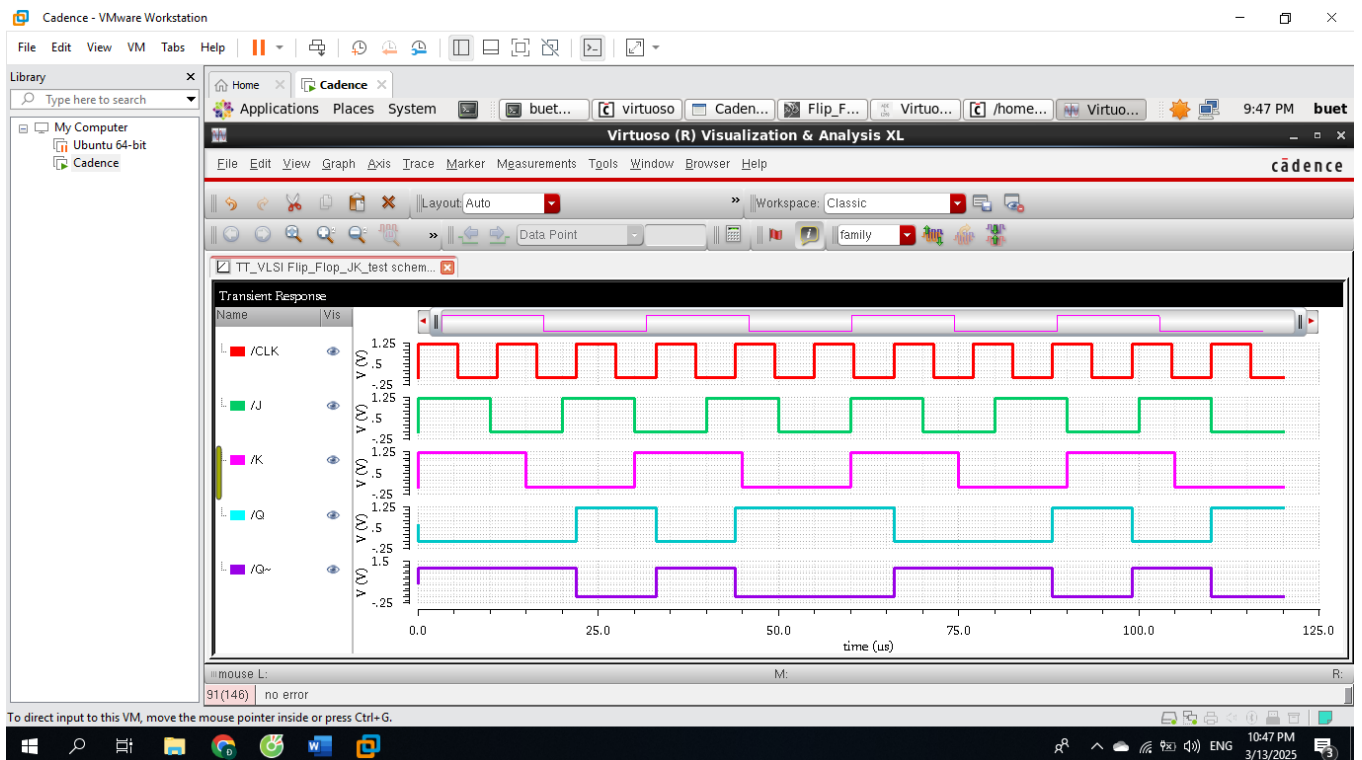


Đóng gói:

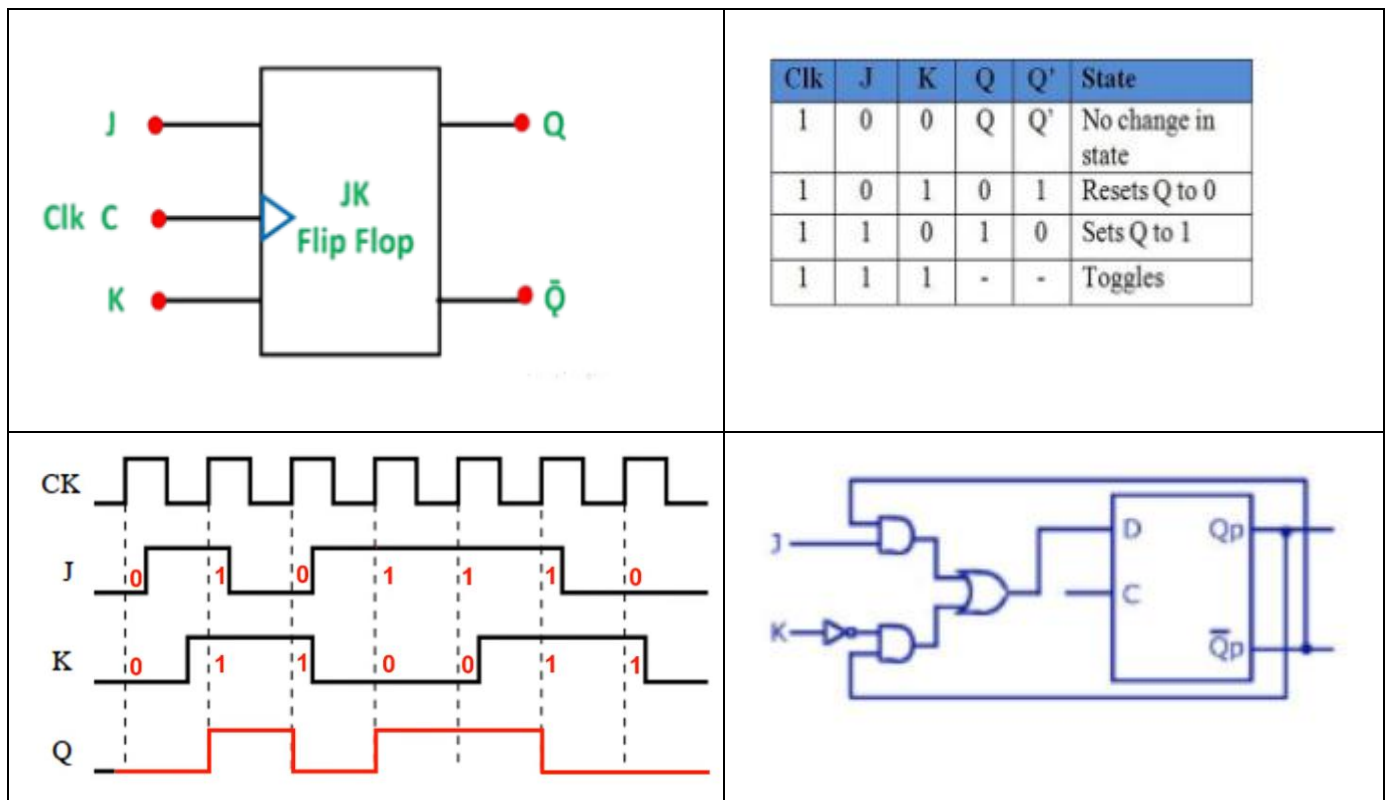


Kết quả mô phỏng:





Phân tích:



Quan sát các tín hiệu ở hình Cadence trên ta thấy:

- CLK (Clock - màu đỏ): Tín hiệu xung nhịp điều khiển Flip-Flop.
- J (màu xanh lá): Đầu vào J.
- K (màu hồng): Đầu vào K.
- Q (màu xanh dương): Đầu ra chính của Flip-Flop.
- Q~ (màu tím): Đầu ra đảo của Q (luôn nghịch pha với Q).

Nguyên lý hoạt động của Flip-Flop JK:

- Khi $J = 0, K = 0 \rightarrow$ Giữ nguyên trạng thái (Q không thay đổi).
- Khi $J = 0, K = 1 \rightarrow$ Reset (Q = 0).
- Khi $J = 1, K = 0 \rightarrow$ Set (Q = 1).
- Khi $J = 1, K = 1 \rightarrow$ Toggle (Q đổi trạng thái ở mỗi cạnh lên của xung clock).
- $Q \sim$ luôn nghịch pha với Q , xác nhận rằng Flip-Flop hoạt động đúng.

Phân tích mô phỏng:

- Tín hiệu CLK (Màu xanh lá) có dạng xung vuông và là tín hiệu điều khiển chính của Flip-Flop JK.
- Tín hiệu J và K thay đổi theo thời gian, xác định trạng thái của Q.
- Tín hiệu Q (Màu xanh dương) phản ứng theo quy tắc của Flip-Flop JK:
 - Khi $J = 0, K = 1$, Q được reset về mức 0.
 - Khi $J = 1, K = 0$, Q được đặt lên mức 1.
 - Khi $J = 1, K = 1$, Q thay đổi trạng thái mỗi khi có cạnh lên của xung CLK.
 - Khi $J = 0, K = 0$, Q Giữ nguyên trạng thái (Q không thay đổi).

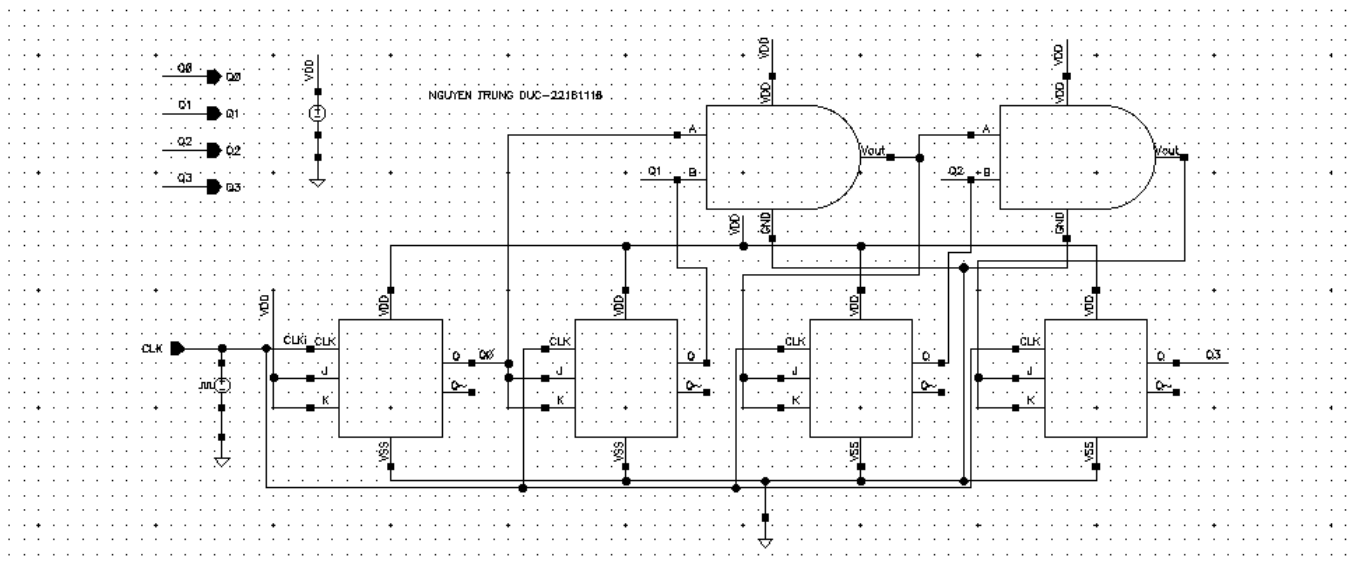
Nhận xét chung:

- Kết quả mô phỏng phù hợp với lý thuyết về Flip-Flop JK.
- Q thay đổi trạng thái đúng theo tín hiệu J, K và CLK.
- Mô phỏng này giúp kiểm tra và xác nhận hoạt động của Flip-Flop JK trước khi triển khai vào thiết kế mạch số thực tế.

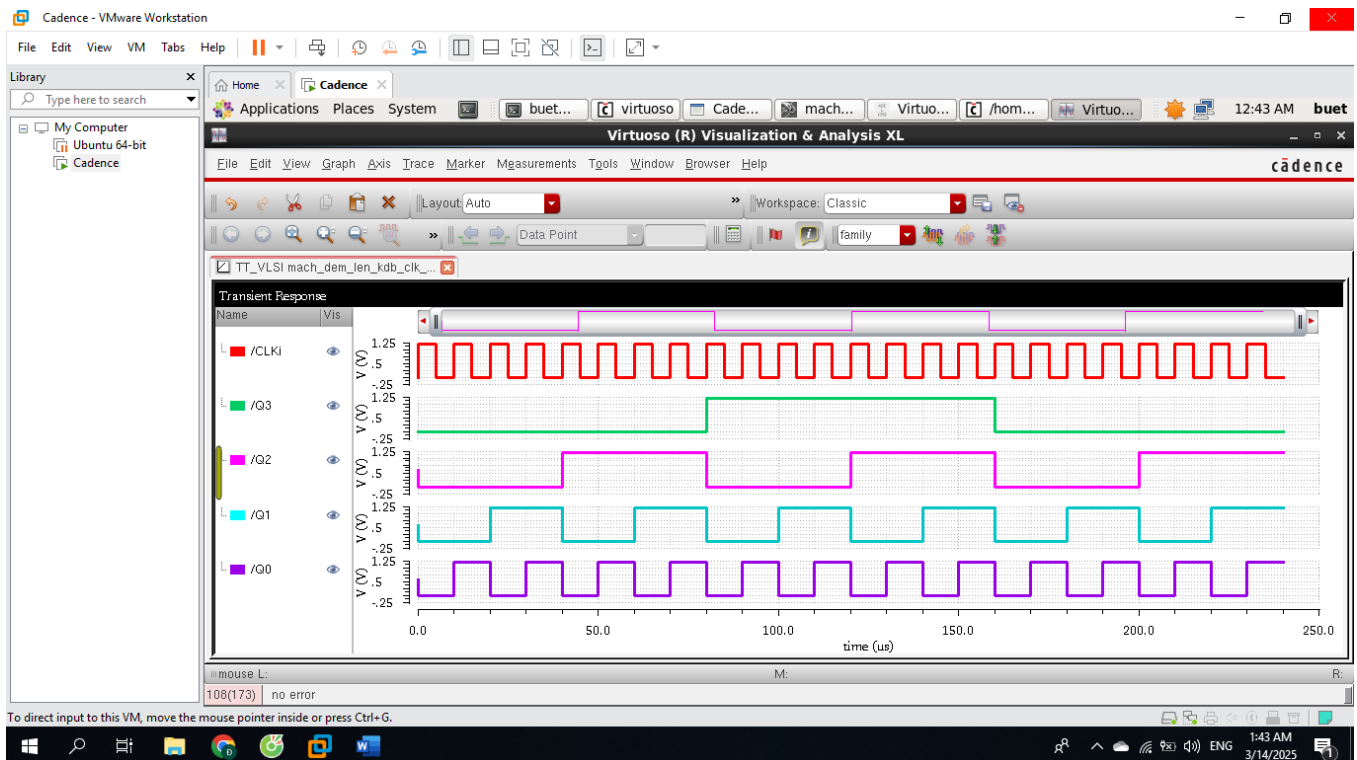
Thiết kế và mô phỏng mạch đếm đồng bộ sử dụng Flip Flop JK

- Mạch đếm lên đồng bộ (Synchronous Up Counter) với CLK cạnh lên:

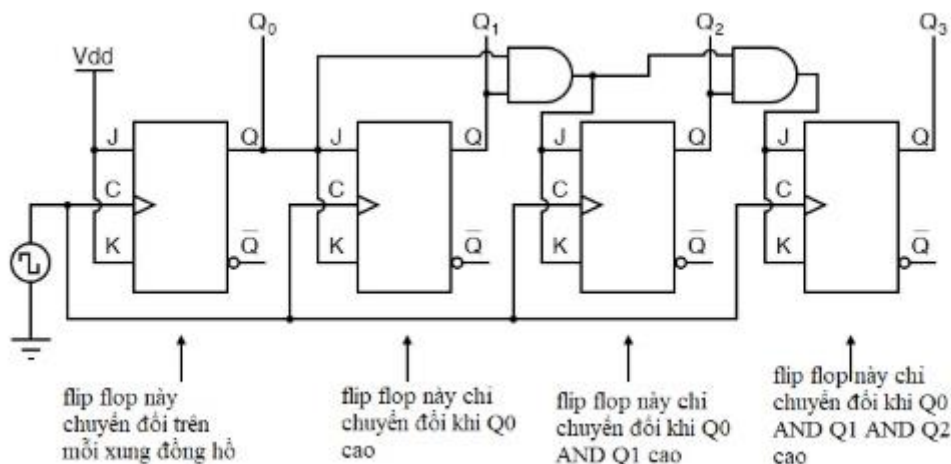
Thiết kế:



Kết quả mô phỏng:



Phân tích:



Quan sát dạng sóng tín hiệu từ kết quả mô phỏng Cadence

- CLK (màu đỏ): Đây là tín hiệu xung nhịp, mạch Flip-Flop JK sẽ thay đổi trạng thái vào cạnh lên của xung CLK.
- Q0 (màu tím nhạt): Bit ít quan trọng nhất (LSB - Least Significant Bit), thay đổi trạng thái theo từng cạnh lên của CLK.
- Q1 (màu hồng): Có tần số bằng một nửa tần số của Q0.
- Q2 (màu xanh lam): Có tần số bằng một nửa tần số của Q1.
- Q3 (màu xanh lá cây): Bit quan trọng nhất (MSB - Most Significant Bit), tần số bằng một nửa tần số của Q2.

Kiểm tra tính đúng đắn của bộ đếm lên đồng bộ

- Bộ đếm lên hoạt động theo quy luật:
- Q0 thay đổi trạng thái vào mỗi cạnh lên của CLK.
- Q1 thay đổi trạng thái khi Q0 chuyển từ 1 → 0.

- Q2 thay đổi trạng thái khi Q1 chuyển từ 1 → 0.
- Q3 thay đổi trạng thái khi Q2 chuyển từ 1 → 0.
- Quan sát chuỗi đếm từ dạng sóng:

CLK ↑	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
...
15	1	1	1	1

- Giá trị tăng dần từ 0000 → 1111, đúng với nguyên lý của bộ đếm lên nhị phân.

So sánh với bộ đếm không đồng bộ

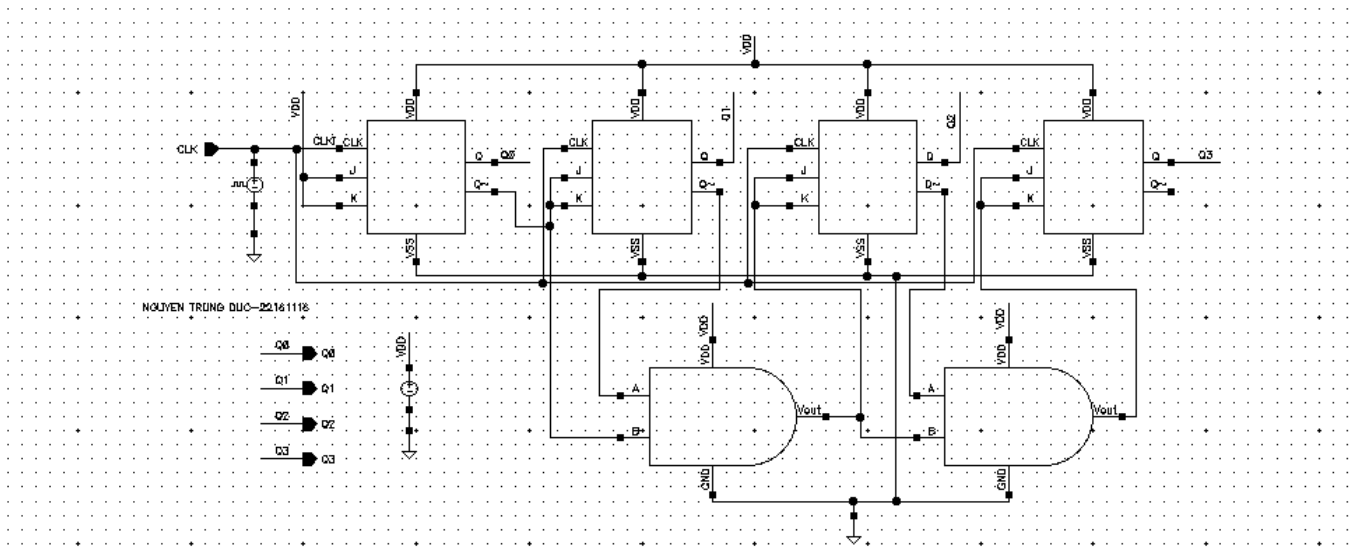
Đặc điểm	Đếm lên không đồng bộ	Đếm lên đồng bộ
Kích hoạt	Cạnh xuống của xung CLK	Cạnh lên của xung CLK
Flip-Flop	Kích hoạt không đồng bộ	Kích hoạt đồng thời
Độ trễ	Có độ trễ giữa các bit	Không có độ trễ giữa các bit
Ứng dụng	Tần số thấp, đơn giản	Tần số cao, chính xác hơn

Nhận xét và kiểm tra

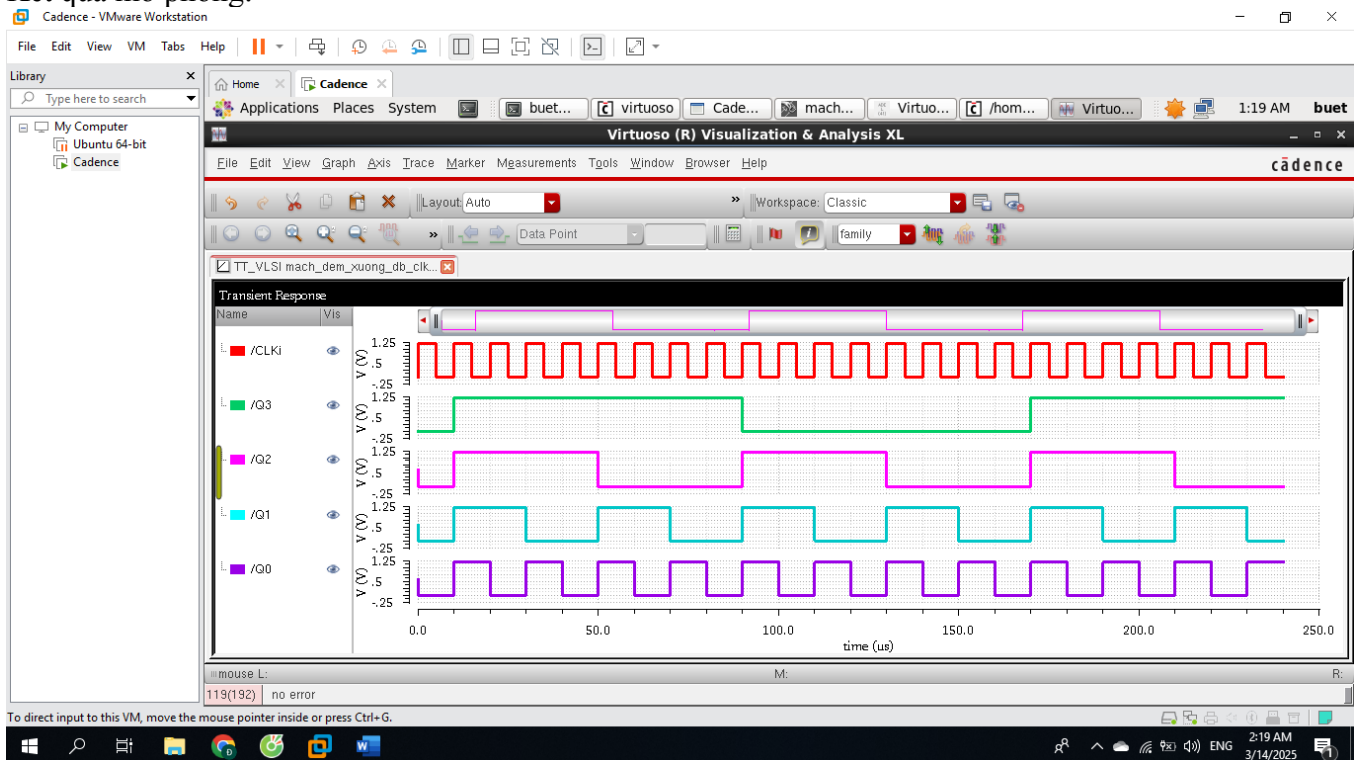
- Hoạt động chính xác: Bộ đếm tăng dần từ 0000 đến 1111 theo đúng nguyên tắc.
- Tần số đúng: Mỗi bit có tần số giảm dần theo cấp số nhân.
- CLK cạnh lên: Mạch hoạt động đúng với yêu cầu kích hoạt bằng rising edge.

- Mạch đếm xuống đồng bộ (Synchronous Down Counter) với CLK cạnh lên:

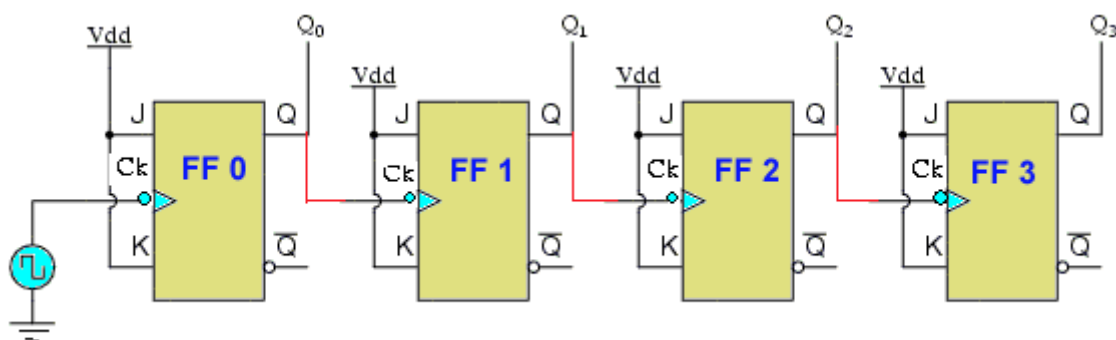
Thiết kế:



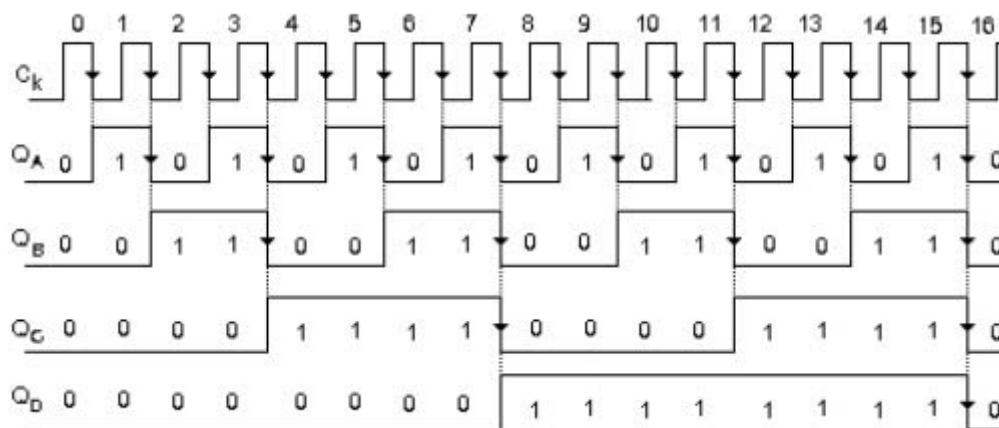
Kết quả mô phỏng:



Phân tích:



Dạng sóng ngõ ra:



Quan sát dạng sóng tín hiệu ở hình trên Cadence

- Tín hiệu CLK (màu đỏ): Đây là tín hiệu xung nhịp, có dạng sóng vuông, và là cạnh xuống (falling edge) kích hoạt Flip-Flop JK.
- Tín hiệu Q0 (màu tím nhạt): Đây là bit ít quan trọng nhất (LSB - Least Significant Bit), tần số bằng một nửa tần số của tín hiệu CLK.
- Tín hiệu Q1 (màu xanh lam): Đây là bit kế tiếp, có tần số bằng một nửa tần số của Q0.
- Tín hiệu Q2 (màu hồng): Có tần số bằng một nửa tần số của Q1.
- Tín hiệu Q3 (màu xanh lá cây): Đây là bit quan trọng nhất (MSB - Most Significant Bit), có tần số bằng một nửa tần số của Q2.

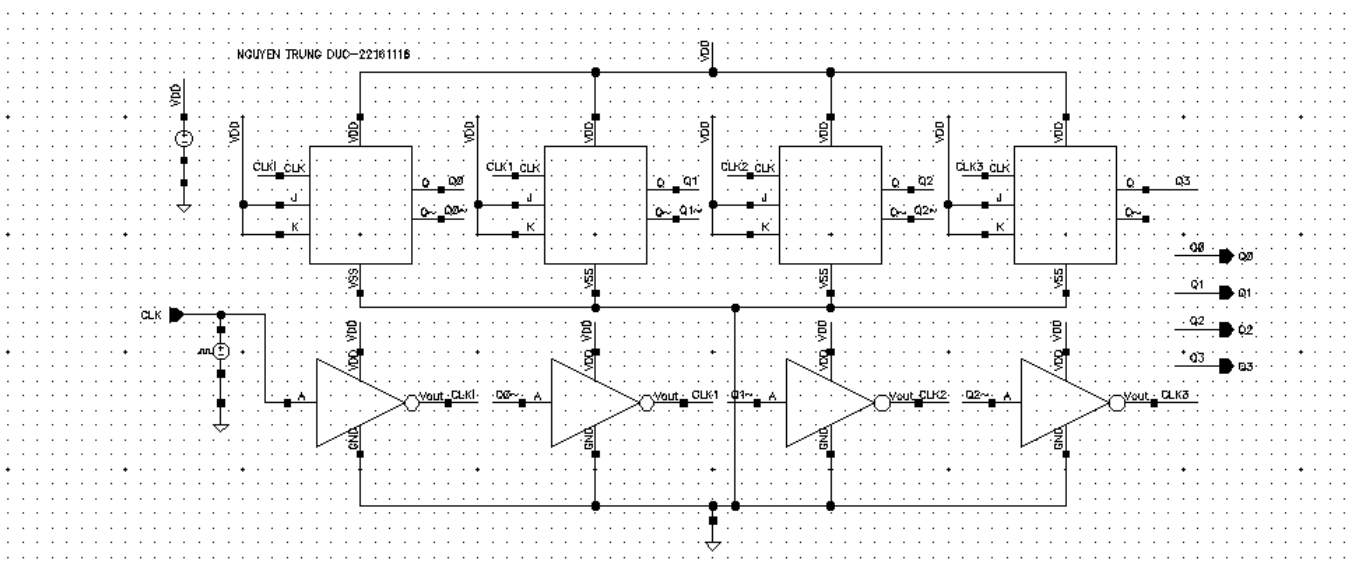
Kiểm tra tính đúng đắn của mạch đếm lên không đồng bộ

- Dạng sóng cho thấy $Q0 \rightarrow Q1 \rightarrow Q2 \rightarrow Q3$ có dạng đếm nhị phân tăng dần (binary count-up):
 - Q0 thay đổi trạng thái ở mỗi cạnh xuống của CLK.
 - Q1 thay đổi trạng thái khi Q0 chuyển từ 1 về 0.
 - Q2 thay đổi trạng thái khi Q1 chuyển từ 1 về 0.
 - Q3 thay đổi trạng thái khi Q2 chuyển từ 1 về 0.
- Giá trị đếm có dạng nhị phân (từ 0000 đến 1111), tương ứng:

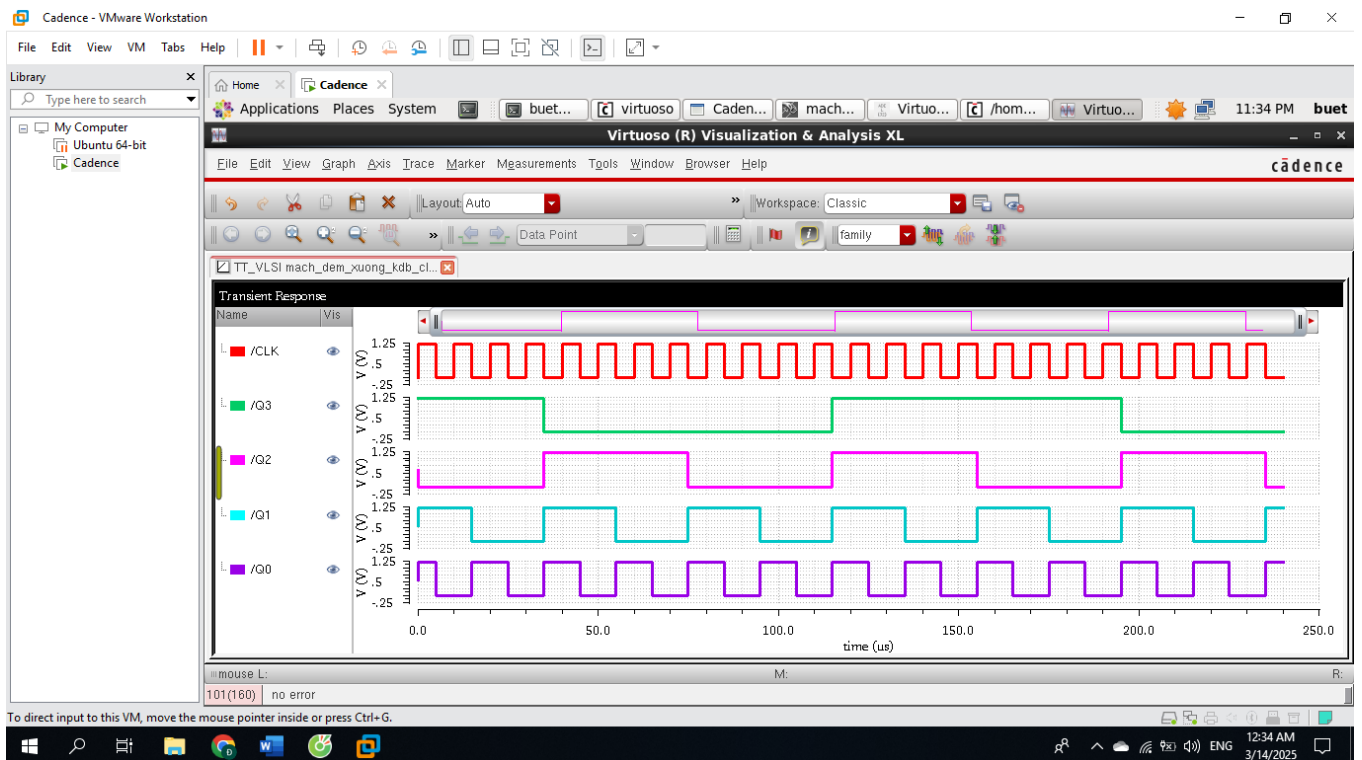
CLK ↓	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
...
15	1	1	1	1

- Như vậy, kết quả mô phỏng đúng với lý thuyết của bộ đếm nhị phân 4-bit.
- Nhận xét về hoạt động của mạch
- Hoạt động chính xác: Bộ đếm đang tăng dần từ 0000 đến 1111 và reset về 0000.
 - Tần số đúng: Mỗi bit chậm hơn 2 lần so với bit trước nó, đúng với đặc tính của bộ đếm không đồng bộ.
 - CLK cạnh xuống: Xung clock điều khiển Flip-Flop JK ở cạnh xuống như mong đợi.
- Mạch đếm xuống không đồng bộ với CLK cạnh xuống:

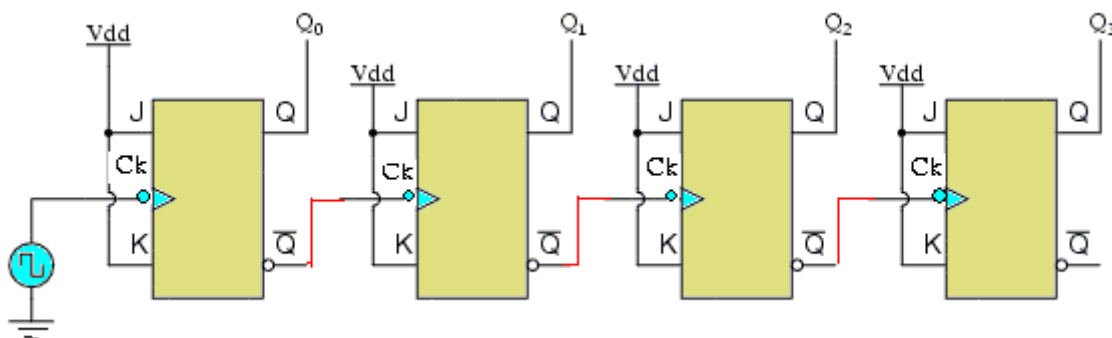
Thiết kế:



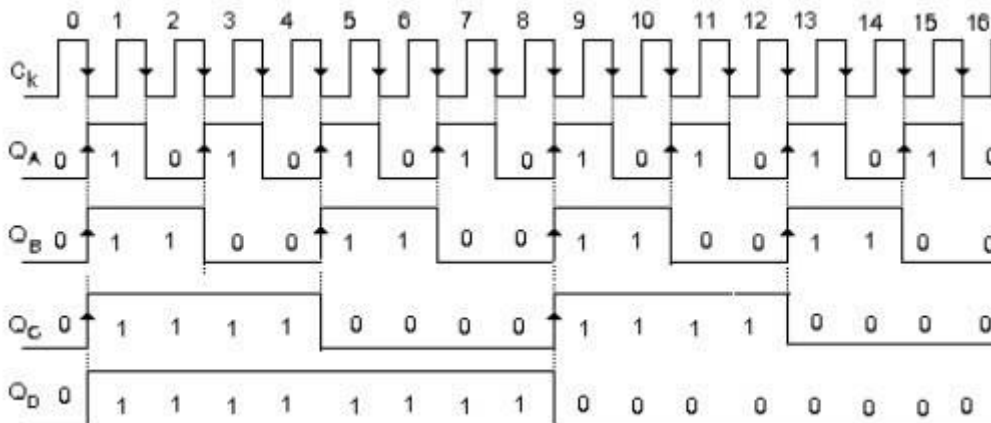
Kết quả mô phỏng:



Phân tích:



Dạng sóng ngõ ra:



Quan sát dạng sóng tín hiệu ở hình mô phỏng trên Cadence

- CLK (màu đỏ): Đây là tín hiệu xung nhịp có dạng sóng vuông. Flip-Flop JK thay đổi trạng thái vào cạnh xuống của tín hiệu CLK.

- Q0 (màu tím nhạt): Bit ít quan trọng nhất (LSB - Least Significant Bit), tần số bằng một nửa tần số của CLK.
- Q1 (màu hồng): Có tần số bằng một nửa tần số của Q0.
- Q2 (màu xanh lam): Có tần số bằng một nửa tần số của Q1.
- Q3 (màu xanh lá cây): Bit quan trọng nhất (MSB - Most Significant Bit), tần số bằng một nửa tần số của Q2.

Kiểm tra tính đúng đắn của bộ đếm xuống

Mạch đếm xuống không đồng bộ hoạt động theo quy luật:

- Bit Q0 thay đổi trạng thái tại mỗi cạnh xuống của CLK.
- Bit Q1 thay đổi trạng thái khi Q0 chuyển từ 0 → 1.
- Bit Q2 thay đổi trạng thái khi Q1 chuyển từ 0 → 1.
- Bit Q3 thay đổi trạng thái khi Q2 chuyển từ 0 → 1.

Quan sát chuỗi đếm từ dạng sóng

CLK ↓	Q3	Q2	Q1	Q0
0	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
...
15	0	0	0	0



- Giá trị giảm dần từ 1111 → 0000, tức là đếm xuống từ 15 → 0 trong hệ nhị phân, đúng với nguyên lý của bộ đếm xuống không đồng bộ.

Nhận xét và kiểm tra

- Hoạt động chính xác: Bộ đếm giảm dần từ 1111 về 0000 như mong đợi.
- Tần số đúng: Mỗi bit có tần số giảm dần theo cấp số nhân.
- CLK cạnh xuống: Mạch hoạt động đúng với yêu cầu kích hoạt bằng falling edge.

So sánh với bộ đếm lên

Đặc điểm	Đếm lên	Đếm xuống
Trạng thái bit	0000 → 1111	1111 → 0000
Flip-Flop kích hoạt	Cạnh xuống	Cạnh xuống
Bit quan trọng thay đổi	Khi bit trước đó từ 1 → 0	Khi bit trước đó từ 0 → 1
Hướng đếm	Tăng dần	Giảm dần

Vậy, kết quả mô phỏng đúng với lý thuyết của bộ đếm nhị phân lên 4-bit và xuống 4-bit không đồng bộ.

