

APB-UART DESIGN AND VERIFICATION

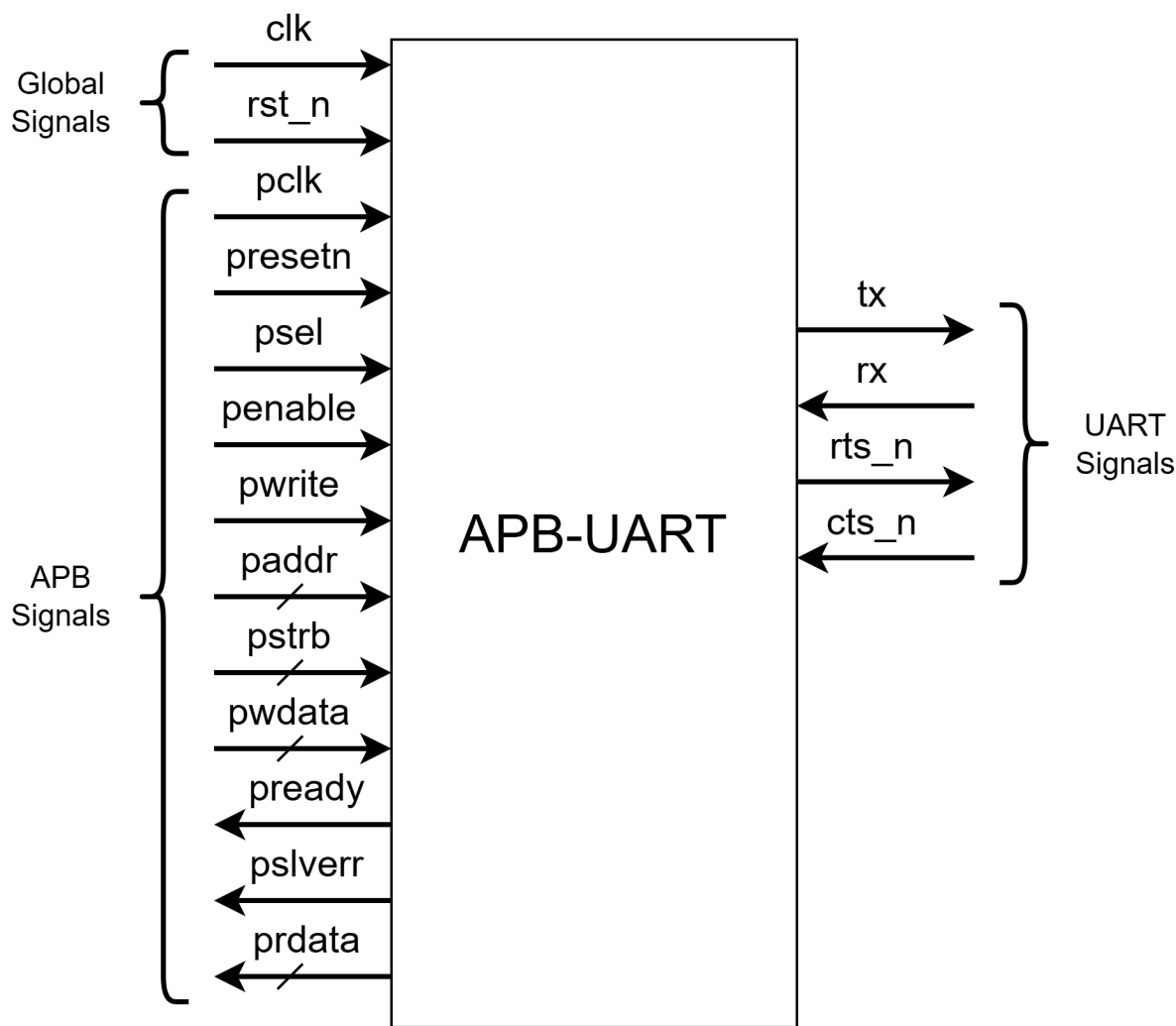
Môn học: Kiểm chứng và kiểm tra vi mạch

Giảng viên: PSG.TS Nguyễn Đức Minh

Trợ giảng: Trương Đại Dương

I. Specifications

1. Requirements



Hình 1: Sơ đồ khối mô tả top module APB-UART

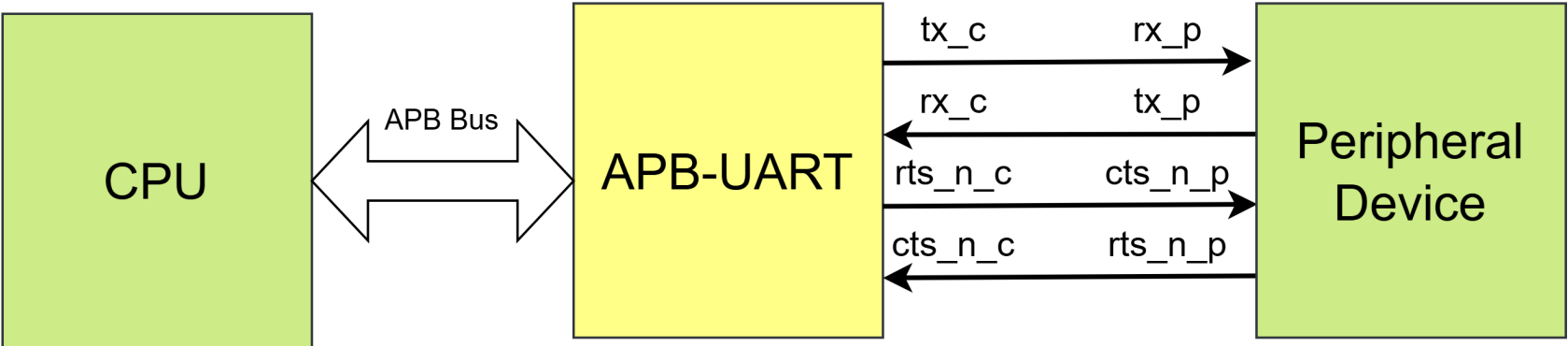
UART (Universal Asynchronous Receiver-Transmitter – Bộ truyền nhận dữ liệu không đồng bộ) là một giao thức truyền thông phần cứng dùng giao tiếp nối tiếp không đồng bộ và có thể cấu hình được tốc độ

Giao thức UART là một giao thức đơn giản và phổ biến, bao gồm hai đường truyền dữ liệu độc lập là TX (truyền) và RX (nhận). Dữ liệu được truyền và nhận qua các đường truyền này dưới dạng các khung dữ liệu (data frame) có cấu trúc chuẩn, với một bit bắt đầu (start bit), một số bit dữ liệu (data bits), một bit kiểm tra chẵn lẻ (parity bit) và một hoặc nhiều bit dừng (stop bit).

Thông thường, tốc độ truyền của UART được đặt ở một số chuẩn, chẳng hạn như 2400, 4800, 9600, 19200, 38400, 57600, 115200, 230400 baud và các tốc độ khác. Tốc độ truyền này định nghĩa số lượng bit được truyền qua mỗi giây. Các tốc độ truyền khác nhau thường được sử dụng tùy thuộc vào ứng dụng và hệ thống sử dụng.

Khung UART lập trình được, bao gồm:

- Số lượng bit dữ liệu: 5 đến 8
- Số lượng bit lẻ: 0 hoặc 1
- Loại bit lẻ (nếu có): lẻ hoặc chẵn
- Số lượng bit dừng: 1 hoặc 2



Hình 2: Hệ thống sử dụng apb_uart

Signal name	Width	I/O	Description
clk	1	Input	Tín hiệu xung nhịp (clock) hệ thống.
reset_n	1	Input	Tín hiệu đặt lại (reset) bất đồng bộ của hệ thống, tích cực ở mức THẤP (Active LOW).
pclk	1	Input	Tín hiệu xung nhịp cho giao tiếp APB.
presetn	1	Input	Tín hiệu đặt lại (reset) APB, tích cực mức THẤP, được kết nối trực tiếp với reset của hệ thống.
psel	1	Input	Tín hiệu Chọn (Select), báo hiệu rằng APB completer đã được chọn và yêu cầu truyền dữ liệu.
penable	1	Input	Tín hiệu Cho phép (Enable), báo hiệu chu kỳ thứ hai và các chu kỳ tiếp theo của quá trình truyền APB.
pwrite	1	Input	Tín hiệu Hướng (Direction), báo hiệu truy cập ghi (Write) khi ở mức CAO và truy cập đọc (Read) khi ở mức THẤP.
pstrb	4	Input	Tín hiệu Write Strobe, chỉ định các byte lane (đường byte) nào cần được cập nhật trong quá trình truyền ghi.
paddr	12	Input	Bus địa chỉ APB.
pwdata	32	Input	Dữ liệu ghi APB.
pready	1	Output	Tín hiệu Sẵn sàng (Ready), được sử dụng bởi completer để mở rộng (kéo dài) quá trình truyền APB.
pslverr	1	Output	Báo lỗi truyền (Transfer error).
prdata	32	Output	Dữ liệu đọc APB.
rx	1	Input	Nhận dữ liệu nối tiếp (Serial data receive).
cts_n	1	Input	Tín hiệu bắt tay "Xóa để gửi" (Clear-to-send), tích cực mức thấp.
tx	1	Output	Truyền dữ liệu nối tiếp (Serial data transmit).
rts_n	1	Output	Tín hiệu bắt tay "Yêu cầu gửi" (Request-to-send), tích cực mức thấp.

Bảng 1: Bảng mô tả đầu vào - đầu ra của apb_uart

2. Functional Description

`apb_uart` hoạt động dựa trên khối thanh ghi của nó, khối này cung cấp thông tin về dữ liệu cần xử lý, cấu hình khung UART, các tín hiệu điều khiển và các tín hiệu trạng thái. Để biết thêm chi tiết, hãy tham khảo Bảng 3.

Máy chủ (Host) có thể điều khiển và giám sát hoạt động của module bằng cách truy cập vào khối thanh ghi này thông qua giao thức APB.

`apb_uart` sử dụng các giá trị được máy chủ lập trình vào các thanh ghi để thực thi quá trình truyền/nhận dữ liệu thích hợp với một thiết bị ngoại vi thông qua giao thức UART.

Mỗi giao dịch UART truyền hoặc nhận một ký tự, trong đó độ rộng bit bằng với số lượng bit dữ liệu đã được cấu hình. Hình 2 minh họa cách kết nối giữa `apb_uart`, thiết bị ngoại vi và máy chủ. Các luồng điều khiển của module được thể hiện trong Hình 3 và Hình 4.

Lưu ý:

- Tín hiệu xung nhịp hệ thống và tín hiệu xung nhịp APB sẽ sử dụng cùng một tần số.
- Trong trường hợp số lượng bit dữ liệu nhỏ hơn độ rộng bit của `tx_data` / `rx_data`, các bit trọng số cao (most significant bits) của `tx_data` / `rx_data` sẽ bị che đi (masked). Ví dụ, khi số lượng bit dữ liệu là 5, chỉ có `tx_data[4:0]` / `rx_data[4:0]` là hợp lệ.

3. Registers Block

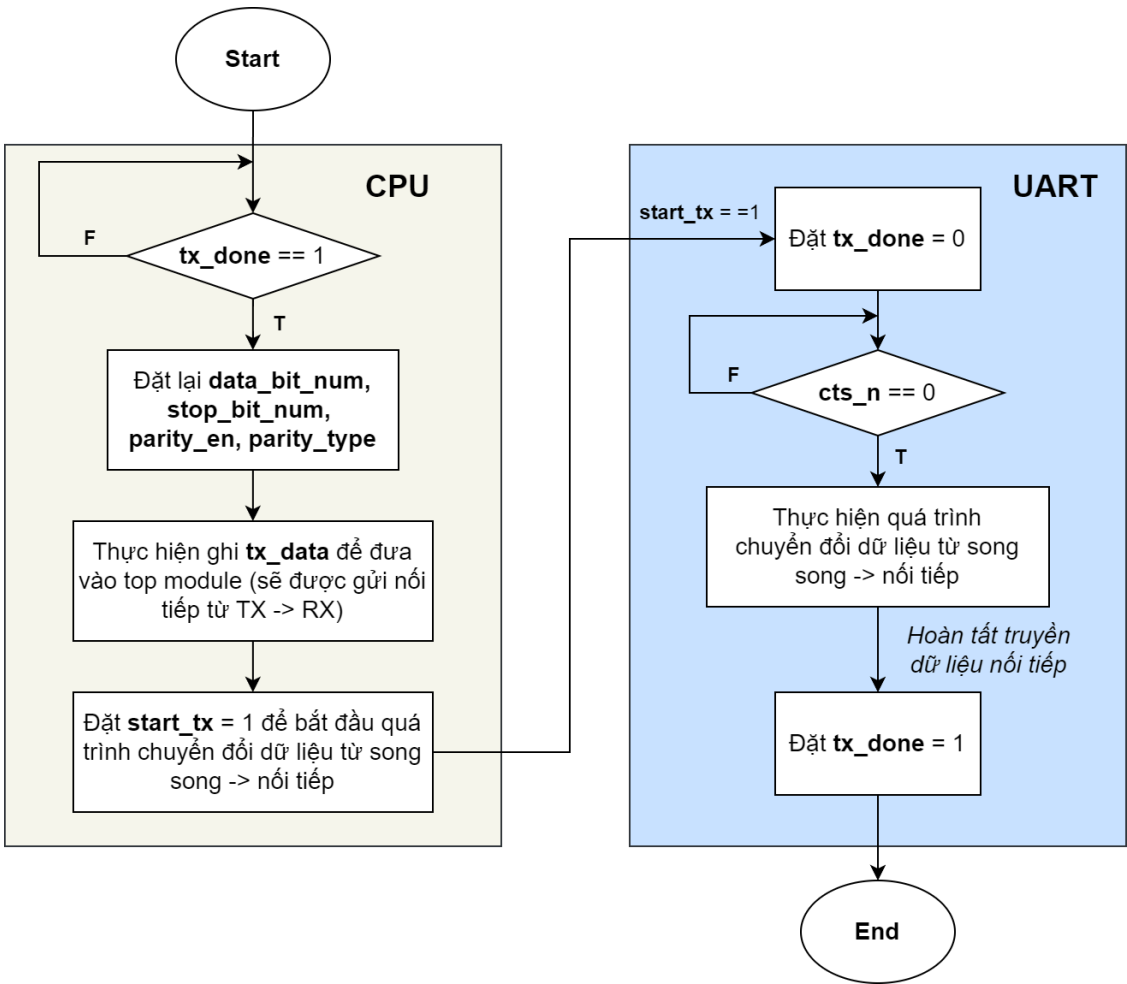
Tên thanh ghi	Mô tả thanh ghi	Địa chỉ	Quyền truy cập SW	Tên trường (Field)	Giá trị Reset	Vị trí (Bit)	Mô tả trường (Field Description)
---------------	-----------------	---------	-------------------	--------------------	---------------	--------------	----------------------------------

tx_data_reg	Thanh ghi dữ liệu TX	0x0	RW	tx_data	0	[7:0]	Dữ liệu song song từ máy chủ (host) được chuyển đổi thành dữ liệu nối tiếp để gửi tới thiết bị ngoại vi.
				rfu	0	[31:8]	Dành cho sử dụng trong tương lai (Reserved for future use).
rx_data_reg	Thanh ghi dữ liệu RX	0x4	RO	rx_data	0	[7:0]	Dữ liệu song song được lưu trữ sau quá trình chuyển đổi nối tiếp-sang-song song từ dữ liệu nhận được trên thiết bị ngoại vi.
				rfu	0	[31:8]	Dành cho sử dụng trong tương lai.
cfg_reg	Thanh ghi cấu hình khung UART	0x8	RW	data_bit_num	0	[1:0]	Số lượng bit dữ liệu: 2'b00: 5 bits 2'b01: 6 bits 2'b10: 7 bits 2'b11: 8 bits
				stop_bit_num	0	[2]	Số lượng bit dừng (Stop bits): 1'b1: 2 bits 1'b0: 1 bit
				parity_en	0	[3]	Cho phép kiểm tra chẵn lẻ (Parity): 1'b1: Bật (enable) 1'b0: Tắt (disable)
				parity_type	0	[4]	Chọn loại kiểm tra chẵn lẻ: 1'b1: Chẵn (Even) 1'b0: Lẻ (Odd)
				rfu	0	[31:5]	Dành cho sử dụng trong tương lai.
ctrl_reg	Thanh ghi điều khiển hoạt động	0xC	RW	start_tx	0	[0]	Thiết lập để bắt đầu chuyển đổi dữ liệu song song nhận từ máy chủ thành dữ liệu nối tiếp gửi tới thiết bị ngoại vi.
				rfu	0	[31:1]	Dành cho sử dụng trong tương lai.
stt_reg	Thanh ghi trạng thái hoạt động	0x10	RO	tx_done	1'b1	[0]	Được thiết lập để báo hiệu rằng quá trình chuyển đổi song song-nối tiếp trước đó đối với dữ liệu nhận từ

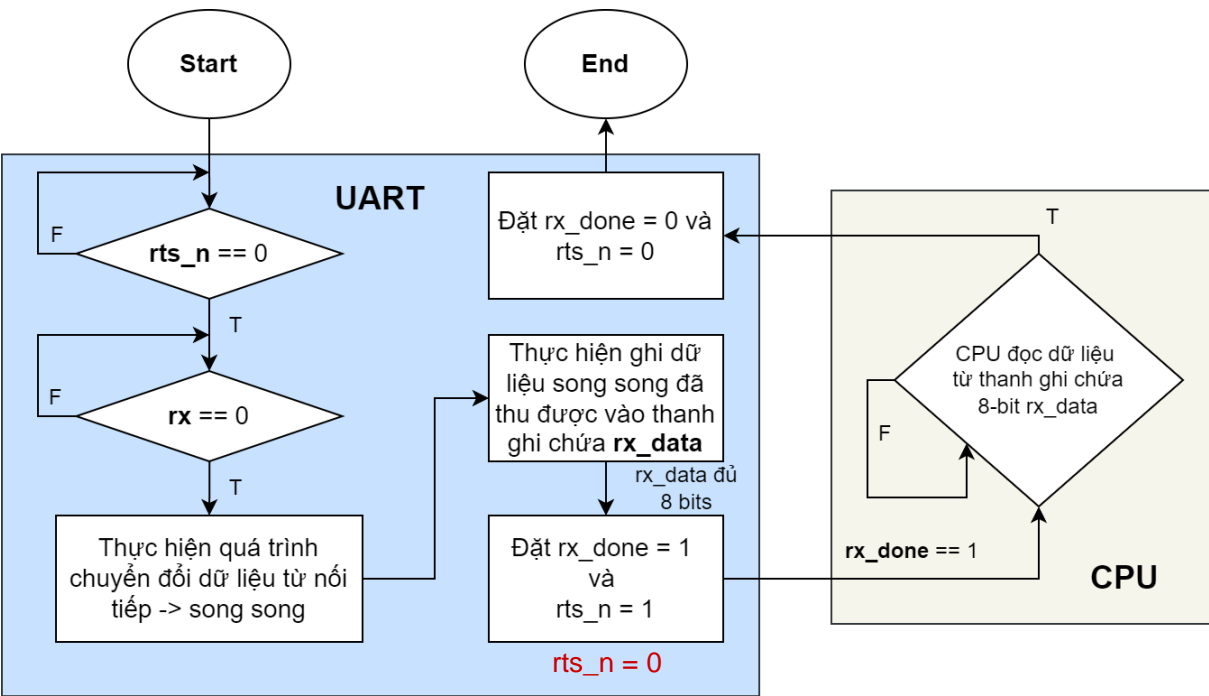
							máy chủ đã hoàn tất.
				rx_done	0	[1]	Được thiết lập để báo hiệu rằng quá trình chuyển đổi nối tiếp-sang-song song trước đó đối với dữ liệu nhận trên thiết bị ngoại vi đã hoàn tất.
				parity_error	0	[2]	Lỗi chẵn lẻ xảy ra khi tính chẵn lẻ của ký tự nhận được không khớp với tính chẵn lẻ đã tính toán.
				rfu	0	[31:3]	Dành cho sử dụng trong tương lai.

Bảng 2: Bảng mô tả register block của apb-uart

4. Lưu đồ thuật toán mô tả hoạt động của hệ thống sử dụng UART

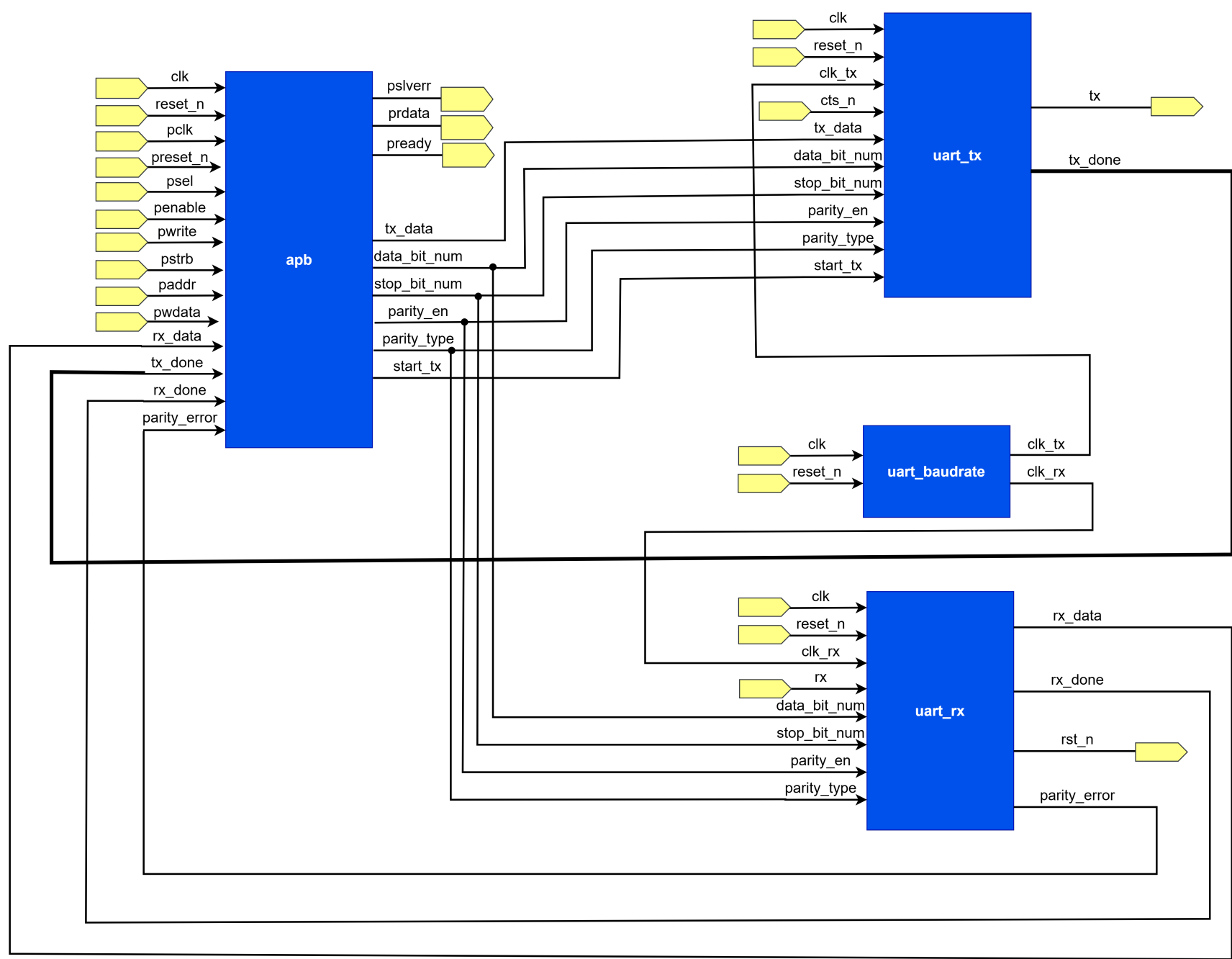


Hình 3: Lưu đồ thuật toán mô tả quá trình chuyển đổi dữ liệu từ song song → nối tiếp



Hình 4: Lưu đồ thuật toán mô tả quá trình chuyển đổi dữ liệu từ nối tiếp → song song

5. Architecture



Hình 5: uart_apb architecture

Hình 5 thể hiện kiến trúc của bộ điều khiển UART.

Các chức năng chính được thực hiện trong các module **uart_tx** (Truyền) và **uart_rx** (Nhận). Các mức ưu tiên được cập nhật dựa trên các trạng thái được tạo ra bởi các module khác:

- **uart_baudrate**: Thực hiện đếm chu kỳ baud bằng cách kích hoạt tín hiệu tick nhằm đồng bộ hóa giữa bộ phát (transmitter) và bộ nhận (receiver).
- **apb**: Gửi và nhận dữ liệu từ giao thức UART. Cấu hình các tham số của UART.