

View Full Version : [Các công nghệ chế tạo chip\(/mod: KIA Rulez\)](#)

GoldDragon

24-11-2008, 23:03

nguồn: <http://giaoducvn.net>

HQ CMOS

Công nghệ MOS (Metal Oxide Semiconductor-kim loại oxit bán dẫn) có tên gọi xuất xứ từ cấu trúc MOS cơ bản của một điện cực nằm trên lớp oxit cách nhiệt, dưới lớp oxit là đế bán dẫn. Transistor trong công nghệ MOS là transistor hiệu ứng trường, gọi là MOSFET (metal oxide silicon field effect transistor). Có nghĩa điện trường ở phía điện cực kim loại của lớp oxit cách nhiệt có ảnh hưởng đến điện trở của đế. Phần nhiều IC số MOS được thiết kế hết bằng MOSFET, không cần đến linh kiện nào khác.

Ưu điểm chính của MOSFET là dễ chế tạo, phí tổn thấp, cỡ nhỏ, tiêu hao rất ít điện năng. Kỹ thuật làm IC MOS chỉ rắc rối bằng 1/3 kỹ thuật làm IC lưỡng cực (TTL, ECL,...). Thêm vào đó, thiết bị MOS chiếm ít chỗ trên chip hơn so với BJT, thông thường, mỗi MOSFET chỉ cần 1 mi li vuông diện tích chip, trong khi BJT đòi hỏi khoảng 50 mi li vuông. Quan trọng hơn, IC số MOS thường không dùng các thành phần điện trở trong IC, vốn chiếm quá nhiều diện tích chip trong IC lưỡng cực. Vì vậy, IC MOS có thể dung nạp nhiều phần tử mạch trên 1 chip đơn hơn so với IC lưỡng cực. Bằng chứng là ta sẽ thấy MOS dùng nhiều trong vi mạch tích hợp cỡ LSI, VLSI hơn hẳn TTL. Mật độ tích hợp cao của IC MOS làm chúng đặc biệt thích hợp cho các IC phức tạp, như chip vi xử lý và chip nhớ. Sửa đổi trong công nghệ IC MOS đã cho ra những thiết bị nhanh hơn 74, 74LS của TTL, với đặc điểm điều khiển dòng gần như nhau. Do vậy, thiết bị MOS đặc biệt là CMOS đã được sử dụng khá rộng rãi trong mạch MSI mặc dù tốc độ có thua các IC TTL cao cấp và dễ bị hư hỏng do bị tĩnh điện.

Mạch số dùng MOSFET được chia thành 3 nhóm là:

- PMOS dùng MOSFET kênh P
- NMOS dùng MOSFET kênh N tăng cường
- CMOS (MOS bù) dùng cả 2 thiết bị kênh P và kênh N

Các IC số PMOS và NMOS có mật độ đóng gói lớn hơn (nhiều transistor trong 1 chip hơn) và do đó kinh tế hơn CMOS. NMOS có mật độ đóng gói gần gấp đôi PMOS. Ngoài ra, NMOS cũng nhanh gần gấp 2 lần PMOS, nhờ dữ kiện các điện tử tự do là những hạt tải dòng trong NMOS, còn các lỗ trống (điện tích dương chuyển động chậm hơn) là hạt tải dòng cho PMOS. CMOS rắc rối nhất và có mật độ đóng gói thấp nhất trong các họ MOS, nhưng nó có điểm mạnh là tốc độ cao hơn và công suất tiêu thụ thấp hơn. IC NMOS và CMOS được dùng rộng rãi trong lĩnh vực kỹ thuật số, nhưng IC PMOS không còn góp mặt trong các thiết kế mới nữa. Tuy nhiên MOSFET kênh P vẫn rất quan trọng bởi vì chúng được dùng trong mạch CMOS.

Trước khi đi vào công nghệ CMOS ta hãy tìm hiểu qua về NMOS. Cũng cần phải biết rằng PMOS tương ứng cũng giống hệt NMOS, chỉ khác ở chiều điện áp.

Hình 1.64 là cấu tạo của 1 cổng NOT loại NMOS cơ bản

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.64.gif

Mạch gồm 2 MOSFET: Q2 làm chuyển mạch còn Q1 làm tải cố định và luôn dẫn, điện trở của Q1 khoảng 100 kΩ

Ngõ vào mạch đặt ở cực G của Q2, còn ngõ ra lấy ở điểm chung của cực S Q1 và cực D Q2. Nguồn phân cực cho mạch giả sử dùng 5V.

Khi $V_{in} = 5V$, ngõ vào mức cao kích cho Q2 dẫn, trở trên Q2 còn khoảng 1K cầu phân áp giữa RQ1 và RQ2 cho phép áp ra còn khoảng 0,05V tức là ngõ ra ở mức thấp

Khi $V_{in} = 0V$, ngõ vào ở mức thấp, Q2 ngắt, trở trên nó khá lớn khoảng 1010 ohm. Cầu phân áp RQ1 và RQ2 sẽ đặt áp ngõ ra xấp xỉ nguồn, tức là ngõ ra ở mức cao.

Vậy mạch hoạt động như một cổng NOT. Cổng NOT được xem là mạch cơ bản nhất của công nghệ MOS. Nếu

ta thêm Q3 mắc nối tiếp và giống với Q2 thì sẽ được cổng NAND. Nếu ta mắc Q3 song song và giống với Q2 thì sẽ được cổng NOR. Cổng AND và cổng OR được tạo ra bằng cách thêm cổng NOT ở ngõ ra của cổng NAND và cổng NOR vừa được tạo ra.

Như đã nói ở trước, NMOS không phải để tạo ra các cổng mà thường dùng để xây dựng mạch tổ hợp, mạch tuần tự quy mô thường cỡ MSI trở lên, nhưng tất cả những mạch đó về cơ bản vẫn chỉ là tổ hợp của các mạch cổng logic được kể ra ở đây.

Một số đặc điểm của NMOS :

Tốc độ chuyển mạch: chậm hơn so với loại TTL do điện trở đầu vào khá cao đồng thời bị ảnh hưởng bởi tải dung tính mà nó thúc

Giới hạn nhiễu khoảng 1,5V với nguồn 5V và sẽ tăng tỉ lệ khi nguồn cấp tăng. Như vậy là tính kháng nhiễu kém hơn TTL

Hệ số tải: về lí thuyết là rất lớn do trở đầu vào của mạch rất lớn, tuy nhiên, nếu tần số hoạt động càng cao (trên 100KHz) thì điện dung sinh ra có thể làm suy giảm thời gian chuyển mạch kéo theo giảm khả năng giao tiếp tải. So với TTL thì NMOS vẫn có hệ số tải cao hơn hẳn trung bình là 50 cổng cùng loại.

Công suất tiêu tán: Đây là ưu điểm nổi bật của logic MOS. Thật vậy, chẳng hạn với cổng NOT ở trên khi đầu vào thấp $R_{Q1} = 100k$, $R_{Q2} = 1010\Omega$ nên dòng tiêu thụ $I = V/R = 0,5nA \Rightarrow P = U.I = 2,5nW$

Khi đầu vào cao $R_{Q1} = 100k$, $R_{Q2} = 1k$ nên dòng tiêu thụ $I = V/R = 50\mu A \Rightarrow 0,25mW$

Vậy công suất trung bình chỉ cao hơn 0,1 mW một chút, so với TTL thì nó quá nhỏ.

Chính nhờ ưu điểm này mà CMOS có thể tích hợp cỡ LSI và VLSI, nơi mà nhiều cổng, nhiều flip flop, nhiều mạch khác được tích hợp trong một chip mà không sinh ra nhiệt lớn làm hỏng chip.

Cũng cần lưu ý là logic MOS do đều được xây dựng từ các transistor MOSFET nên rất nhạy tính điện, ở phần sau ta sẽ đề cập chi tiết đến vấn đề này.

CMOS

2.1 Cấu tạo

CMOS (Complementary MOS) có cấu tạo kết hợp cả PMOS và NMOS trong cùng 1 mạch nhờ đó tận dụng được các thế mạnh của cả 2 loại, nói chung là nhanh hơn đồng thời mất mát năng lượng còn thấp hơn so với khi dùng rời từng loại một. Cấu tạo cơ bản nhất của CMOS cũng là một cổng NOT gồm một transistor NMOS và một transistor PMOS như hình 1.65

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.65.gif

Hoạt động của mạch cũng tương tự như ở NMOS

Khi ngõ vào (nối chung cực cổng 2 transistor) ở cao thì chỉ có Q1 dẫn mạnh do đó áp ra lấy từ điểm chung của 2 cực máng của 2 transistor sẽ xấp xỉ 0V nên ngõ ra ở thấp.

Khi ngõ vào ở thấp Q1 sẽ ngắt còn Q2 dẫn mạnh, áp ra xấp xỉ nguồn, tức ngõ ra ở mức cao.

Để ý là khác với cổng NOT của NMOS, ở đây 2 transistor không dẫn cùng một lúc nên không có dòng điện từ nguồn đổ qua 2 transistor xuống mass nhờ đó công suất tiêu tán gần như bằng 0. Tuy nhiên khi 2 transistor đang chuyển mạch và khi có tải thì sẽ có dòng điện chảy qua một hay cả 2 transistor nên khi này công suất tiêu tán lại tăng lên.

Trên nguyên tắc cổng đảo, cũng giống như trước bằng cách mắc song song hay nối tiếp thêm transistor ta có thể thực hiện được các cổng logic khác (hình 1.66). Chẳng hạn mắc chồng 2 NMOS và mắc song song 2 PMOS ta được cổng NAND. Còn khi mắc chồng 2 PMOS và mắc song song 2 NMOS ta được cổng NOR.

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.66.gif

2.2 Phân loại

Có nhiều loại IC logic CMOS với cách đóng vỏ (package) và chân ra giống như các IC loại TTL. Các IC có quy mô tích hợp nhỏ SSI vỏ DIP (dual inline package): với hai hàng chân thẳng hàng 14 hay 16 được dùng phổ biến.

CMOS cũ họ 4000, 4500

Hãng RCA của Mỹ đã cho ra đời loại CMOS đầu tiên lấy tên CD4000A. Về sau RCA có cải tiến để cho ra loạt CD4000B có thêm tầng đệm ra, sau này hãng lại bổ sung thêm loạt CD4500, CD4700.

Hãng Motorola (Mỹ) sau đó cũng cho ra loạt CMOS MC14000, MC14000B, MC14500 tương thích với sản phẩm cũ của RCA.

Đặc điểm chung của loạt này là :

*

Điện áp nguồn cung cấp từ 3V đến 18V mà thường nhất là từ 5 đến 15 V.

*

Chúng có công suất tiêu hao nhỏ

*

Riêng loại 4000B do có thêm tầng đệm ra nên dòng ra lớn hơn, kháng nhiễu tốt hơn mà tốc độ cũng nhanh hơn loại 4000A trước đó.

*

Tuy nhiên các loại trên về tốc độ thì tỏ ra khá chậm chạp và dòng cũng nhỏ hơn nhiều so với các loại TTL và CMOS khác. Chính vì vậy chúng không được sử dụng rộng rãi ở các thiết kế hiện đại.

Loại 74CXX

Đây là loại CMOS được sản xuất ra để tương thích với các loại TTL về nhiều mặt như chức năng, chân ra nhưng nguồn nuôi thì rộng hơn. Các đặc tính của loại này tốt hơn loại CMOS trước đó một chút tuy nhiên nó lại ít được sử dụng do đã có nhiều loại CMOS sau đó thay thế loại CMOS tốc độ cao 74HCXX và 74HCTXX. Đây là 2 loại CMOS được phát triển từ 74CXX.

74HCXX có dòng ra lớn và tốc độ nhanh hơn hẳn 74CXX, tốc độ của nó tương đương với loại 74LSXX, nhưng công suất tiêu tán thì thấp hơn. Nguồn cho nó là từ 2V đến 6V.

Còn 74HCTXX chính là 74HCXX nhưng tương thích với TTL nhiều hơn như nguồn vào gần giống TTL : 4,5V đến 5,5V. Do đó 74HCTXX có thể thay thế trực tiếp cho 74LSXX và giao tiếp với các loại TTL rất bình thường.

Ngày nay 74HC và 74HCT trở thành loại CMOS hay dùng nhất mà lại có thể thay thế trực tiếp cho loại TTL thông dụng.

Loại CMOS tiên tiến 74AC, 74ACT

Loại này được chế tạo ra có nhiều cải tiến cũng giống như bên TTL, nó sẽ hơn hẳn các loại trước đó nhưng việc sử dụng còn hạn chế cũng vẫn ở lí do giá thành còn cao.

Chẳng hạn cấu trúc mạch và chân ra được sắp xếp hợp lí giúp giảm những ảnh hưởng giữa các đường tín hiệu vào ra do đó chân ra của 2 loại này khác với chân ra của TTL.

Kháng nhiễu, trì hoãn truyền, tốc độ đồng hồ tối đa đều hơn hẳn loại 74HC, 74HCT.

Kí hiệu của chúng hơi khác một chút như 74AC11004 là tương ứng với 74HC04. 74ACT11293 là tương ứng với 74HCT293.

Loại CMOS tốc độ cao FACT

Đây là sản phẩm của hãng Fairchild, loại này có tính năng trội hơn các sản phẩm tương ứng đã có.

Loại CMOS tốc độ cao tiên tiến 74AHC, 74AHCT

Đây là sản phẩm mới đã có những cải tiến từ loại 74HC và 74HCT, chúng tận dụng được cả 2 ưu điểm lớn nhất của TTL là tốc độ cao và của CMOS là tiêu tán thấp do đó có thể thay thế trực tiếp cho 74HC và 74HCT.

Bảng sau cho phép so sánh công suất tiêu tán và trì hoãn truyền của các loại TTL và CMOS ở nguồn cấp điện 5V

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/bang_cmos_tdc.gif

Ngoài các loại trên công nghệ CMOS cũng phát triển một số loại mới gồm:

BiCMOS

Đây là sản phẩm kết hợp công nghệ lưỡng cực TTL với công nghệ CMOS nhờ đó tận dụng được cả 2 ưu điểm của 2 công nghệ là tốc độ nhanh và công suất tiêu tán thấp. Nó giảm được 75% công suất tiêu tán so với loại 74F trong lúc vẫn giữ được tốc độ và đặc điểm điều khiển tương đương. Nó cũng có chân ra tương thích với TTL và hoạt động ở áp nguồn 5V. Tuy nhiên Bi CMOS thường chỉ được tích hợp ở quy mô vừa và lớn dùng nhiều trong giao diện vi xử lý và bộ nhớ, như mạch chốt, bộ đệm, bộ điều khiển hay bộ thu phát.

Loại CMOS điện thế thấp

Đây là loại CMOS khá đặc biệt có áp nguồn giảm xuống chỉ còn khoảng 3V. Khi áp giảm sẽ kéo theo giảm công suất tiêu tán bên trong mạch nhờ đó mật độ tích hợp của mạch tăng lên, rồi tốc độ chuyển mạch cũng tăng lên điều này rất cần thiết trong các bộ vi xử lý bộ nhớ ... với quy mô tích hợp VLSI. Cũng có khá nhiều loại CMOS áp thấp, và đây là xu hướng của mai sau, ở đây chỉ nói qua về một số loại của hãng Texas Instruments

74LV (low voltage) : là loại CMOS điện thế thấp tương ứng với các vi mạch số SSI và MSI của các công nghệ khác. Nó chỉ hoạt động được với các vi mạch 3,3V khác

74LVC (low voltage CMOS) : gồm rất nhiều mạch SSI và MSI như loại 74. Nó có thể nhận mức 5V ở các ngõ vào nên có thể dùng để chuyển đổi các hệ thống dùng 5V sang dùng 3,3V khác. Nếu giữ dòng điện ở ngõ ra đủ thấp để điện thế ngõ ra nằm trong 1 giới hạn cho phép, nó cũng có thể giao tiếp với các ngõ vào TTL 5V. Tuy nhiên áp vào cao của các CMOS 5V như 74HC hay 74AHC khiến chúng không thể điều khiển từ các vi mạch LVC

74ALVC (advanced low voltage CMOS) : là loại CMOS điện thế thấp, chủ yếu để dùng cho các mạch giao diện bus hoạt động ở 3,3V

74LVT (low voltage BiCMOS) : giống như 74LVC có thể hoạt động ở logic 5V và có thể dùng như mạch số chuyển mức 5V sang 3V

Bảng sau so sánh một số đặc tính của các loại CMOS áp thấp

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/bang_COMS_dtt.gif

CMOS cực máng hờ, CMOS ra 3 trạng thái và CMOS này schmitt trigger

Tương tự như bên TTL, các cổng CMOS cũng có các loại ra hờ máng, ra 3 trạng thái và này schmitt trigger, vì có nhiều loại CMOS được sản xuất để tương thích và thay thế cho loại TTL tương ứng.

GoldDragon

24-11-2008, 23:08

CMOS racực máng hờ

Do dùng MOSFET nên ngõ ra không phải là cực thu mà là cực máng

Ở hình 1.67 trình bày hai cổng NOT CMOS thường có ngõ ra nối chung với nhau

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.67.gif

Nếu 2 đầu vào ở cao thì 2P ngắt, 2N dẫn ngõ ra mức cao bình thường.

Nếu 2 đầu vào ở thấp thì 2P dẫn, 2N ngắt ngõ ra mức thấp bình thường.

Nhưng nếu ngõ vào cổng 1 ở thấp còn ngõ vào cổng 2 ở cao thì P1 dẫn N1 ngắt, P2 ngắt N2 dẫn áp ngõ ra

sẽ là nửa áp nguồn Vdd. Áp này rơi vào vùng bất định không thể dùng kích các tải được hơn nữa với áp Vdd mà cao, dòng dẫn cao có thể làm tiêu 2 transistor của cổng.

Vậy cách để cực D ra hồ là hợp trong trường hợp này. Trong cấu trúc mạch sẽ không còn MOSFET kênh P nữa, còn MOSFET kênh N sẽ để hồ cực máng D. Ta có thể nối các ngõ ra theo kiểu nối AND hay OR và tất nhiên là cũng phải cần điện trở kéo lên để tạo mức logic cao, giá trị của R kéo lên tính giống như bên mạch loại TTL.

CMOS ra 3 trạng thái

Tương tự mạch bên TTL, mạch có thêm ngõ điều khiển G (hay C).

G ở cao 2 cổng nand nối, nên $Y = A$, ta có cổng đệm không đảo

G ở thấp ngõ ra của 2 cổng nand lên cao làm PMOS và NMOS cùng ngưng dẫn và đây là trạng thái thứ 3 hay còn gọi là trạng thái trở kháng cao (high Z), lúc bấy giờ từ ngõ ra Y nhìn ngược vào mạch thì mạch như không có (điện trở ngõ ra Y lên nguồn và xuống mass đều rất lớn).

Ngõ G cũng có thể tác động ở mức thấp

Kí hiệu logic của mạch

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.68.gif

Cổng này schmitt trigger tương tự này schmitt trigger bên mạch TTL

Cổng truyền dẫn CMOS (transmission gate :TG)

Đây là loại cổng logic mà bên công nghệ lưỡng cực không có; cổng truyền dẫn hoạt động như một công tắc đóng mở (số) để cho phép dữ liệu (dạng số) truyền qua lại theo cả 2 chiều.

Trước hết là cấu tạo của cổng truyền NMOS

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.69.gif

Tín hiệu truyền có thể là tương tự hay số miễn nằm trong khoảng 0 đến Vdd. Nhưng ở đây để dễ minh họa ta giả sử lấy nguồn cấp là 10V, áp ngưỡng của NMOS sẽ là 2V

Khi ngõ vào ở thấp, tụ sẽ không được nạp nên tất nhiên ngõ ra cũng là mức thấp

Khi ngõ vào ở cao mà đường khiển G vẫn ở thấp thì ngõ ra cũng vẫn ở thấp

Khi ngõ vào ở cao và G ở cao \Rightarrow NMOS dẫn với áp ngưỡng 2V nên tụ nạp đầy đến 8V thì NMOS ngắt, ngõ ra có thể hiểu là mức cao, do đó tín hiệu đã được truyền từ trái sang phải

Khi này mà ngõ vào xuống mức thấp thì tụ sẽ xả qua NMOS do đó ngõ ra lên cao trở lại tức là dữ liệu đã truyền từ phải sang trái

Tuy nhiên ta có nhận xét là, khi bị truyền như vậy dữ liệu đã giảm biên độ đi mất 2V. Với mạch số có thể vẫn hiểu là mức cao mức thấp, còn với mạch tương tự thì như vậy là mất mát năng lượng nhiều rồi, và nó còn bị ảnh hưởng nặng hơn khi nhiều cổng truyền mắc nối tiếp nhau.

Cổng truyền CMOS :

Hình 1.70 cho thấy cấu trúc của 1 cổng truyền CMOS cơ bản dùng 1 NMOS và 1PMOS mắc song song, cũng với những giả sử như ở trên bạn sẽ thấy CMOS khắc phục được điểm dở của NMOS và chính nó đã được sử dụng rộng rãi ngày nay.

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.70.gif

Khi G ở thấp, không cho phép truyền.

Khi G ở cao, nếu ngõ vào ở thấp ngõ ra không có gì thay đổi.

Còn nếu ngõ vào ở cao thì cả 2 transistor đều dẫn dữ liệu truyền từ trái sang phải nạp cho tụ, ngõ ra ở mức cao nhưng có 1 điểm khác ở đây là khi tụ nạp đến 8V thì NMOS ngắt trong khi PMOS vẫn dẫn mạnh làm tụ nạp đủ 10V.

Khi ngõ ra đang ở 10V, ngõ G vẫn ở cao mà ngõ vào xuống thấp thì tụ sẽ xả ngược trở lại qua 2 transistor

làm ngõ vào lên cao trở lại.

Các kí hiệu cho cổng truyền như hình

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.71.gif

2.3 Đặc tính kỹ thuật

Công suất tiêu tán

Khi mạch CMOS ở trạng thái tĩnh (không chuyển mạch) thì công suất tiêu tán PD của mạch rất nhỏ. Có thể thấy điều này khi phân tích mạch mạch cổng nand hay nor ở trước. Với nguồn 5V, PD của mỗi cổng chỉ khoảng 2,5nW.

Tuy nhiên PD sẽ gia tăng đáng kể khi cổng CMOS phải chuyển mạch nhanh. Chẳng hạn tần số chuyển mạch là 100KHz thì PD là 10 nW, còn $f=1\text{MHz}$ thì $PD=0,1\text{mW}$. Đến tần số cỡ 2 hay 3 MHz là PD của CMOS đã tương đương với PD của 74LS bên TTL, tức là mất dần đi ưu thế của mình.

Lý do có điều này là vì khi chuyển mạch cả 2 transistor đều dẫn khiến dòng bị hút mạnh để cấp cho phụ tải là các điện dung (sinh ra các xung nhọn làm biên độ của dòng bị đẩy lên có khi cỡ 5mA và thời gian tồn tại khoảng 20 đến 30 ns). Tần số chuyển mạch càng lớn thì sinh ra nhiều xung nhọn làm I càng tăng kéo theo P tăng theo. P ở đây chính là công suất động lưu trữ ở điện dung tải. Điện dung ở đây bao gồm các điện dung đầu vào kết hợp của bất kỳ tải nào đang được kích thích và điện dung đầu ra riêng của thiết bị.

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.72.gif

Tốc độ chuyển mạch (tần số chuyển mạch)

Cũng giống như các mạch TTL, mạch CMOS cũng phải có trì hoãn truyền để thực hiện chuyển mạch. Nếu trì hoãn này làm tPH bằng nửa chu kì tín hiệu vào thì dạng song vuông sẽ trở thành xung tam giác khiến mạch có thể mất tác dụng logic

Tuy nhiên tốc độ chuyển mạch của CMOS thì nhanh hơn hẳn loại TTL do điện trở đầu ra thấp ở mỗi trạng thái. Tốc độ chuyển mạch sẽ tăng lên khi tăng nguồn nhưng điều này cũng sẽ làm tăng công suất tiêu tán, ngoài ra nó cũng còn ảnh hưởng bởi tải điện dung.

Giới hạn tốc độ chuyển mạch cho phép làm nên tần số chuyển mạch tối đa được tính dựa trên tPH.

Bảng sau cho phép so sánh fmax của một số loại cổng nand loại TTL với CMOS

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/bang_tocdochuyenmachA.gif

Trong việc sử dụng các IC logic CMOS ta phải biết nhiều đặc tính và giới hạn của chúng. Các đặc tính thông dụng như áp nuôi, số toả ra, khả năng dòng ra,... thường dễ vận dụng. Tất cả các IC logic đều dùng được ở nguồn nuôi 5V. Số toả ra với cùng loại logic ít nhất là gần chục trong lúc thường chỉ cần vài. Tuy nhiên đôi khi có nghi ngờ hay sử dụng ở trường hợp áp cấp Vmax, fmax, tải thuần dung thuần cảm... hay giao tiếp giữa các IC khác loại, khác áp nguồn, nói chung là các trường hợp đặc biệt. thì ta phải tham khảo tài liệu ở data sheet hay data book. Cũng như ở bên TTL, một số đặc tính chính của CMOS được nói đến ở đây là:

Áp nguồn nuôi ký hiệu là Vdd (khác với bên TTL ký hiệu là Vcc) rất khác nhau do đó cần rất cẩn thận với nó, có thể dùng nguồn 5V là tốt nhất. Bảng sau đưa ra các khoảng áp nguồn cho từng loại CMOS.

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/bang_tocdochuyenmachB.gif

486-33Mhz

24-11-2008, 23:08

Bạn nào giải thích dùm mình cái đoạn trong ngoặc này với

Các công nghệ chế tạo chip(/mod: KIA Rulez)

GoldDragon

24-11-2008, 23:10

Điện áp vào và ra của các loại CMOS

Cũng giống như bên TTL về kí hiệu, tên gọi nhưng ở bên CMOS có phức tạp hơn do nguồn nuôi cho các loại IC thì khác nhau, ta chỉ có thể rút ra tương đối ở điều kiện nguồn Vdd = 5V. Hình và bảng ở dưới nêu ra các

thông số áp ra và vào. Riêng loại 74HCT là CMOS tốc độ cao tương thích với TTL nên thông số cũng giống như bên TTL.

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.73.gif

Dòng điện ngõ vào và ngõ ra

bảng so sánh dòng vào ra của một số loại CMOS với một số loại TTL

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/bang_dongdienngra_M.gif

Nói chung ta quan tâm đến dòng ra nhiều hơn vì đó là dòng ra max cho phép mà vẫn đảm bảo các mức logic ra đúng như ở phần trên. Còn các áp ra cũng chỉ quan tâm khi tính đến việc giao tiếp cổng khác loại khác áp nuôi.

Hệ số tải

Dòng ra của các CMOS khá lớn trong lúc điện trở vào của các CMOS lại rất lớn (thường khoảng 1012 ohm) tức dòng vào rất nhỏ nên số toả ra rất lớn. Nhưng mỗi cổng CMOS có điện dung ngõ vào thường cũng khoảng 5pF nên khi có nhiều cổng tải mắc song song số điện dung tăng lên làm tốc độ chuyển mạch chậm lại khiến số toả ra ở tần số thấp (dưới 1MHz) là vài chục, còn ở tần số cao số toả ra giảm chỉ còn dưới 10.

Tính kháng nhiễu

Về đặc tính chuyển (trạng thái) nói chung các loại CMOS đều chuyển trạng thái khá dứt khoát trừ loại 4000A bởi vì chúng có tầng đệm ở trước ngõ ra

Về giới hạn nhiễu nói chung là tốt hơn các loại TTL. Tốt nhất là loại 4000A,B. Giới hạn nhiễu sẽ còn tốt hơn nếu ta tăng nguồn nuôi lớn hơn 5V, tuy nhiên lúc này tổn hao cũng vì thế tăng theo. Cách tính lề nhiễu mức cao và mức thấp vẫn như trước, tức là:

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min)$$

$$V_{NL} = V_{IL}(\max) - V_{IH}(\max)$$

CÁC IC CỔNG LOGIC

Có rất nhiều IC loại CMOS có mã số và chức năng logic tương tự như các IC TTL chẳng hạn bên TTL IC 4 cổng nand 2 ngõ vào là 7400, 74LS00, 74AS00,... thì bên CMOS cũng tương tự có 74C00, 74HC/HCT00, 74AC11000,... Tuy nhiên không phải tất cả bên TTL có thì bên CMOS cũng có. CMOS cũng còn có những loại riêng, chẳng hạn với cổng nand schmitt trigger ngoài 74HC/HCT14 gồm 6 cổng đảo, 74HC/HCT132 gồm 4 cổng nand 2 ngõ vào còn có 4014, 4534 cũng gồm 6 cổng đảo, 4093 cũng gồm 4 cổng nand 2 ngõ vào; hay 4066 là cổng truyền 2 chiều số tương tự vv...

Hình 1.74 là sơ đồ chân ra của một số cổng logic loại 4000 cũng hay dùng

http://giaoducvn.net/codientu/ki_thuat_cdt/dien_tu/vi_mach_so/chuong_1/images_c1/h1.74.gif

GoldDragon

24-11-2008, 23:15

SOI: công nghệ thúc đẩy tốc độ xử lý của vi mạch

Một công nghệ được rất nhiều hãng như IBM, AMD hay Intel nghiên cứu và phát triển đó là SOI (Silicon - on - Insulator - Cách điện trên phiến Silíc). Các nghiên cứu cho thấy công nghệ SOI làm giảm công suất tiêu thụ và cho phép tăng tốc độ xử lý của các CPU, đồng thời cũng hỗ trợ cho công nghệ sản xuất CPU xuống dưới 0,1mm. Đây thực sự là một bước đột phá trong việc chế tạo các vi mạch. Bài viết xin giới thiệu cơ bản về công nghệ SOI và tương lai của công nghệ này.

GIỚI THIỆU

Trong lĩnh vực điện tử, mật độ transistor và tốc độ quyết định hiệu suất xử lý. Tiếp theo sự phát minh ra mạch tích hợp, các máy tính ngày càng trở nên nhanh hơn và rẻ hơn. Điều này có thể đạt được đó là nhờ các công nghệ bán dẫn được cải tiến. Một công nghệ được rất nhiều hãng như IBM, AMD hay Intel nghiên cứu và phát triển đó là SOI (Silicon - on - Insulator - Cách điện trên phiến Silíc). Các nghiên cứu cho thấy công nghệ SOI làm giảm công suất tiêu thụ và cho phép tăng tốc độ xử lý của các CPU, đồng thời cũng hỗ trợ cho công nghệ sản xuất CPU xuống dưới 0,1mm. Đây thực sự là một bước đột phá trong việc chế tạo các vi

mạch. Bài viết xin giới thiệu cơ bản về công nghệ SOI và tương lai của công nghệ này.

CÔNG NGHỆ SOI

Các công nghệ chế tạo vi mạch hiện tại

Vật liệu bán dẫn là một loại vật liệu không dẫn điện ở điều kiện thường nhưng dẫn điện ở một điều kiện đặc biệt nào đó. Công nghệ hiện tại dựa vào một lớp ôxít kim loại nằm trên phiến silíc kết nối bởi các đường hợp chất dẫn điện. Lớp kim loại ôxít đóng vai trò như một transistor, khi được nối với nguồn có điện thế cao, lớp ôxít này làm cho phần silíc bên dưới trở nên dẫn điện và cho dòng điện được truyền từ cầu nối này qua cầu nối kia, tạo thành các vi mạch điện tử thuộc loại "bật/tắt" hay "1/0" - nguồn gốc của công nghệ máy vi tính hiện đại (Hình 1).

http://www.tapchibcv.gov.vn/Uploaded/articlefiles/nguyenly_lamviec_cua_vimach_dientu.gif

Khi làm việc, dòng điện sẽ chạy từ cầu nối có điện thế cao sang cầu nối có điện thế thấp mỗi khi phiến silíc dẫn điện. Người ta điều khiển việc này bằng cách cho dòng điện đi qua lớp ôxít bên trên khi nào cần dẫn điện và ngắt khi không cần.

Công nghệ này được gọi là công nghệ MOS (Metal Oxide Semi-Conductor - bán dẫn ôxít kim loại). Một công nghệ khác nữa là CMOS (Complimentary MOS - MOS bổ trợ), CMOS chỉ yêu cầu điện thế thấp chạy qua lớp ôxít kim loại, ngược với MOS. Hầu hết các thiết bị bán dẫn, đặc biệt là máy tính, đều dùng một hoặc cả hai công nghệ này.

Các cầu nối trên càng ngày càng nhỏ đi cùng với sự thu nhỏ của liên kết CPU qua các công nghệ 0,25 \rightarrow 0,18 \rightarrow 0,13 μ m... Công nghệ nói trên càng ngày càng khó áp dụng mà không xảy ra hiện tượng đóng điện chéo qua các cầu khác không liên quan nằm bên cạnh do chúng nằm quá sát nhau. Do vậy, công nghệ này cần phải được thay đổi nếu muốn có được những bước tiến mới trong sản xuất các linh kiện bán dẫn nói chung, và sản xuất CPU nói riêng.

Các cải tiến khác cho công nghệ MOS/CMOS có sẵn cũng mang đến một sự tiến bộ nào đó, bằng chứng là cả AMD và Intel đều đã sản xuất sản phẩm của mình bằng công nghệ 0,13 μ m.

Thông qua các thử nghiệm, hầu hết các nhà sản xuất đều đồng ý rằng công nghệ CMOS không thể giảm xuống dưới 0,1 μ m. Điều này chỉ có thể đạt được với công nghệ SOI.

Công nghệ SOI

Trong công nghệ SOI, một lớp vật liệu cách điện được chèn vào giữa phiến silíc, để lại một phần silíc nhỏ ở giữa các cầu nối (Hình 2). Lợi thế của SOI là với sự chèn thêm lớp cách điện này, điện dung của tụ silíc giữa các cầu được cực tiểu hoá, do đó giảm thời gian cần thiết để thoát/ nạp, để mở và đóng cầu nối. Điều này giúp tăng số công việc xử lý được trong một đơn vị thời gian.

http://www.tapchibcv.gov.vn/Uploaded/articlefiles/congnghe_soi.gif

Hình 3 là một ví dụ so sánh giữa một mạch điện MOS và một mạch điện SOI. Điểm bất lợi của vi xử lý dùng công nghệ MOS là phần silíc ở giữa các cầu nối (có vai trò như một tụ điện) phải nạp được điện dung tối đa để có thể đóng - và lại phải thoát hết điện dung khi mở. Việc này tốn thời gian xử lý, lãng phí thời gian xử lý trên CPU và là điều mà cả các nhà sản xuất lẫn chúng ta đều không mong muốn. Còn đối với công nghệ SOI thì phần silíc giữa các cầu nhỏ, thời gian tích điện nhỏ, tốc độ nhanh.

Lớp cách điện được dùng trong công nghệ SOI phổ biến là một dạng của ôxít silíc hay thậm chí thuỷ tinh, nhưng có cấu trúc khác với cấu trúc pha lê dẫn điện của phiến silíc.

http://www.tapchibcv.gov.vn/Uploaded/articlefiles/sosanh_congnghe_mos_va_soi.gif

Về mặt hoá học, rất khó có thể ghép được 2 lớp silíc có cấu trúc pha lê và không phải pha lê với nhau. Hãng IBM đã sử dụng một kĩ thuật có tên là SIMOX (Seperation by Implantation of Oxygen - ngăn cách bởi phương pháp cấy khí ôxi) để tạo một lớp ngăn cách bằng ôxít silíc (SiO₂) trên phiến silíc. Khí ôxi được ép lên bề mặt của bề mặt phiến silíc ở áp suất và nhiệt độ cao, khi đó silíc phản ứng với ôxi tạo nên một lớp ôxít silíc bám vào phiến silíc bên dưới. Tức là họ không tìm cách hàn gắn hai phần silíc và ôxít silíc vào nhau mà tạo một lớp ôxít silíc ngay trên phần silíc có sẵn (Hình 4).

http://www.tapchibcv.gov.vn/Uploaded/articlefiles/phuongphap_simox.gif

Ưu điểm của SOI

SOI có nhiều ưu điểm. Thứ nhất, việc giảm thời gian đóng mở các cầu nối có nghĩa rằng các bộ vi xử lý dùng công nghệ này sẽ nhanh hơn đến 30% so với các bộ vi xử lý dùng công nghệ MOS/CMOS nếu có cùng một xung đồng hồ như nhau.

Một ưu điểm nữa của SOI là các vi xử lý dùng công nghệ này sẽ yêu cầu công suất thấp hơn nhiều so với MOS/CMOS. Một xu hướng vài năm gần đây là khi mọi người sử dụng nhiều công nghệ tiên tiến hơn thì công suất của các bộ vi xử lý càng tăng theo. Ví dụ, vi xử lý 486 yêu cầu công suất khoảng 5W, trong khi đó một vi xử lý Pentium tiêu tốn khoảng 10W và một vi xử lý Pentium II 400MHz có công suất tiêu thụ khoảng 28W. Công suất tăng có nghĩa là hạn chế những ứng dụng của các bộ vi xử lý, đặc biệt là trong các ứng dụng di động. Khả năng của công nghệ SOI là yêu cầu một nguồn công suất thấp xuất phát từ thực tế mạch điện SOI có thể hoạt động tại điện thế thấp với cùng hiệu suất như công nghệ CMOS tại điện thế cao. Do đó, SOI sẽ có một tác động rất lớn vào các ứng dụng yêu cầu công suất thấp chẳng hạn như các ứng dụng vô tuyến và xách tay.

Bên cạnh đó, SOI cho phép thu nhỏ vi mạch lại đáng kể. Việc thu nhỏ tiến trình sản xuất xuống 90nm (0,09µm) hay thấp hơn cùng với SOI có nghĩa rằng các bộ vi xử lý sẽ được tăng tốc rất nhanh và tốc độ 5-10GHz sẽ sớm đạt được.

TƯƠNG LAI CỦA CÔNG NGHỆ SOI

Tuy SOI có rất nhiều ưu điểm so với MOS/CMOS nhưng nó sẽ không thay thế hoàn toàn MOS/CMOS mà chỉ tối ưu hoá cho hai công nghệ này. SOI sẽ được kết hợp với các công nghệ khác để tạo ra các loại vi xử lý mới. AMD, Intel và IBM đang nghiên cứu công nghệ 90nm, bước tiếp theo trong quá trình phát triển công nghệ chế tạo vi mạch. Intel hi vọng sẽ đưa ra bộ vi xử lý Pentium 4 dựa trên công nghệ này vào nửa cuối năm 2003, trong khi đó các sản phẩm của AMD sẽ được đưa vào sản xuất trong quý 4 năm 2003 và đưa ra thị trường vào quý 1 năm 2004. Và vừa qua, IBM và AMD đã ký một thoả thuận cùng nghiên cứu và phát triển các loại vi xử lý mới dựa trên công nghệ 65nm và 45nm. Đây thực sự là một bước tiến to lớn trong công nghệ chế tạo vi mạch và thúc đẩy việc ứng dụng rộng rãi vi mạch vào tất cả các lĩnh vực như công nghệ thông tin, viễn thông và tự động hoá.
nguồn: <http://www.tapchibcv.gov.vn>

matrix103dpi

24-11-2008, 23:19

dài, đọc ko hết, và sai box

GoldDragon

24-11-2008, 23:21

công nghệ High-K Metal Gate

Để giữ đúng định luật Moore, cứ sau mỗi 24 tháng kích thước transistor phải được giảm xuống một nửa, và tương đương như vậy, các thành phần nhỏ nhất của transistor phải giảm còn 70%. Tuy nhiên, có một thành phần quan trọng mà kích thước của nó đã đạt tới mức giới hạn, không thể nhỏ hơn được nữa. Đó là lớp silicon dioxide (SiO₂) mỏng đóng vai trò cách điện giữa cực cổng (gate) và kênh (channel), nơi dòng điện chạy qua khi transistor ở trạng thái "mở" (hình 1). Lớp cách điện này mỏng dần với mỗi thế hệ chip mới, và đã giảm tới 10 lần kể từ năm 1990. Ở hai thế hệ chip trước Penryn, lớp cách điện chỉ còn lại độ dày của khoảng 5 nguyên tử (đường kính nguyên tử đơn Silicon là 0,26nm).

Lớp cách điện silicon dioxide mỏng là một vấn đề lớn, nó mất dần khả năng cách điện. Bắt đầu từ những thế hệ chip từ 1990, đã có hiện tượng rò rỉ điện qua lớp cách điện này. Cho đến cách đây 2 năm, cường độ rò rỉ đã tăng lên 100 lần. Cuối cùng, dẫn đến vấn đề năng lượng bị tiêu hao do chip nóng lên dưới tác động của dòng điện tử không mong muốn. Như vậy việc làm mỏng hơn nữa lớp silicon dioxide là không thể.

Với rào cản tưởng chừng không thể vượt qua này, ngành công nghiệp bán dẫn dường như đang đi đến chỗ bế tắc, và định luật Moore cũng phải kết thúc tại đây...

Điều đáng sợ trên sẽ trở thành mối đe dọa thật sự nếu như không có một phát kiến mang tính cách mạng.

Giải pháp cho vấn đề trên là làm dày thêm lớp cách điện, nhưng phải bằng chất liệu khác có đặc tính cách điện tốt hơn. Tuy nhiên đây chỉ là một nửa của vấn đề, bởi rắc rối còn ở chỗ cổng silicon (điện cực) sẽ không chịu làm việc với vật liệu cách điện mới. Và nếu giữ thiết kế như vậy, transistor theo cách mới làm việc còn tệ hơn transistor cũ. Câu trả lời cho vấn đề này là sử dụng kim loại thay thế cho silicon truyền thống để làm cực cổng (gate).

Kiến thức nền tảng về transistor

http://www.sds.com.vn/images/stories/Image/News/a0711_cn_118h1.gif

Cấu tạo của bộ vi xử lý, bộ nhớ và các loại chip khác đều dựa trên hàng trăm, hàng triệu transistor, thành phần bán dẫn cơ bản. Loại transistor được dùng ở đây là transistor hiệu ứng trường MOSFET (metal-oxide-

semiconductor field effect transistor). Thực chất, transistor đóng vai trò của một công tắc: điện thế đặt vào cực cổng (gate) có tác dụng bật và tắt (cho qua và ngăn lại) dòng điện tích giữa hai cực khác: cực nguồn (source) và cực máng (drain); kênh (channel) là nơi dòng điện tích di chuyển (hình 2). MOSFET có hai loại, N-MOS và P-MOS, tùy thuộc vào cấu tạo hóa học của các thành phần (loại N hay P). Các transistor được bố trí trên một tấm silicon đơn, và bằng phương pháp hóa học người ta tạo ra các vùng loại N hoặc P ngay trên tấm silicon. Mạch tích hợp (IC – integrated circuit) bao gồm luôn cả hai loại transistor N và P.

Lấy ví dụ transistor NMOS. Vùng nguồn và máng được cấu tạo từ N-silicon, giữa chúng là P-silicon được gọi là kênh, nơi có dòng điện tích. Phần trên của kênh có một lớp mỏng cách điện dioxide silicon (SiO_2), được gọi là cổng oxide (gate oxide), và đây chính là phần gây ra mọi phiền toái mà cả ngành công nghiệp phải quan tâm.

Bên trên cổng oxide là điện cực, thường được cấu tạo từ silicon đa tinh thể (polycrystal silicon, hay ngắn gọn là polysilicon). Trong trường hợp NMOS thì điện cực cũng thuộc loại N. Khi có điện áp dương tại cực cổng, nó tạo ra điện trường đẩy các điện tích dương (hole) đi và hút các điện tử để tạo ra dòng điện (on) giữa nguồn và máng.

Với PMOS transistor, mọi thứ đều ngược lại với NMOS. Nguồn và máng là P, kênh là N, và cực cổng là P. Nó làm việc cũng theo cách đối lại, tức là khi có điện áp âm đặt vào cổng, nó sẽ ngăn (off) dòng điện trong kênh, nguồn và máng.

Trong các thiết bị logic, transistor NMOS và PMOS được bố trí sao cho hoạt động của chúng bổ sung lẫn nhau, từ đó xuất hiện thuật ngữ CMOS (complementary metal-oxide semiconductor). Phải thiết kế mạch CMOS sao cho chúng chỉ tiêu thụ năng lượng khi các transistor thực hiện đóng (on) hoặc mở (off).

Các đặc tính và vật liệu cấu thành của transistor MOS hầu như giữ nguyên từ 1960, nhưng kích thước của chúng thì nhỏ đi đáng kinh ngạc, từ 10 micrometer xuống còn dưới 50 nanometer hiện nay, tức là giảm hơn 200 lần. Lớp cách điện SiO_2 giảm từ 100nm xuống còn 1,2nm, đạt giới hạn 5 nguyên tử, và độ dày này đã không thay đổi kể từ năm 2003 - khi thế hệ chip 90nm được giới thiệu - cho đến nay.

Vật liệu cách điện High-k

Vấn đề cần giải quyết ở đây là phải tìm được vật liệu cách điện với độ dày vừa đủ để ngăn cản điện tử đi qua nhưng cũng phải cho phép điện trường từ cổng truyền đến kênh để có thể mở transistor. Tóm lại, lớp cách điện này cần dày về vật lý nhưng phải mỏng về điện.

Thuật ngữ kỹ thuật dùng cho những vật liệu có tính chất như vậy là chất điện môi "high-k" (High-k dielectric), trong đó k là hằng số điện môi. Thuật ngữ này chỉ ra khả năng tập trung điện trường của vật liệu. Hằng số k càng cao, vật liệu có khả năng duy trì được dung lượng điện tích càng lớn giữa hai tấm dẫn điện. Để minh họa, SiO_2 có hệ số k khoảng 4, trong khi không khí có k bằng 1.

http://www.sds.com.vn/images/stories/Image/News/a0711_cn_118h2.gif

Các ứng viên cho chất liệu "high-k" bao gồm aluminum oxide (Al_2O_3), titanium dioxide (TiO_2), tantalum pentoxide (Ta_2O_5), hafnium dioxide (HfO_2), hafnium silicate (HfSiO_4), zirconium oxide (ZrO_2), zirconium silicate (ZrSiO_4), và lanthanum oxide (La_2O_3). Thông qua hàng loạt các nghiên cứu, thử nghiệm, nhóm kỹ sư Intel đã cố gắng xác định các chỉ số của vật liệu như hệ số dung môi, độ ổn định về điện, khả năng tương thích với Silicon... Rất nhiều khó khăn, trở ngại mà nhóm đã phải vượt qua, kể cả việc phải nghiên cứu để đưa ra một quy trình công nghệ sản xuất mới gọi là "atomic layer deposition".

Kết quả thu được cho thấy hai chất điện môi hafnium dioxide (HfO_2) và zirconium oxide (ZrO_2) có thể đáp ứng yêu cầu đặt ra cho chất cách điện mới.

Bắt đầu chuyển sang giai đoạn thử nghiệm với vật liệu mới – high-k dielectric, nhóm nghiên cứu tiến hành sản xuất mẫu transistor NMOS và PMOS. Tuy nhiên, sau một loạt kết quả ban đầu không đạt yêu cầu, một vấn đề mới lại nảy sinh: đó là tương tác giữa cực cổng (gate) và lớp cách điện high-k mới. Ở các transistor hiện tại, điện cực này thường được tạo ra từ silicon đa tinh thể (polysilicon), và nó làm việc rất tốt với lớp cách điện silicon dioxide. Khi thay silicon dioxide bằng vật liệu high-k dielectric thì "mối quan hệ" này bị phá vỡ, tác động xấu đến hoạt động của transistor (hình 3).

http://www.sds.com.vn/images/stories/Image/News/a0711_cn_119.gif

Cổng kim loại và những thách thức

Giải quyết được vấn đề về lớp cách điện lại dẫn đến bài toán phải tìm ra vật liệu thay thế polysilicon để làm điện cực, sao cho nó đảm bảo được các đặc tính để có thể tương tác tốt với lớp cách điện high-k mới.

Giải pháp cho vấn đề này là sử dụng kim loại thay cho polysilicon. Tuy nhiên, để xác định đúng loại kim loại có đủ các đặc tính cần thiết, nhóm nghiên cứu đã trải qua rất nhiều nghiên cứu, thử nghiệm... và cuối cùng

cũng đi đến kết quả mong muốn. Transistor được cấu tạo từ oxide hafnium và cực cổng kim loại, có đủ những gì nhóm thử nghiệm cần: mở khi có điện áp xác định, độ rò rỉ qua lớp cách điện rất thấp, cho phép dòng điện lớn đi qua kênh ở điện áp xác định.

Với những vấn đề mà nhóm nghiên cứu Intel đang gặp và giải quyết thì nhiều nhà sản xuất chip khác cũng đã và đang triển khai nghiên cứu trong cuộc chạy đua hết sức cạnh tranh. Bởi vậy cho đến thời điểm đó, hai điều bí mật lớn nhất là các vật liệu kim loại cho cổng và làm thế nào để đưa chúng vào quá trình sản xuất transistor.

Sau khi đã có được transistor mới với các đặc tính đúng theo yêu cầu được sản xuất theo quy trình công nghệ cũ (quy trình 65nm) vào năm 2003, công việc tiếp theo của nhóm nghiên cứu là chuyển từ giai đoạn nghiên cứu sang giai đoạn phát triển và sản xuất transistor high-k metal gate với kích thước nhỏ hơn, 45nm, và các transistor mới 45nm này phải đáp ứng những đòi hỏi rất khắt khe về hiệu năng, độ tin cậy. Đây là công việc không dễ dàng một chút nào, đòi hỏi rất nhiều nỗ lực của các nhà nghiên cứu, kỹ sư Intel để vượt qua hết trở ngại này đến thử thách khác.

Như trên đã đề cập, một trong hai điều bí mật lớn nhất là làm sao để đặt được các điện cực kim loại (metal gate) vào transistor. Giải pháp truyền thống lâu nay được gọi là "gate first", trong khi có một giải pháp khác được nhóm nghiên cứu đề xuất là "gate last" có nhiều ưu điểm vượt trội nhưng lại khó thực hiện hơn. Việc chọn lựa giữa 2 giải pháp là một bài toán hắc búa mà nhóm nghiên cứu phải trả lời.

Nguồn: <http://www.sds.com.vn>

GoldDragon

24-11-2008, 23:27

dài, đọc ko hết, và sai box
thể box nào thì mới đúng, mod move hộ em nhé.
thread này bàn công nghệ nên miễn spam.(/mod: KIA Rulez)

apollon

24-11-2008, 23:44

Cai nay rat co hung thu ne, nhưng nhat up hinh qua. hihi
Luc nao sieng se post qua trinh process o cac FAB de tao ra cac Waffer va Chip :D
Tam thoi de 1 vai dong co ban:
Như ta đã biết để tạo thành 1 IC phải qua rất nhiều công đoạn ,trên thực tế phải qua đến 200 bước để tạo thành 1 Chip hoàn chỉnh
Trong đó các bước cơ bản là :

- Wafer processing
- Photolithography
- Etching
- Oxidation
- Deposition
- Ion Implantation
- Back end procesing

2.1) Wafer processing:
Người ta tiến hành sản xuất thỏi Silicon tinh khiết theo phương pháp zochralski hay kỹ thuật Bridgeman. Tiếp đó thỏi silicon tinh khiết được cắt mỏng thành các lát wafer rất mỏng với lưỡi cưa bằng kim cương. Wafer sau đó được tôi, phủ hóa chất, khắc axit,làm cứng để gia cố các đặc tính lý hóa cơ và cuối cùng là công đoạn kiểm tra.

Wafer là 1 phiến đế silicon mà trên đó được in khắc các die(chip) mỗi wafer có thể có đến hàng trăm hay hàng ngàn dies.

2.2) Photolithography:

Photolithography là bước đầu tiên chuyển từ layout sang tấm wafer:
Các mặt nạ gương (glass photomask) được tạo thành từ file GDS II- mỗi mặt nạ cho mỗi lớp.
Tiến hành phủ lớp silicon dioxide trên waffer.
Tiếp đó phủ một lớp chất lỏng nhạy sáng dày gọi là photoresist trên wafer.
Photoresist trở nên cứng và trở thành vật cản khi tia tử ngoại xuyên qua vùng trong suốt của mặt nạ và chiếu vào chúng.
Sau đó tiến hành tẩy hóa chất để loại bỏ các photoresist không cần thiết.

Với Photoresist positive thì tiến trình ngược lại:

2.3) Etching:

Etching là công đoạn tẩy các chất liệu không cần thiết khỏi bề mặt wafer. Lớp photoresist không được gia cố (và các lớp polysilicon, oxit silic bên dưới) sẽ được tẩy sạch bằng axit, làm lộ ra những vùng mà nhà sản xuất muốn cấy ion (Ion Implantation) vào.

Plasma Etching cũng tương tự như Etching nhưng thay vì axit người ta sử dụng khí ở trạng thái plasma (nhờ tác động của cường độ điện trường). Plasma Etching cho độ chính xác cao hơn khắc axit, có thể tạo được những hình dạng phức tạp theo yêu cầu mà khắc axit không thể làm được. Tuy nhiên, mức độ làm hư hại đến bề mặt wafer của phương pháp này cũng lớn hơn. Tùy vào công đoạn và mục đích mà người ta sử dụng khắc axit hay plasma-etching.

Photolithography và Etching

Những lớp photoresist còn lại sẽ được tẩy đi sau bằng các chất hóa học khác, sau khi đã hoàn thành công đoạn cấy Ion (Ion Implantation).

2.4) Oxidation:

Là quá trình oxide hóa để tạo thành các lớp cách điện, để loại bỏ sự ảnh hưởng của các thành phần điện tử ở gần nhau: như giữa các mosfet ở gần nhau hay là giữa lớp đế với lớp poly silicon.

2.5) Deposition:

Deposition là quá trình phân vùng các vật liệu khác nhau như là:

- Poly-silicon
- Các vật liệu cách điện giữa các lớp kết nối
- Các lớp kim loại phục vụ như các kết nối

2.6) Ion implantation:

Quá trình này tiến hành cấy các loại ion vào wafer để tạo nên các vùng N-well hay P-well, tạo nên vùng Nguồn/Máng và các vùng kênh dẫn.

Các chất được cấy vào thường là Boron, Arsenic và Phosphorous để tạo nên các vùng bán dẫn loại P hay loại N.

Quá trình cấy cũng có thể làm giảm điện trở của lớp poly-silicon.

Kênh dẫn không mong muốn sẽ xuất hiện khi cấy ion vuông góc tới wafer.

2.7) Back-End Processing:

Tiến trình này sẽ gồm một loạt các bước để tạo nên các kết nối điện trên chip thông qua contact và dây dẫn. Bước đầu tiên là silicidation. Bước này phủ lên lớp polysilicon và các vùng tích cực (vùng S/D và các vùng đế và vùng N-well) 1 lớp

mỏng các vật liệu dẫn điện (titanium silicide hay tungsten). Nếu không có vùng spacer thì lớp silicid trên cực cổng có thể ngắn mạch với vùng S/D.

Bước tiếp theo là tạo nên các cửa sổ contact trên đỉnh của lớp poly-silicon và vùng tích cực.

Tiếp theo cửa sổ contact là lớp met1 được phủ trên các vùng còn lại của wafer. Mức cao hơn của các kết nối được tạo ra giống như thế. Cho mỗi lớp kim loại

yêu cầu 2 mặt nạ: 1 cho cửa sổ contact và cái còn lại cho chính lớp kim loại đó.

Bước cuối cùng là phủ trên wafer 1 lớp gương hay passivation, để bảo vệ bề mặt chống lại các tác nhân lý hóa và chạm khắc.

Nếu cửa sổ contact lớn thì có thể xâm nhập qua vùng khác. Nó gọi là "contact spiking". Với các cửa sổ nhỏ thì hiệu ứng này bị loại bỏ.

Nhat up hình qua, cai nay lay tu tai lieu cua tui viet luc thuc tap, doc lai rat la lung cung nhưng cung vui:sexy: :D

TOPXP

25-11-2008, 07:17

Ôi chào, chữ...

chiro

25-11-2008, 10:39

công nghệ chế tạo chip này rối rắm kin khủng:-s (dã thể mà nhìn toàn là chữ:pudency:)
hồi trước có đọc trên pc world 1 bài về High-K Metal Gate doc đến hết bài màko hiểu gì cả :nosebleed:
(đơn gian vì không phải " chuyên ngành":D)

dangminh2708

25-11-2008, 21:16

sao toàn chữ kô,nhìn vô lé luôn,mới kệt xe về đến nhà mở trang này là tiêu

duongv3

28-11-2008, 22:54

@GoldDragon: Hình như bro này cũng ngành ĐT giống mình .:haha: