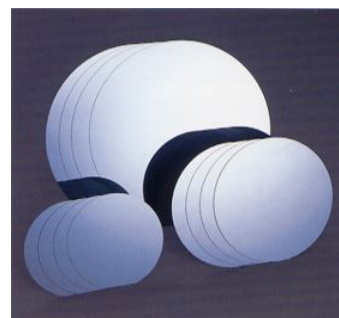


Công nghệ vi điện tử – Từ phiến silicon đến chip thành phẩm (Phần I)

Năm 2006, Intel quyết định đầu tư 1 tỷ đôla Mỹ vào Việt Nam để xây dựng nhà máy đóng gói và kiểm tra chất lượng chip tại Khu Công nghệ cao Sài Gòn (www.shtpvn.org) sau đó Công ty này đã quyết định nâng số vốn đầu tư lên 2 tỷ đôla Mỹ, và nhà máy của Intel đã chính thức được khởi công ngày 28/3/2007. Tập đoàn Hồng Hải (Hon Hai Precision Industry Co., Ltd.), tên thương mại là Foxconn rót số vốn lên đến 5 tỷ đô vào hai tỉnh Bắc Ninh và Bắc Giang về công nghệ vi điện tử thì sự quan tâm của xã hội Việt nam dành cho ngành công nghệ này cũng trở nên sôi động hơn bao giờ hết, điều này cũng cho thấy có sự dịch chuyển về thị trường lao động tại Việt Nam từ gia công, giản đơn đến lao động đòi hỏi chất xám và sự đầu tư bài bản. Loạt bài viết này sẽ dành để mô tả cho độc giả có cái nhìn rõ ràng hơn về ngành công nghệ này. Ở phần đầu tiên chúng tôi sẽ giới thiệu sơ lược về công nghệ vi điện tử được tiến hành trong phòng sạch (clean room).

Từ những cuối những năm 1960 các mạch điện tử được cải thiện một cách rõ rệt cả về hiệu năng, về chức năng và độ ổn định khi tích hợp các vi bóng bán dẫn trên một chip. Điều này đảm bảo cho việc hạ giá thành sản phẩm, tăng công suất sản xuất. Và đó cũng chính là kết quả của cuộc cách mạng thông tin. Từ đó tới nay mật độ tổ hợp của bóng bán dẫn đã tăng lên nhanh chóng đặc biệt với sự hỗ trợ của của công nghệ chân không, cơ khí chính xác, quang học, ngành công nghệ vi điện tử vẫn là ngành công nghệ làm thay đổi thế giới. Tấm silicon - vật liệu ban đầu dùng trong ngành công nghệ vi điện tử là các phiến silicon (silicon wafer) có bề dày cỡ 400 micro-mét với đường kính khác nhau (tấm silicon có đường kính lớn nhất mà người ta có thể chế tạo là 12 inch, nghĩa là tương đương một chiếc pizza lớn). Tấm silicon có đường kính càng lớn thì càng khó chế tạo, thiết bị dành cho công nghệ tấm lớn càng tốn kém nhưng số linh kiện thu được trên một tấm lại được nâng cao.



Phòng sạch - Mọi quá trình công nghệ chế tạo mạch tổ hợp được tiến hành trong phòng sạch. Đó là nơi con người cần phải xử lý các thông số môi trường như nhiệt độ, độ ẩm và lưu thông khí sao cho số hạt bụi có trong một đơn vị thể tích là nhỏ hơn rất nhiều so với môi trường bình thường. Độ sạch của phòng sạch khi được chế tạo phải tuân thủ những tiêu chuẩn ISO khác nhau (từ ISO 1 đến ISO 9 trong đó ISO 1 có độ sạch cao nhất tương đương với 10 hạt bụi kích thước nhỏ hơn 0.1 micron trong một phút khối) độ sạch càng lớn thì chi phí vận hành càng tốn kém. Độc giả có thể tham khảo những phòng sạch loại này tại Intel Coporation hoặc AMD.

Xử lý bề mặt - đó là việc đầu tiên người làm công nghệ cần thực hiện trong phòng

sạch. Công đoạn làm sạch bề mặt phiến (silicon) thường được thực hiện nhờ các axit mạnh, các chất có tính ôxi hoá như HNO_3 , H_2SO_4 , H_2O_2 và HF . Việc xử lý bề mặt sẽ giúp chúng ta loại bỏ những tạp vô cơ, hữu cơ hoặc sai hỏng trên bề mặt tấm silicon trước khi chuyển nó vào những bước công nghệ tiếp theo.

Ôxi hoá ~ 4, có tác dụng bảo vệ bề mặt các linh kiện bán dẫn dưới tác dụng của môi trường bên ngoài, che chắn bề mặt Si trong quá trình khuếch tán định xứ các tạp chất như P và B. Ngoài ra lớp SiO_2 còn được sử dụng làm cực (gate) cửa cho bóng bán dẫn (transistor). Có nhiều phương pháp tạo ra lớp SiO_2 nhưng phương pháp được sử dụng rộng rãi nhất để nhận lớp SiO_2 là phương pháp ôxy hoá ở nhiệt độ cao (khoảng 1000°C - 1100°C).
ε- trong quá trình chế tạo mạch tích hợp người ta thường phải dùng lớp SiO_2 trên bề mặt tinh thể Si.. Lớp SiO_2 này có hệ số giãn nở nhiệt gần bằng hệ số giãn nở nhiệt của Si, với hằng số điện môi

Khuếch tán - là kỹ thuật được sử dụng trong công nghệ bán dẫn để tạo các vùng chuyển tiếp của transistor. Có nhiều phương pháp để khuếch tán tạp tạo vùng chuyển tiếp P-N khác nhau như phương pháp khuếch tán ở nhiệt độ cao, phương pháp cấy ion... Tuỳ thuộc vào đế silicon và mục đích của việc pha tạp người làm công nghệ sẽ phải dùng hai loại tạp phổ biến nhất là Boron (B) hoặc photpho (P) cho quá trình này.

Quang khắc (photolithography) - là tập hợp các quá trình quang hoá nhằm tạo ra các chi tiết trên bề mặt phiến silicon có kích thước và hình dạng giống như thiết kế. Để làm được điều này cần phải có những bộ mặt nạ (mask), chất cảm quang (photoresist) nguồn sáng UV và dung dịch hiện hình (developer). Mặt nạ thường là một tấm thuỷ tinh hữu cơ được phủ một màng crôm trên đó khắc hoạ những chi tiết phù hợp với thiết kế của cảm biến hoặc mạch tích hợp (IC).

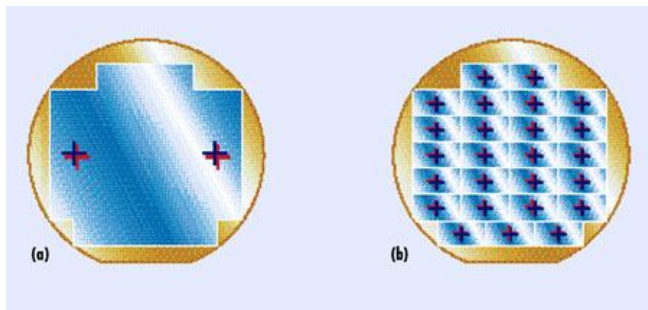
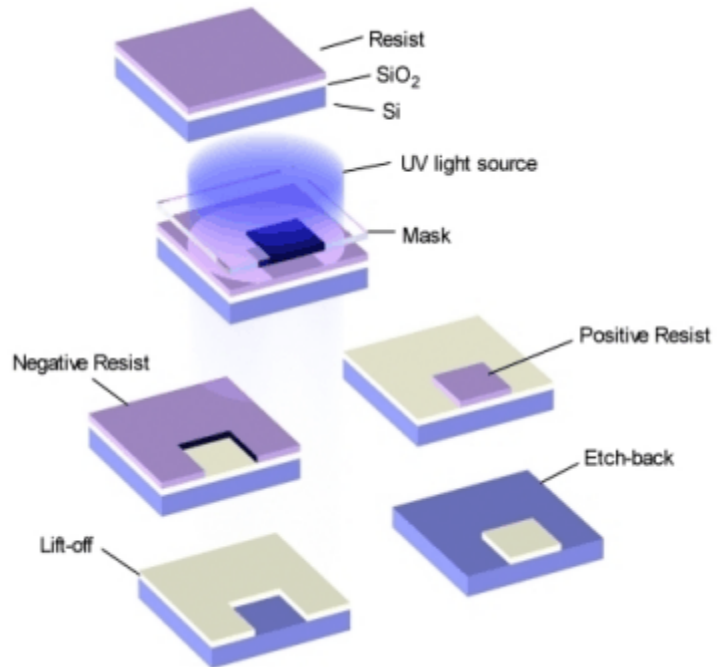


Người ta phủ lên trên bề mặt phiến silicon có tính chất nhạy sáng đặc biệt gọi là chất cảm quang (photoresist) – thường được gọi là chất cảm quang. Chất cảm quang phải bảo đảm hai tính chất: - Nhạy quang; - Bền vững trong các dung môi axit hoặc kiềm. Chất cảm quang có nhiệm vụ là lớp bảo vệ có hình dạng cần thiết cho bề mặt khỏi bị tác dụng của các dung môi hoá học. Người ta phân loại cảm quang thành cảm quang dương và cảm quang âm dựa vào cơ chế phản ứng xảy ra trong cảm quang khi bị chiếu sáng và sự thay đổi tính chất trong quá trình chiếu sáng. Cảm quang âm khi bị chiếu sáng trở nên không bị hoà tan trong các dung môi tương ứng. Còn các cảm quang dương thì ngược lại, khi bị chiếu sáng sẽ hoà tan trong các dung môi.

Dung dịch hiện Developer cho phép hiện hình những chi tiết tạo ra trên lớp cảm quang do tác dụng của nguồn UV. Quá trình này giống như quá trình rửa ảnh trong kỹ thuật nhiếp ảnh. Ở mặt nạ đầu tiên quá trình quang khắc được thực hiện khá đơn giản: đặt phiến silicon lên giá, thiết lập các điều kiện cần thiết như chân không, khí nén, chế độ tiếp xúc, công suất UV, thời gian chiếu sáng ... và chiếu sáng. Tuy vậy để chế tạo một mạch tổ hợp người ta phải dùng tới nhiều bộ mặt nạ khác nhau. Để các chi tiết trên mặt nạ, trên phiến silicon của lần chế tạo trước đó (với một mặt khác trong cả bộ) trùng khít

lên những chi tiết của mặt nạ hiện tại người ta phải dùng một kỹ thuật gọi là kỹ thuật đồng chỉnh (so mask hay mask aligner). Kỹ thuật này được thực hiện thông qua những dấu hiệu gọi là dấu so (mask marks) với sự trợ giúp quang học (kính hiển vi, CCD camera...) và hệ vi chỉnh cơ khí theo các chiều X,Y và chỉnh méo. Thông qua những dấu so đặc biệt này người ta có thể chắc chắn được rằng mọi chi tiết trên phiến silicon nhận được từ các mặt nạ khác nhau là trùng khít lên nhau.

Trong quá trình chế tạo photodiốt chúng ta sẽ sử dụng một bộ 03 mặt nạ.



Hiện nay mật độ bóng bán dẫn trên một chip ngày một tăng nên ngoài kỹ thuật quang khắc còn nhiều kỹ thuật khác cho phép khắc lên trên lớp cảm quang những chi tiết với độ phân giải và mức độ tinh vi tốt hơn rất nhiều như kỹ thuật e-beam lithography (kỹ thuật khắc dùng chùm điện tử), hoặc tia X.

Ăn mòn - trong công nghệ vi điện tử trên cơ sở silicon là một kỹ thuật rất hay được sử dụng. Có hai phương pháp ăn mòn chính là : ăn mòn ướt và ăn mòn khô.

Ăn mòn ướt - Đây là kỹ thuật thông dụng nhất trong công nghệ bán dẫn. Ngay từ công đoạn phiến vừa mới được đưa ra khỏi lò thổi silicon từ nhà máy sản xuất phiến, các hóa chất đã được sử dụng để mài nghiền và đánh bóng cuối cùng chúng ta thu được một tấm silicon phẳng và nhẵn. Đối với những thiết bị đơn lẻ hoặc mạch tích hợp có kích thước đủ lớn ($> 3 \mu\text{m}$), hoá chất ăn mòn được sử dụng để khắc những họa tiết và mở cửa sổ trên lớp vật liệu điện môi.

Ăn mòn khô - trong kỹ thuật ăn mòn khô, tấm silicon được đưa vào trong buồng

chân không, sau đó hỗn hợp khí dùng cho ăn mòn được đưa vào trong buồng phản ứng. Ở chân không thích hợp, dưới tác dụng của nguồn cao tần, khí ăn mòn bị ion hoá và chúng ta thu được hỗn hợp plasma của khí nói trên bao gồm các ion F^+ do đó SiO_2 hoặc $Si \dots$ bị ăn mòn và tạo ra các sản phẩm phản ứng tương ứng.

Nhờ kỹ thuật này mà chúng ta có thể mang lại kỹ thuật ăn mòn vật liệu với hệ số tỷ lệ d/w (sâu/cao) rất lớn. Tùy theo độ dày và vật liệu mà người ta chọn các chế độ ăn mòn khác nhau. Với kỹ thuật này các hãng sản xuất lớn có thể phân đoạn thiết bị dành riêng cho quá trình ăn mòn "nông" với một vài micromet chiều sâu cho tới thiết bị có thể ăn mòn qua tấm silicon (cỡ 400 micrô-mét) chỉ trong hai giờ. Thông tin thêm về lý thuyết hoặc kỹ thuật ăn mòn khô có thể tìm thấy tại www.stsystems.com và www.adixen.com là hai nhà sản xuất thiết bị ăn mòn khô nổi tiếng nhất hiện nay.



Kỹ thuật màng mỏng – chủ yếu để tạo những lớp vật liệu có bề dày như mong muốn lên trên một lớp vật liệu khác. Đây là quá trình đòi hỏi khá nhiều kiến thức bổ xung như kỹ thuật chân không, cấu trúc vật liệu... Các kỹ thuật cơ bản để tạo màng mỏng ở đây gồm hai phương pháp – vật lý và hoá học. Phương pháp vật lý bao gồm: phun xạ (sputtering), bốc bay nhiệt (evaporation), phương pháp phun tĩnh điện.... Trong khi đó phương pháp hoá học có: lắng đọng hoá học pha hơi (CVD), lắng đọng hoá học pha hơi áp suất thấp (LPCVD), và Sol-gel.



Đo đạc và khảo sát thông số công nghệ - đây là giai đoạn sau khi phiến silicon đã đi qua các bước công nghệ trong phòng sạch. Ở khâu này người kỹ sư cần xác định các đặc tuyến I-V, C-V hoặc điện trở (R), dòng dò, chế độ làm việc.... của linh kiện. Lúc này, các chip vẫn nằm trên phiến. Để có thể tiến hành các bước tiếp sau, người kỹ sư phải cắt rời các chip trên tấm silicon, và ở giai đoạn này chip còn được gọi là "die". Như vậy, chúng ta đã đi qua một số bước cơ bản nhất của quá trình chế tạo chip trong phòng sạch. Ở phần sau chúng tôi sẽ trình bày khâu đóng vỏ, một trong những công đoạn quan trọng trong cả quy trình chế tạo chip bán dẫn.

Mai Tuyền Phong

Sách

1. W. Whyte, "Cleanroom Design" Second Edition, John Wiley, 1999
2. P. R. Gray and R. G. Meyer, "Analysis and design of analog integrated circuit", John Wiley, New York, 1984.

3. S. M. Sze, "Physics of Semiconductor Device", Wiley, New York, 1981.
4. S. M. Sze, "Semiconductor devices, physics and technology", Wiley, New York, 1985.
5. "Semiconductor Devices", University Twente, 1998.

Trang thông tin

www.intel.com

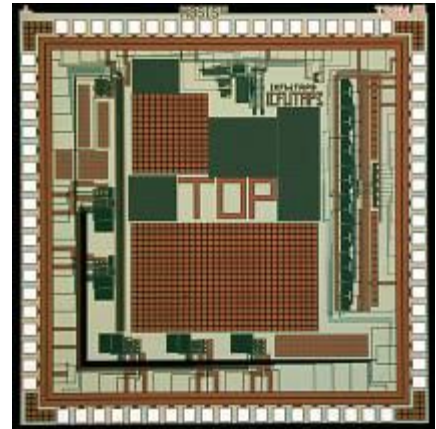
www.chips.ibm.com

www.stsystems.com

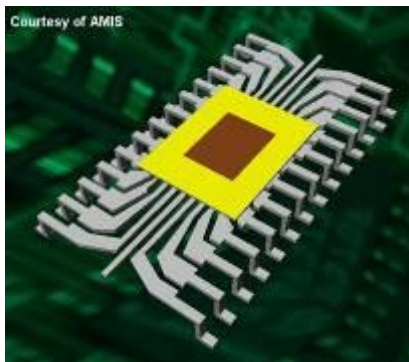
www.adixen.com

Công nghệ vi điện tử - Kỹ thuật hàn dây và hàn chip (Phần II)

Như đã nói ở [phần trước](#), IC sau khi được chế tạo nằm trên tấm silion, được cắt ra và gắn lên trên các thành phần mạch tích hợp. Lúc này mỗi chip đơn được gọi là DIE (tạm gọi là chip trần). Trong ảnh là một chip trần của một cấu trúc MOS (Metal-Oxide-Semiconductor), một cấu trúc transistor rất phổ biến trong chế tạo vi mạch điện tử, (nguồn www.vlsi.uwaterloo.ca) – các chân chip bằng Au hoặc Al màu sáng ở phía ngoài. Rõ ràng những thiết kế rất nhỏ với mỗi chiều khoảng 1 mm đến vài trăm micrô-mét, việc nối dây cho các chip này để lấy tín hiệu ra là điều không dễ dàng chút nào. Để hiểu thêm về phần này chúng tôi xin trình bày một chút hiểu biết của mình để bạn đọc chia sẻ. Công nghệ thay đổi hàng tháng, hàng tuần thậm chí hàng ngày, mô tả toàn bộ quá trình đóng vỏ trong một vài trang giấy là điều không thể. Ở bài này chúng tôi chỉ mạn phép được đưa ra những thông tin đơn giản nhất trong quá trình đóng vỏ chip đó là hàn chip và hàn dây. Để có thể nối dây, cấp nguồn cho chip hoạt động (nghĩa là có chip thành phẩm) chúng ta phải đi qua các công đoạn: **1.** Hàn chip trần (die attach); **2.** Hàn dây (wire bonding); **3.** Kiểm tra chất lượng của mỗi hàn (pull test). Như vậy có thể hiểu đây là ba bước cơ bản để chúng ta có thể "giao tiếp được với chip một cách dễ dàng".



Hàn chip trần đế(Die attach)

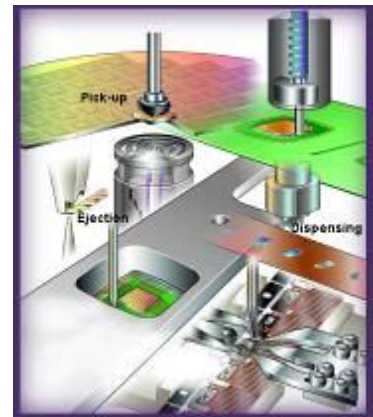


Chip trần, sau khi cắt rời khỏi tấm silicon, được xếp vào trong các khay và sau đó được hàn trên các khung chế tạo sẵn (leadframe-ảnh bên là Leadframe của Alcatel Microelectronics) mà thông qua đó chúng ta có thể tháo lắp chip trên các mạch điện tử một cách dễ dàng. Ở công đoạn này mỗi nhà sản xuất sẽ lựa chọn

cho mình những dây truyền công nghệ phù hợp với công suất sản xuất cũng như khả năng kinh tế. Trừ những nhà chế tạo lớn, phần lớn các công ty nhỏ và vừa thường lựa chọn các thiết bị hàn die nhân công (manual) hoặc bán tự động. Ở công đoạn này, chip trần được gắp bằng bút chân không hoặc kẹp chân không (ảnh). Kỹ thuật này cho phép giữ chip một cách chắc chắn đồng thời không làm tổn hại đến bề mặt chip.

Ở một số thiết bị (như của hãng [WESTBOND](#)), kỹ sư chế tạo máy đã tích hợp thêm một động cơ vào đầu gắp chân không, cho phép đặt chip vào đúng vị trí của leadframe bằng cách chỉnh méo dưới kính hiển vi quang học hoặc CCD camera. Hai kỹ thuật thường được sử dụng để gắn die lên trên leadframe đó là kỹ thuật eutectic và kỹ thuật dùng keo dính.

(Ảnh bên: Quá trình gắn chip bao gồm – nhặt chip lên bằng bút chân không, định vị và hàn)



Kỹ thuật hàn dùng chất keo dính - ở kỹ thuật này người ta hay sử dụng các hợp chất có tính chất bám dính tốt như polyimide, epoxy hoặc keo bạc làm vật liệu hàn khi gắn chip lên leadframe. Sau khi xác định được vị trí tương thích giữa die và cấu hình trên leadframe, die sẽ được đẩy ra khỏi bút chân không, nén lên trên bề mặt của epoxy và quá trình hàn kết thúc.

Kỹ thuật hàn eutectic, thường được ứng dụng trong đóng gói kín, sử dụng hợp kim cùng tinh để gắp die lên trên leadframe. Kỹ thuật hàn tiên tiến này dựa trên việc sử dụng vật liệu hàn tạo ra hợp kim cùng tinh ở một điều nhiệt độ đặc biệt nào đó, và điểm nóng chảy của hợp



Bể chứa epoxy, đầu gắp chip bằng chân không có tích hợp thêm mô-tơ để chỉnh méo trong kỹ thuật hàn die (nguồn: WESTBOND)

kim thường thấp hơn khi nó ở dạng kim loại đơn lẻ. Hợp kim Au-Si, Au-Sn hoặc Pd-Si thường được sử dụng rộng rãi trong kỹ thuật này. Để gắn được die lên leadframe đầu tiên người ta phủ một lớp vàng với độ dày phù hợp lên trên bề mặt leadframe hoặc die).

Trong quá trình hàn, nhiệt độ cao sẽ làm khuếch tán các phân tử silic từ bề mặt die lên lớp vàng của leadframe, tạo ra cùng tinh Au-Si (ví dụ, hợp kim Au-Si với 2.85% Au có điểm nóng chảy ở 3630C). Khi hàn người ta sẽ nâng nhiệt độ cao hơn T_m một chút, thường là cỡ 10°C so với nhiệt độ eutectic dẫn đến sự liên khuếch tán giữa chất rắn và chất lỏng ở bề mặt phân cách. Hợp kim eutectic sau đó hoá rắn và được làm lạnh. Hợp phần, điểm cùng tinh của một số hợp kim được liệt kê trong bảng dưới đây.

Bảng 1 – Hợp phần và điểm nóng chảy của một số hợp kim được gắn sẵn trên leadframe

Hợp phần	Nhiệt độ (C)	
	Thể lỏng	Thể rắn
80% Au, 20% Sn	280	280
92.5% Pb, 2.5% Ag, 5% In	300	-
97.5% Pb, 1.5% Ag, 1% Sn	309	309
95% Pb, 5% Sn	314	310
88% Au, 12% Ge	356	356
98% Au, 2% Si	800	370
100% Au	1063	1063

Để tối ưu hoá việc hàn chip, người ta đưa thêm vào chế độ 'mài' được thực hiện bởi một bộ phát siêu âm, tác dụng lên trên cần hàn, dao động với biên độ cỡ vài micrô-mét. Điều này làm tăng độ cọ xát giữa chip với lớp vàng trên leadframe làm cho quá trình tạo cùng tinh diễn ra dễ dàng hơn.

Đến đây, chip đã được gắn chắc chắn trên bề mặt của leadframe, điều chúng ta cần làm hiện nay là nối dây từ chân các chip này ra chân của leadframe.

Kỹ thuật hàn dây (wire bonding)

Không giống như hàn dây thiếc trên các linh kiện điện tử, hàn dây chip là một việc làm đòi hỏi tính kiên nhẫn và sự hiểu biết về cấu trúc IC. Vật liệu hàn ở đây thường là hợp kim Au hoặc Al có đường kính mặt cắt ngang tiêu chuẩn cỡ 25 micromét, Có hai phương pháp gắn sợi dây lên những mối hàn vô cùng nhỏ bé đó là: phương pháp hàn ép nhiệt (thermocompression

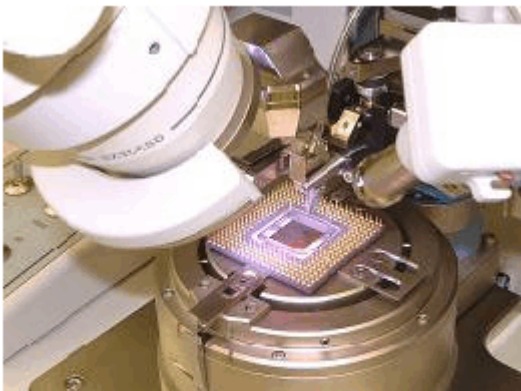


Dây Au hoặc dây Al được lắp vào cuộn nhỏ phía trên (Nguồn: WESTBOND)

bonding - TC) và phương pháp hàn dùng siêu âm (ultrasonic bonding- US).

Phương pháp TC được phát triển tại phòng thí nghiệm Bell (Hoa Kỳ) phục vụ cho ngành vi điện tử từ 1957, và mãi đến những năm 1960 mới được thay thế bằng phương pháp hàn dùng siêu âm. Phương pháp hàn TC dùng lực nén khi hàn, nhiệt độ cao trong điều kiện chân không hoặc khí trơ (N_2 , hoặc Ar) để tạo ra mối hàn.

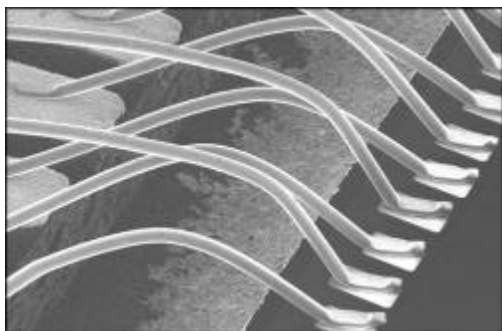
Kỹ thuật hàn dùng siêu âm (Ultrasonic Technique)



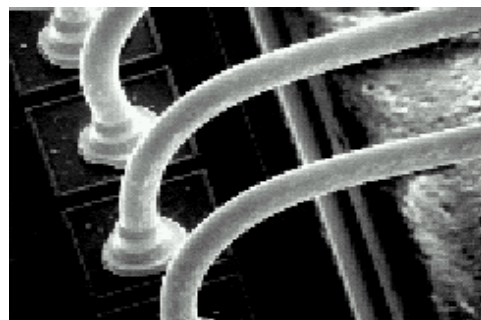
Sự trợ giúp của camera và màn hình tạo thuận lợi rất nhiều cho người kỹ sư.
(Nguồn: WESTBOND)

Mỗi hàn, trong phương pháp này, nhận được nhờ tương tác của các yếu tố: lực chân không, áp suất, nhiệt độ và thời gian. Khi hàn, dây hàn được đặt lên trên mỗi hàn (bonding pad). Tần số siêu âm cộng, lực nén cộng với sự cọ sát ở điểm đầu hàn tiếp xúc với mỗi hàn đầu tiên làm sạch điểm tiếp xúc giữa hai vật liệu cần hàn (tẩy bỏ lớp oxit bề mặt) sau là làm tăng nhiệt độ ở khu vực đó dẫn đến có sự khuếch tán vào nhau giữa các vật liệu. Ví dụ máy hàn của công ty [WESTBOND](#) sử dụng một bộ phát siêu âm kênh đôi, hoạt động ở tần số 63 KHz được điều khiển bởi vi xử lý Motorola 68000 cho

các loại máy hàn nhân công (hay vi xử lý Intel Pentium IV theo hệ điều hành Microsoft Windows® XP Professional cho các loại máy hàn tự động), thời gian phát xung và công suất xung có thể thay đổi một cách đơn giản, biên độ dao động ở chế độ cọ sát (scrubs mode) cỡ vài chục micromet xung quanh vị trí cần hàn. Trong kỹ thuật hàn dùng siêu âm, hình dạng mối hàn sẽ quy định cấu hình của đầu hàn – đó là các phép hàn tròn (ball bonding – mối hàn có dạng cầu) và phép hàn dẹt (wedge bonding – mối hàn có dạng dẹt). Dưới tác dụng của xung siêu âm và lực nén, dây hàn bị nén dẹt và dính vào điểm hàn.



Mối hàn dẹt



Mối hàn tròn

Trong kỹ thuật hàn tròn, trước tiên người ta phải tạo ra đầu dây hàn thành dạng hình cầu bằng cách đưa qua bên dưới đầu dây một thanh quét, độ chênh lệch cao về điện thế giữa thanh quét này với đầu dây sẽ tạo ra một tia lửa điện một đầu mỗi hàn được cố định, dây hàn được làm nóng chảy và tạo hình dưới dạng cầu. Sau đó kim hàn được mang đến bề mặt hàn được gia nhiệt tạo ra mối hàn thứ nhất. Mỗi hàn thứ hai được hoàn thành giống như ở kỹ thuật hàn dẹt. Kỹ thuật hàn tròn có ưu điểm là cho phép hàn trên những IC có kiến trúc phức tạp, nhiều lớp vì sau mỗi hàn thứ nhất, người kỹ sư có thể quay sợi dây hàn theo hướng anh ta muốn mà không sợ làm đứt dây hàn, đồng thời phương pháp đi dây ở kỹ thuật hàn tròn là theo chiều thẳng đứng (90°) sẽ tránh được hiện tượng đứt dây khi hàn.

Ngoài hai kỹ thuật trên còn có nhiều kỹ thuật khác như Flip-Chip (hàn lật), hoặc TAB (Tape-automated bonding - thuật ngữ mà kỹ sư Việt Nam hay dùng là: chip dán). Chúng tôi hy vọng sẽ được giới thiệu vào một dịp khác.

Kiểm tra mối hàn (Pull Test)

Để đảm bảo chất lượng mối hàn người kỹ sư luôn phải kiểm tra xem tiếp xúc giữa dây hàn và mối hàn có tốt hay không. Phương pháp kiểm tra mối hàn thông dụng nhất là phương pháp kéo (Pull Test). Một móc được đưa vào dưới sợi dây hàn giữa hai mối hàn, mô tơ – dưới điều khiển của vi xử lý – sẽ kéo móc câu này lên với lực tác dụng có thể thay đổi được. Dữ liệu lỗi ra trên máy tính sẽ cho người kỹ sư biết được mối hàn có tốt hay không.



Móc câu (trong hình tròn) được đưa vào dưới dây hàn, dữ liệu được đưa ra máy in đi cùng.
(Nguồn: WESTBOND)

Hai chế độ kiểm tra có thể sử dụng ở đây là chế độ phá huỷ (còn gọi là destruct) và không phá huỷ (còn gọi là non-destruct) mẫu. Ở chế độ kiểm tra không phá huỷ mẫu, dựa vào lực liên kết mối hàn trên những vật liệu biết trước như Au hoặc Al, người ta sẽ đặt lực kéo vào móc câu với giá trị nhỏ hơn lực làm đứt mối liên kết đó.

Những công đoạn tiếp theo là đóng vỏ trong môi trường chân không hoặc khí hiếm (trong giai đoạn này, chúng ta có thể sử dụng các sản phẩm như của công ty [Polaris](#)), kiểm tra độ ổn định của chip và một số công đoạn thử nghiệm khác trước khi đưa vào sử dụng.

Thay cho lời kết

Với hai bài viết ngắn ngủi tác giả hy vọng sẽ mang đến cho quý độc giả một cái nhìn tương đối tổng quan về công nghệ chế tạo chip – từ phiến silicon đến việc hàn dây đóng vỏ. Công nghệ cao này không phải là điều mơ ước mà đã trở thành hiện thực tại Việt Nam, trước kia là nhà máy Z181, nay là sự hiện diện của những công ty khổng lồ trong lĩnh vực này như Intel, HonHai – Foxconn.... Sự xuất hiện của rất nhiều nhà phân phối trong lĩnh vực này như công ty ACROSEMI

(www.acrosemi.com), WESTBOND, SEMICONDUCTOR EQUIPMENT, AMI-PRESCO, POLARIS, hoặc NEUTRONIX-QUINTEL cho thấy ngành công nghiệp này đang là ngành mang lại nhiều lợi ích cho tất cả các bên tham gia. Chúng tôi cũng hy vọng nhận được sự chia sẻ của quý bạn đọc.

Mai Tuỳ Phong

Tài liệu tham khảo:

1. Goerge Harman, "Wire Bonding in Microelectronics. Materials, Process, Reliability and Yield", Second Edition, McGraw Hill 1997.
2. Glenn R. Blackwell, "Electronics Packaging Handbook", CRC Press 2000
3. Công ty West Bond

Công nghệ vi điện tử - Kỹ thuật hàn dây và hàn chíp (Tiếp theo phần II)

Nhằm tạo điều kiện thuận lợi cho khách hàng khi lựa chọn các mặt hàng phù hợp với nhu cầu, chúng tôi xin đưa ra dưới đây một vài kiến thức cơ bản của công nghệ hàn dây và chíp do West Bond phát triển.

Kiến thức cơ bản về công nghệ hàn.

1. Kỹ thuật hàn dùng siêu âm (Ultrasonic Technique)

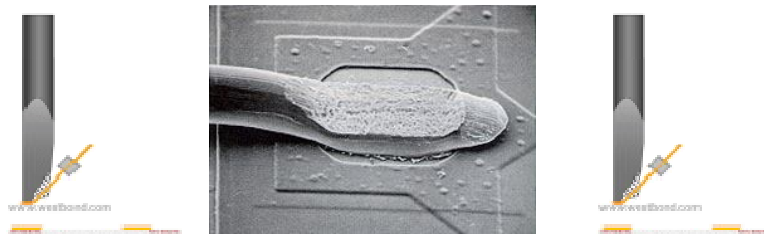
Kỹ thuật hàn sử dụng siêu âm gồm hai lớp vật liệu dưới xung siêu âm. Tần số siêu âm cộng với lực nén tạo ra nhiệt sinh ra do cọ sát ở điểm đầu hàn tiếp xúc với mỗi hàn. Westbond sử dụng một bộ phát siêu âm kênh đôi, K~Sine môđen 27-EC, có độ dài $\frac{1}{2}$ bước sóng, hoạt động ở tần số 63 KHz với công suất cỡ và được điều khiển bởi một vi xử lý (Motorola 68000, bộ nhớ 256 KB). Thời gian phát xung và công suất xung được điều chỉnh ở mặt trước của máy.

2. Kỹ thuật hàn dùng nhiệt (Eutectic Technique)

Kỹ thuật hàn tiên tiến này dựa trên việc sử dụng vật liệu hàn tạo ra hợp kim cùng tinh ở một điều nhiệt độ đặc biệt nào đó. Các hệ như Au-Si, Au-Sn hoặc Pd-Si thường được sử dụng rộng rãi trong kỹ thuật này. Ví dụ, hỗn hợp Au-Si, đầu tiên người ta phủ một lớp vàng với độ dày phù hợp lên trên một trong hai phiến cần hàn. Lớp Si có thể nhận từ phiến silíc hoặc bằng cách tạo màng. Ở nhiệt độ eutectic 3630C, hợp kim lỏng Au-Si (3%-97%) được hình thành. Nhiệt độ hàn thực chất cao hơn cỡ 10°C so với nhiệt độ eutectic dẫn đến sự liên khuếch tán giữa chất rắn và chất lỏng ở bề mặt phân cách. Hợp kim eutectic sau đó hoá rắn và được làm lạnh.

3. Kỹ thuật hàn dây Dẹt-Dẹt (Wedge-Wedge Wire Bonding)

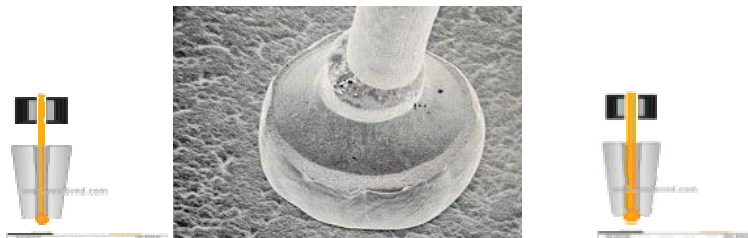
Dưới tác dụng của xung siêu âm và lực nén, dây hàn bị nén Dẹt và dính vào điểm hàn (hình a).



(a) Kỹ thuật hàn dẹt

4. Kỹ thuật hàn Tròn – Dẹt (Ball-Wedge Wire Bonding)

Trong kỹ thuật này, một đầu mỗi hàn được cố định, dây hàn được làm nóng chảy và tạo hình dưới dạng cầu. Mỗi hàn thứ hai được ép và tạo hình dưới dạng dẹt (hình b).



(b) Kỹ thuật hàn tròn – dẹt

Công nghệ hàn dây - Những điều cần chú ý

Đầu hàn

Vị trí
Lực kẹp
Tính chất
Khả năng hàn
Điều kiện bề mặt hàn
Bề mặt địa lý
Diện tích bề mặt hàn

Đế hàn

Nhiệt độ
Khả năng truyền nhiệt
Độ cứng
Môi trường hàn
Độ ổn định
Độ chính xác của phép định vị
Sự đồng hoá

Dây hàn

Kích thước dây

Mối hàn

Sự hình thành mối hàn tròn

Loại dây	Sự hoàn tinh của dây hàn
Chịu tải của dây (tải làm đứt dây)	Tiếp xúc Đầu hàn/Dây hàn
Sự kéo dài	Hình thái bề mặt
Độ tinh khiết (vật liệu làm dây)	Quy trình hàn tối ưu
Độ đồng đều	Vị trí hàn
Vặn/Xoắn	Độ xoắn dây
Điều kiện bề mặt	Tiếp xúc liên kim loại
Khả năng hàn	Thời gian/ Nhiệt độ làm việc
	Điều kiện bề mặt tiếp xúc của mỗi hàn
	Hiệu suất hàn

Máy hàn

Sự chuẩn hoá máy
Quy trình hàn tối ưu
Kỹ năng của người vận hành
Hiệu suất hàn
Thời gian
Nhiệt độ
Năng lượng siêu âm
Sự đồng bộ hoá
Khả năng hàn
Áp suất lúc hàn

Bề mặt hàn

Độ sạch của kim loại
Độ đồng đều của kim loại
Bề dày của lớp kim loại
Độ sạch bề mặt
Hình thái bề mặt
Khả năng hàn kim loại
Thời gian sau khi hàn kim loại/Nhiệt độ hàn

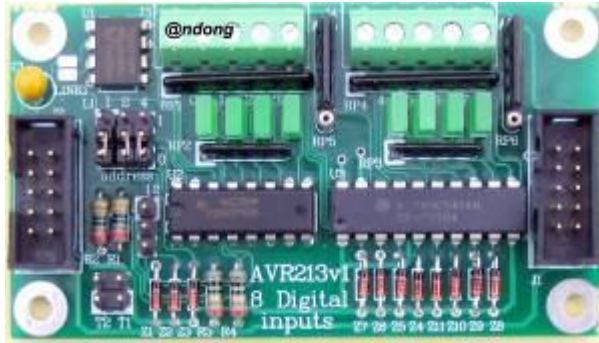
Công nghệ đóng gói bề mặt (SMT)

Xu hướng phát triển không thể khác tại Việt nam

Đầu tháng 5/2008, tại Hà Nội sẽ diễn ra hội chợ triển lãm về công nghiệp điện tử. Khách tham quan triển lãm sẽ có cơ hội diện kiến những cỗ máy, những công nghệ đang ngày đêm góp phần vào sự phát triển của nền công nghiệp điện tử toàn cầu. Theo thông tin do TĐH nhận được, các hãng sản xuất thiết bị cho nền công nghiệp điện tử sẽ tập trung vào giới thiệu các dây truyền hàn linh kiện bề mặt. Nhân sự kiện này chúng tôi xin gửi tới quý độc giả một số khái niệm về công nghệ tiên tiến này với mong muốn rằng chúng ta sẽ có những khái niệm cơ bản khi tiếp xúc với các cỗ máy làm nên sự thành công cho bao tập đoàn điện tử hàng đầu thế giới.

Khái niệm về công nghệ hàn linh kiện bề mặt (SMT)

Công nghệ hàn linh kiện bề mặt là phương pháp gắn các linh kiện điện tử trực tiếp lên trên bề mặt của bo mạch (PCB). Các linh kiện điện tử dành riêng cho công nghệ này có tên viết tắt là SMD. Trong công nghiệp điện tử, SMT đã thay thế phần lớn công nghệ đóng gói linh kiện trên tấm PCB xuyên lỗ theo đó linh kiện điện tử được cố định trên bề mặt PCB bằng phương pháp xuyên lỗ và hàn qua các bề chì nóng.



Lắp ráp linh kiện trên PCB theo công nghệ xuyên lỗ



Theo công nghệ SMT

Công nghệ SMT được phát triển vào những năm 1960 và được áp dụng một cách rộng rãi vào cuối những năm 1980. Tập đoàn IBM của Hoa Kỳ có thể được coi là người đi tiên phong trong việc ứng dụng công nghệ này. Lúc đó linh kiện điện tử phải được gia công cơ khí để đính thêm một mẫu kim loại vào hai đầu sao cho có thể hàn trực tiếp chúng lên trên bề mặt mạch in. Kích thước linh kiện được giảm xuống khá nhiều và việc gắn linh kiện lên trên cả hai mặt của PCB làm cho công nghệ SMT trở nên thông dụng hơn là công nghệ gắn linh kiện bằng phương pháp xuyên lỗ, cho phép làm tăng mật độ linh kiện. Thông thường, mỗi linh kiện được cố định trên bề mặt mạch in bằng một diện tích phủ chì rất nhỏ, và ở mặt kia của tấm PCB linh kiện cũng chỉ được cố định bằng một chấm kem hàn tương tự. Vì lý do này, kích thước vật lý của linh kiện ngày càng giảm. Công nghệ SMT có mức độ tự động hóa cao, không đòi hỏi nhiều nhân công, và đặc biệt làm tăng công suất sản xuất.

Kỹ thuật gắn chip - Các hãng khác nhau sở hữu những bí quyết và độc quyền công nghệ khác nhau khi chế tạo các loại máy gắn chip trên dây truyền SMT. Tuy vậy, những công đoạn từ lúc nạp liệu cho tới lúc thành phẩm (bo được gắn chip) thì tương đối giống nhau. Các công đoạn đó bao gồm: 1) quét hợp kim hàn (kem hàn) lên trên bo mạch trần vào các vị trí trên đó có mạ sẵn chân hàn bằng vàng, thiếc-chì, bạc...2) gắn chip, gắn IC 3) gia nhiệt – làm mát 4) kiểm tra và sửa lỗi.

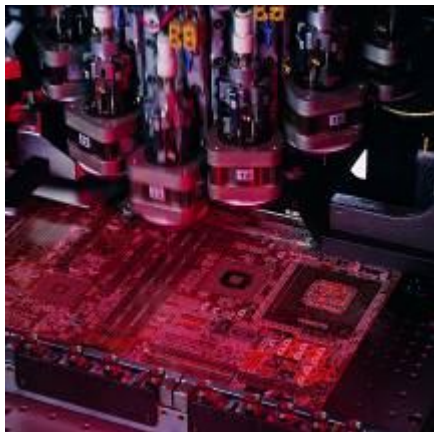
Quét hợp kim hàn

Trên bề mặt mạch in không đục lỗ, ở những nơi linh kiện được gắn vào, người ta đã mạ sẵn các lớp vật liệu dẫn điện như thiếc-chì, bạc hoặc vàng – những chi tiết này được gọi là chân hàn (hay lớp đệm hàn). Sau đó, kem hàn, thường thấy dưới dạng bột nhão là hỗn hợp của hợp kim hàn (có thành phần khác nhau, tùy vào công nghệ và đối tượng hàn) và các hạt vật liệu hàn, được quét lên trên bề mặt của mạch in. Để tránh kem hàn dính lên trên những nơi không mong muốn người ta phải sử dụng một dụng cụ đặc biệt gọi là mặt nạ kim loại (metal mask – hoặc stencil) làm bằng màng mỏng thép không gỉ trên đó người ta gia công, đục thủng ở những vị trí tương ứng với nơi đặt chip trên bo mạch-bằng cách này, kem hàn sẽ được quét vào các vị trí mong muốn. Nếu cần phải gắn linh kiện lên mặt còn lại của bo mạch, người ta phải sử dụng một thiết bị điều khiển số để đặt các chấm vật liệu có tính bám dính cao vào các vị trí đặt linh kiện. Sau khi kem hàn được phủ lên trên bề mặt, bo mạch sẽ được chuyển sang máy đặt chip (pick-and-place machine).



(mẫu mặt nạ kim loại)

Gắn chip, gắn IC



Các linh kiện SMDs, kích thước nhỏ, thường được chuyển tải tới dây chuyền trên băng chứa (băng giấy hoặc nhựa) xoay quanh một trục nào đó. Trong khi đó IC lại thường được chứa trong các khay đựng riêng. Máy gắn chip được điều khiển số sẽ gỡ các chip trên khay chứa và đặt chúng lên trên bề mặt PCB ở nơi được quét kem hàn. Các linh kiện ở mặt dưới của bo mạch được gắn lên trước, và các chấm keo được sấy khô nhanh bằng nhiệt hoặc bằng bức xạ UV. Sau đó bo mạch được lật lại và máy gắn linh kiện thực hiện nốt các phần còn lại trên bề mặt bo.

Gia nhiệt – làm mát

Sau khi quá trình gấp, gắn linh kiện hoàn tất, bo mạch được chuyển tới lò sấy. Đầu tiên các bo tiến vào vùng sấy sơ bộ nơi mà ở đó nhiệt độ của bo và mọi linh kiện tương đối đồng đều và được nâng lên một cách từ từ. Việc này làm giảm thiểu ứng suất nhiệt khi quá trình lắp ráp kết thúc sau khi hàn. Bo mạch sau đó tiến vào vùng với nhiệt độ đủ lớn để có thể làm nóng chảy các hạt vật liệu hàn trong kem hàn, hàn các đầu linh kiện lên trên bo mạch. Sức căng bề mặt của kem hàn nóng chảy giúp cho linh kiện không lệch vị trí, và nếu như bề mặt địa lý của chân hàn được chế tạo như thiết kế, sức căng bề mặt sẽ tự động điều chỉnh linh kiện về đúng vị trí của nó. .



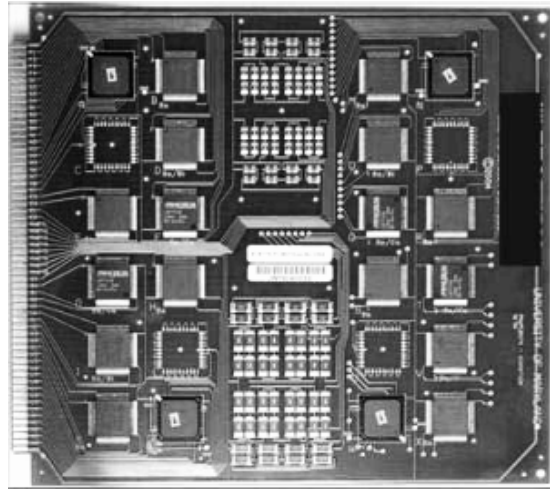
*(thiết bị gắn chip
SM421 của Samsung)*

Có nhiều kỹ thuật dùng cho việc gia nhiệt, ủ bo mạch sau quá trình gấp, gắn. Những kỹ thuật mà ta thường gặp sử dụng đèn hồng ngoại, khí nóng. Trường hợp đặc biệt người ta có thể sử dụng chất lỏng CF4 với nhiệt độ sôi lớn. kỹ thuật này được gọi là gia. Phương pháp này đã không còn là ưu tiên số một khi xây dựng các nhà máy. Hiện nay người ta sử dụng nhiều khí nitơ cho hoặc khí nén giàu ni-tơ trong các lò ủ đối lưu. Dĩ nhiên, mỗi phương pháp có những ưu điểm và nhược điểm riêng. Với phương pháp ủ dùng IR, kỹ sư thiết kế phải bố trí linh kiện trên bo sao cho những linh kiện thấp hơn không rơi vào vùng của các linh kiện cao hơn. Nếu người thiết kế biết trước được các chu trình nhiệt hoặc quá trình hàn đối lưu thì anh ta sẽ dễ dàng hơn trong việc bố trí các linh kiện gắn trên bo. Với một số thiết kế, người ta phải hàn thủ công hoặc lắp thêm các linh kiện đặc biệt, hoặc là tự động hóa bằng cách sử dụng các thiết bị hồng ngoại tập trung. Sau quá trình hàn các bo mạch phải được “rửa” để gỡ bỏ những phần vật liệu hàn còn dính trên đó vì bất kỳ một viên vật liệu hàn nào trên bề mặt bo cũng có thể làm ngắn mạch của hệ thống. Các vật liệu hàn khác nhau được rửa bằng các hóa chất khác nhau được tẩy rửa bằng các dung môi khác nhau. Phần còn lại là dung môi hòa tan được rửa bằng nước sạch và làm khô nhanh bằng không khí nén. Nếu không chú trọng tới hình thức và vật liệu hàn không gây hiện tượng ngắn mạch hoặc ăn mòn, bước làm sạch này có thể là không cần thiết, tiết kiệm chi phí và giảm thiểu ô nhiễm chất thải.

Kiểm tra và sửa lỗi

Cuối cùng bo mạch được đưa sang bộ phận kiểm tra quang học để phát hiện lỗi bỏ sót linh kiện hoặc sửa các lỗi vị trí của linh kiện. Trong trường hợp cần thiết, chúng

ta có thể lắp đặt thêm một số trạm kiểm tra quang học cho dây truyền công nghệ sao cho có thể phát hiện lỗi sau từng mỗi công đoạn..



(hình ảnh kiểm tra sản phẩm sau quá trình hàn nhiệt bằng X-ray)

Ở công đoạn này chúng ta có thể sử dụng các máy AOI (automated Optical Inspection) quang học hoặc sử dụng X-ray. Các thiết bị này cho phép phát hiện các lỗi vị trí, lỗi tiếp xúc của các linh kiện và kem hàn trên bề mặt của mạch in.

Lợi điểm khi sử dụng công nghệ SMT

- Linh kiện nhỏ hơn
- Cần phải tạo ra rất ít lỗi trong quá trình chế tạo PCB
- Quá trình lắp ráp đơn giản hơn
- Những lỗi nhỏ gặp phải trong quá trình đóng gói được hiệu chỉnh tự động (sức căng bề mặt của kem hàn nóng chảy làm lệch vị trí của linh kiện ra khỏi vị trí của chân hàn trên bo mạch)
- Có thể gắn linh kiện lên trên hai mặt của bo mạch
- Làm giảm trở và kháng của lớp chì tiếp xúc (làm tăng hiệu năng của các linh kiện cao tần)
- Tính năng chịu bền bỉ hơn trong điều kiện bị va đập và rung lắc
- Giá linh kiện cho công nghệ SMT thường rẻ hơn giá linh kiện cho công nghệ xuyên lỗ
- Các hiệu ứng cao tần (RF) không mong muốn ít xảy ra hơn khi sử dụng công nghệ SMT so với các linh kiện cho dùng công nghệ hàn chì, tạo điều kiện thuận lợi cho việc dự đoán các đặc tuyến của linh kiện.

Công nghệ SMT ra đời, thay thế dần dần công nghệ đóng gói xuyên lỗ, điều này không có nghĩa là SMT hoàn toàn lý tưởng. Những điểm cần phải khắc phục ở công nghệ này là quá trình công nghệ chế tạo SMT công phu hơn nhiều so với việc sử dụng công nghệ đóng gói xuyên lỗ, đầu tư ban đầu tương đối lớn và tốn thời gian trong việc lắp đặt hệ thống.

Do kích thước linh kiện rất nhỏ, độ phân giải của các linh kiện trên bo là rất cao nên việc nghiên cứu, triển khai công nghệ này một cách thủ công sẽ làm cho tỷ lệ sai hỏng tương đối lớn và tốn kém.

Hiện nay các sản phẩm SMT tương đối đa dạng đáp ứng đủ các nhu cầu từ thủ công tới tự động hóa hoàn toàn. Hầu như các hãng sản xuất thiết bị SMT hàng đầu thế giới đều tham gia triển lãm lần này như Samsung-SMT, Speedline (Mỹ) hay Juki (Nhật bản). Với sự xuất hiện của sản phẩm SMT, với xu hướng dịch chuyển đầu tư, Việt Nam chắc chắn sẽ trở thành những quốc gia có nền công nghiệp điện tử phát triển trong khu vực và trên thế giới trong tương lai không xa.

ACROSEMI

Nhóm nghiên cứu về khoa học và kỹ thuật vật liệu tại trường khoa học và kỹ thuật ứng dụng McCormick đã sử dụng công nghệ nhuộm huỳnh quang để tạo ra một công nghệ xem hình ảnh mới của graphen ở mức chiều dày một nguyên tử.

Graphen được coi là loại vật liệu mỏng nhất thế giới và rất khó có thể nhìn được. Hiện nay, một số công nghệ được sử dụng để xem ảnh graphen là rất đắt và tiêu tốn thời gian. Công nghệ được sử dụng nhiều nhất hiện nay là kính hiển vi lực nguyên tử (AFM), nó có thể quan sát bề mặt vật liệu bằng cách quét trên bề mặt của nó với một đầu tip rất nhỏ. Nhưng công nghệ này mất rất nhiều thời gian để có thể xem được hình ảnh của graphen và chỉ có thể quan sát được ở một diện tích rất nhỏ. Kính hiển vi điện tử quét có thể quét trên bề mặt graphen với một chùm điện tử có năng lượng cao, với điều kiện mẫu đo được đặt trong buồng chân không. Công nghệ đánh dấu huỳnh quang thường được sử dụng để xem các hình ảnh của vật liệu sinh học. Đây là phương pháp sử dụng chất nhuộm huỳnh quang cho vật chất sinh học cần được nghiên cứu, sau đó nó sẽ được quan sát trên kính huỳnh quang nhưng công nghệ này không được sử dụng cho vật liệu graphen do cơ chế dập tắt huỳnh quang. Vậy làm sao để có thể xem graphen theo cơ chế này? Huang và các cộng sự của ông đã phủ một lớp lên lớp graphen một chất huỳnh quang sau đó quan sát loại vật liệu này bằng một thiết bị được gọi là kính hiển vi dập tắt huỳnh quang (FQM). Kết quả của phương pháp này cho hình ảnh của vật liệu graphen rõ nét như khi quan sát chúng trên kính hiển vi lực nguyên tử hoặc kính hiển vi điện tử quét. Công nghệ này cũng có thể xem được mẫu graphen trong dung dịch.

Hình ảnh của graphen trên đế silíc được chụp bằng kính hiển vi lực nguyên tử (AFM), kính hiển vi điện tử quét (SEM), kính hiển vi quang học ở chế độ phản xạ (OM), hiển vi huỳnh quang dập tắt (FQM). (Đại học Northwestern).

Theo Science daily

Tuần trước, trong diễn đàn công nghệ thường niên, IMEC công bố công nghệ chế tạo pin mặt trời dùng công nghệ phun phủ với hiệu suất lớn 3% so với tấm mặt trời được sản xuất bằng công nghệ quay phủ.

Các tấm pin mặt trời trên vật liệu hữu cơ thường được sản xuất bằng việc quay phủ các lớp hữu cơ và bốc bay chân không kim loại lên mặt trên. Đây là kết quả quan trọng để hiện thực hóa việc sản xuất pin mặt trời giá rẻ và diện tích lớn.

Điều rất quan trọng cho công nghệ cất cánh trong thời gian tới đó là các hoạt động R&D đang đưa chúng ta tới giai đoạn hiện thực hóa quy trình sản xuất pin mặt trời với chi phí thấp, năng suất cao.

Cấu trúc của tấm pin mặt trời dùng công nghệ phun phủ (a) ảnh SEM (b), cấu trúc ngang chụp bằng FIB/TEM của pin mặt trời hữu cơ với lớp keo bạc ở trên (c).

Hiệu suất chuyển đổi cho pin mặt trời dùng vật liệu hữu cơ thấp hơn nhiều so với những vật liệu khối hiện nay cũng như đối với các công nghệ màng mỏng khác. Hiện tại, hiệu suất cho pin mặt trời hữu cơ chỉ đạt cỡ ~6%, nhưng có thể đạt hơn 10% với thời gian sống lâu hơn, đồng thời công nghiệp sẽ thừa nhận công nghệ này nhanh chóng hơn do khả năng làm giảm giá thành và tăng công suất. Tuy nhiên, điều này chỉ thành hiện thực khi mọi lớp của pin mặt trời được tạo nên từ dung dịch bằng các phương pháp phù hợp. Các nhà khoa học cho rằng công nghệ phun phủ đang là công nghệ mang tính hứa hẹn cao nhất dùng để chế tạo pin mặt trời trên cơ sở vật liệu hữu cơ kể cả lớp tiếp xúc kim loại.

Hiện tại, IMEC sử dụng dung dịch P3HT và PCBM để tạo ra lớp hoạt hóa cho tấm pin mặt trời, và tạo ra một dung dịch chứa hạt nano bạc để tạo lớp tiếp xúc bên trên. Thách thức công nghệ là việc phủ lớp tiếp xúc bề mặt mà không làm hòa tan lớp bên dưới, hoặc không làm hỏng lớp vật liệu đó khi dùng nhiệt để ủ lớp nano bạc. Phương pháp phun phủ cho phép làm giảm đáng kể chi phí so với các kỹ thuật khác. Các hạt nano bạc có thể được ủ nhiệt ở $T=150^{\circ}\text{C}$, nhiệt độ tương đương với quá trình ủ các loại đế mềm.

Tiêu thụ năng lượng hiệu quả

Sẽ rất hữu ích nếu chúng ta xác định được giảm đồ tiêu thụ năng lượng từ đó khảo sát tình hình tiêu thụ năng lượng (hình 1)

Mặc dù giảm đồ này được xây dựng ở một nước phát triển (Mỹ), chứ không phải điển hình cho giảm đồ tiêu thụ năng lượng toàn cầu nhưng chúng tôi tin rằng nó cũng có thể đúng cho các nước có nền kinh tế mới nổi. Phân nửa tổng năng lượng tiêu thụ được dùng trong công nghiệp và thương mại, 1/3 cho vận tải và còn lại là dùng cho các hộ gia đình. Có 2 yếu tố làm góp phần làm giảm lượng nhiên liệu tiêu thụ. Một là bản thân mỗi con người thay đổi lối sống, lối tư duy, họ trở nên có ý thức hơn và quan tâm nhiều hơn tới phần năng lượng bị tiêu hao, thất thoát như: chạy xe ít hơn, tắt đèn...Yếu tố thứ hai là giảm năng lượng tiêu thụ cho các sản phẩm đầu cuối. Yếu tố thứ nhất là cần thiết nhưng chưa đủ bởi năng lượng là nhu cầu thiết yếu của con người trong cuộc sống. Con người sử dụng năng lượng ngày càng nhiều, nhất là khi có điều kiện về kinh tế họ sắm sửa thêm các vật dụng thiết yếu hoặc giải trí như tủ lạnh, máy giặt, tivi hoặc xe hơi. Xem ra việc tiêu thụ năng lượng chỉ có nước tăng chứ không hề giảm, ngay cả khi

con người có ý thức rất rõ về tầm quan trọng của tiết kiệm năng lượng. Vì thế, bài toán đặt ra ở đây chính là việc giảm năng lượng tiêu thụ trên các thiết bị đầu cuối. Làm được điều này, chúng ta sẽ giải quyết được những thách thức về tiêu thụ năng lượng nói chung.

Công nghiệp và thương mại

Khoảng một nửa năng lượng sinh ra được dùng trong công nghiệp và thương mại. Công nghệ bán dẫn đã có tác động tới tình hình sử dụng năng lượng bằng nhiều cách khác nhau. Một trong số các tác động đó là cải tiến hiệu quả động cơ điện, chiếm khoảng 2/3 lượng điện tiêu thụ của ngành công nghiệp trên thế giới. Chip bán dẫn có khả năng điều chỉnh tốc độ của động cơ, làm cho mức tiêu thụ có năng lượng chỉ bằng 1/8 năng lượng cần phải bỏ ra để sinh cùng một công ở động cơ có tốc độ không đổi. Hiện tại mới chỉ có 5% động cơ điện sử dụng hệ thống biến tốc, mới chỉ thể thôi nhưng năng lượng tiết kiệm được tương đương với sản lượng của 10 nhà máy điện. Như vậy, nếu 100% động cơ được cải tiến thì năng lượng mà chúng ta có thể tiết kiệm được tương đương với 200 nhà máy điện. Tác động tới môi trường cũng có ý nghĩa quan trọng tương đương. Những động cơ hiệu quả đã tiết kiệm được 68 triệu tấn khí nhà kính.

Hình 1. Giảm đồ phân bố tiêu thụ năng lượng tại Mỹ

Công nghệ số đã trở thành 1 phần của đời sống cá nhân và nghề nghiệp của mọi người trên toàn thế giới. Điều này, dẫn tới tăng nhu cầu năng lượng cho các thiết bị số. Ví dụ, năm 2006 tại Mỹ, hệ thống máy chủ và các trung tâm dữ liệu tiêu thụ 61 tỷ KWh gấp đôi lượng tiêu thụ năm 2001. Việc sử dụng năng lượng của trung tâm dữ liệu sẽ lại tăng gấp đôi trong 5 năm nữa nếu chúng ta không có bất kỳ 1 giải pháp nào. Tuy nhiên, nhờ những phát minh trong công nghệ chip bán dẫn và công nghệ thiết kế hệ thống, chúng ta có thể giảm được phân nửa lượng năng lượng tiêu thụ cho dù nhu cầu vẫn sẽ tăng gấp đôi. Công nghiệp bán dẫn có bề dày lịch sử vĩ đại trong việc giảm thiểu năng lượng. Ví dụ như Máy điện toán đầu tiên ENIAC nặng hơn 30 tấn với công suất tiêu thụ 200 KW. Giờ đây, nếu để thực hiện chức năng tương tự, người ta chỉ cần dùng tới thiết bị cầm tay nặng vài gam và tiêu thụ chưa tới 1 W.

Vận tải

Chip giữ vai trò chính giúp cho việc sử dụng năng lượng trong các động cơ của máy bay, tàu hỏa, xe hơi một cách hiệu quả. Ví dụ, những chiếc xe công nghệ cao được tích hợp các thiết bị điện tử giúp lái xe an toàn hơn, kinh tế hơn, và tiện nghi hơn. Những chiếc xe này tiêu thụ năng lượng hiệu quả hơn và hoàn toàn có lợi với môi trường. Các cải tiến về công nghệ như thiết bị lái bằng điện, bộ phận đề tích hợp, bơm nhiên liệu không chổi, hệ thống chống trượt và chống bó phanh. Đây là 1 hệ thống điển hình được vận hành bởi tổ hợp bao gồm các công nghệ cảm biến, chip xử lý và chip nhớ. Một số phương tiện có tới 100 chip điện toán (bộ vi xử lý) nghĩa là nhiều hơn cả một hệ thống máy tính mạnh. Việc giảm giá chip nhờ công nghệ bán dẫn làm cho công nghệ chỉ dành cho xe đời cao dần xuất hiện ở các dòng xe thấp hơn, điều này đồng nghĩa với việc kích cầu trong ngành công nghiệp ô tô.

Hình 2. Công nghệ cảm biến, vi xử lý, cân bằng lái, chống lật... được đưa vào xe hơi. Ứng dụng công nghệ bán dẫn trong những đời xe chạy điện hay động cơ lai có một ý nghĩa to lớn. Ngoài những bộ phận điện tử đã trở thành tính năng chuẩn trong xe hơi ngày nay, những chiếc xe chạy điện hoặc động cơ lai cần phải có sự điều chỉnh về điện thế. Điều này có thể thực hiện được thông qua các IC công suất – điều mà các bộ phận R&D của các hãng xe hơi đóng góp những kết quả rất quan trọng. Những chiếc xe này tiêu thụ nhiên liệu hiệu quả hơn nhiều so với loại ô tô chạy bằng xăng dầu, điều này đồng nghĩa với việc giảm được 33% lượng CO₂ thải ra. Với tiến bộ công nghệ hiện nay, hiệu suất này thậm chí sẽ còn được cải thiện rất nhiều.

Một cách gián tiếp, chip bán dẫn đã giảm thiểu được tiêu thụ năng lượng trong vận chuyển bằng cách cho phép phương thức làm việc từ xa. Nghĩa là, với tiến bộ về công nghệ thông tin và điện tử, người ta có thể ngồi nhà làm việc thay vì phải di chuyển tới văn phòng. Hiện nay, gần 4 triệu người Mỹ thường xuyên làm việc tại nhà qua mạng viễn thông và tiết kiệm được khoảng 840 gallon xăng mỗi năm tương đương. Điều này cũng góp phần tiết kiệm được 14 tỷ KWh điện năng hàng năm để cấp cho 1 triệu hộ gia đình ở Mỹ. Về mặt tác động tới môi trường, chỉ tính riêng tại Mỹ, cũng đã giảm được tới 14 triệu tấn CO₂ hàng năm.

Hộ dân cư

Cuối cùng nhưng không kém phần quan trọng đó là chip bán dẫn đang bắt đầu có tác động đến việc tiêu thụ năng lượng trong các hộ gia đình, mặc dù chỉ chiếm 22% trong tổng số năng lượng tiêu thụ nhưng con số này cũng đã tương đương với 1/3 tổng lượng điện tiêu thụ tại Mỹ. Mức độ sử dụng năng lượng trên thế giới sẽ nhanh chóng tăng lên bởi người dân là những người tiêu thụ các dịch vụ và hàng hóa trước tiên.

Bóng bán dẫn đóng vai trò chính trong cải thiện có hiệu quả điện chiếu sáng như điều chỉnh độ sáng của đèn huỳnh quang và đèn LED. Bản thân đèn LED là sản phẩm của công nghệ bán dẫn.

Công nghệ bán dẫn cũng giúp giảm tiêu thụ năng lượng dự trữ cho các thiết bị gia đình vì mặc dù đã tắt các thiết bị nhưng vẫn duy trì nguồn nuôi tối thiểu cho hệ thống biến áp khi được cắm vào ổ hay cho các điện thoại không dây... Vì nguồn nuôi tối thiểu phải được duy trì thường xuyên 24 giờ/ ngày cho các thiết bị hiện đại trong nhà, nên dù có rất nhỏ nhưng cũng đã chiếm tới 5-10% lượng điện tiêu thụ trong các hộ gia đình.

Hình 3. Nhà thông minh với vô vàn kết nối.

Mức độ tác động của Công nghệ bán dẫn càng thấy rõ khi có ngày càng nhiều “nhà thông minh”. Ngày nay, những “ngôi nhà thông minh” tưởng chừng chỉ có trong viễn tưởng của con người đã xuất hiện với những tính năng ưu việt như : tiết kiệm năng lượng, thiết bị trong nhà đều được điều khiển. Ngôi nhà thông minh thường được lắp đặt các hệ thống điện tử ở khắp

nơi có kết nối Internet với máy tính, PDA hay mạng không dây.

Ngôi nhà thông minh cũng sẽ có Chip đo tương tác với hệ thống điện lưới hiện đại. Sự tương tác này giúp tiết kiệm năng lượng, giảm hao phí, ứng dụng tốt các bộ điều khiển. Chẳng hạn như khuyến khích sử dụng điện ngoài giờ cao điểm, giảm được nhu cầu về tải suất tối đa. Đối với 1 số mô hình, người tiêu dùng tắt bớt các thiết bị điện trong giờ cao điểm để chỉ phải trả chi phí điện ở mức giá thấp hơn. Đối với mô hình khác, mức giá điện thay đổi tùy vào thời điểm thì người tiêu dùng sẽ chỉ bật các thiết bị tiêu thụ điện có công suất lớn vào lúc giá điện thấp. Nếu ngôi nhà thông minh được cung cấp điện bằng nguồn năng lượng thay thế như năng lượng mặt trời chỉ cấp điện cho hệ thống điện lưới vào thời điểm mình cần, theo đó cân bằng cung cầu sẽ tốt hơn.

Hướng tới nguồn năng lượng thông minh tương lai

Trong 2 thập kỉ tới, chip bán dẫn sẽ đóng góp rất nhiều cho việc thực hiện cuộc cách mạng hóa quá trình sản xuất, phân phối và tiêu thụ năng lượng. Sự đổi mới đó sẽ vô cùng có ý nghĩa. Công nghệ bán dẫn đóng vai trò quan trọng khi đề cập tới thách thức của năng lượng toàn cầu và ngày càng cân bằng chuỗi cung cầu theo hướng có lợi cho môi trường. Tuy nhiên, việc tiếp tục đổi mới chip bán dẫn có thể bị gián đoạn nhờ nguồn năng lượng thay thế, hệ thống điện lưới thông minh, phương tiện chạy bằng điện ngày càng phát triển và ngày càng trở nên thiết thực, phổ biến.

Ứng dụng công nghệ nhanh chóng giải quyết được những đòi hỏi mang tính thách thức đối với nguồn năng lượng dự trữ, ủng hộ việc nghiên cứu hệ sinh thái công nghệ cao, đầu tư đổi mới thông qua cộng tác chặt chẽ giữa các ngành công nghiệp, chính phủ và trường đại học.

Sẽ thật sáng suốt nếu chúng ta duy trì nghiên cứu về “năng lượng thông minh”, bởi nó sẽ tạo ra bước đột phá trong lịch sử giống như phát minh động cơ chạy bằng hơi nước, động cơ đốt trong, và phổ biến thiết bị điện tới từng nhà.

SMT Việt Nam

Tính tới thời điểm này, phần lớn các nhà sản xuất pin mặt trời đang tập trung đầu tư cho công nghệ trên nền silicon. Năm 2008, những tấm silicon đơn tinh thể hoặc đa tinh thể có kích thước 125mm x 125mm hoặc 156mm x 156mm hiện đang chiếm giữ tới 85% tổng công suất sản xuất và lắp đặt của các nhà máy. Tính sẵn sàng của hệ thống thiết bị, cơ sở hạ tầng và việc sản xuất phiến silicon với hiệu suất chuyển đổi cao là những yếu tố chính quyết định sự thành công của công nghệ này.

Người ta tin rằng các nhà khoa học đang cố phát kiến những tiến bộ mới nhằm tìm ra mức chung của các công nghệ khác nhau, đáp ứng nhu cầu ngày càng cao của năng lượng thế giới. Để tránh hiện tượng nứt gãy, công nghệ pin mặt trời dựa trên nền silicon khối sử dụng các đế tương đối dày, và việc sử dụng một lượng lớn silicon trong sản xuất là nguyên nhân làm cho giá thành của công nghệ này vẫn còn cao với

người tiêu dung. Mặc những cố gắng của các nhà sản xuất đã sử dụng những tấm silicon mỏng hơn (~ 500 micron, 1979 và chưa tới 200 micron ngày hôm nay), người ta vẫn đa dò tìm những công nghệ thay thế với giá thành thấp hơn. Dĩ nhiên, cái gì mới cũng khó có thể được chấp nhận khi cái cũ đang vận hành tốt (phần lớn mang lại nguồn lợi cho nhà sản xuất). Những công ty sản xuất pin mặt trời trên cơ sở silicon thì cho rằng họ sẽ làm giảm giá thành trên một đơn vị năng lượng bằng cách tăng hiệu suất và giảm giá silic đa tinh thể. Các nhà sản xuất PV trên công nghệ màng mỏng tuyên bố vật liệu giá rẻ và khả năng sản xuất tấm lớn sẽ khắc phục được bất lợi về hiệu suất chuyển đổi làm giảm chi phí sản xuất. Hiện tại, hiệu suất chuyển đổi tốt nhất của pin mặt trời trên cơ sở silic là 25%, trong khi màng mỏng trên cơ sở silic vô định hình cỡ 12% và các tấm pin mặt trời dựa trên các hợp chất bán dẫn khác nằm trong khoảng 16% - 20%), [1].

PV trên cơ sở màng mỏng được coi là tương lai của ngành sản xuất pin mặt trời. Việc phủ những lớp màng mỏng lên các loại đế như thủy tinh, thép không gỉ hoặc nhôm, đang dần dần thay thế nhu cầu của silic đa tinh thể. Trong khi công nghệ silicon cần phải dùng nhiều tấm ghép lại trên đế, tạo ra những kẽ hở ở mép tấm pin thì công nghệ màng mỏng có thể giải quyết được tồn tại đó với một tấm panel có kích thước hàng mét. Điểm yếu của công nghệ màng mỏng, cho tới ngày hôm nay, chính là hiệu suất chuyển đổi thấp hơn. Vì thế, ở những nơi diện tích hạn chế công nghệ trên cơ sở silicon vẫn chiếm ưu thế. Vào năm 2008, các tấm pin trên cơ sở màng mỏng vẫn chưa đạt được mức giá/oát thấp hơn so với pin mặt trời trên cơ sở silic (1,38 đô la/watt – silic so với 1,51/watt cho màng mỏng, thì năm nay tỷ số này đã được cân bằng [2]. Tỷ lệ này có thể thay đổi, nhưng rất nhỏ, giữa việc đặt vấn đề và cách tiếp cận của các công ty phân tích và đánh giá. Phân tích đó cho thấy, vẫn còn đó niềm tin rằng với sự tiến bộ của kỹ thuật công nghệ màng mỏng sẽ chiếm ưu thế so với công nghệ silic truyền thống vì tới năm nay công nghệ màng mỏng đã gần như giải quyết được vấn đề đó

Dựa trên cơ sở của các nhà sản xuất tấm pin mặt trời toàn cầu chúng ta đã thấy có sự tăng trưởng rất mạnh của ngành sản xuất tấm pin mặt trời màng mỏng từ 15% (2008) lên 31% năm 2012 (một số công ty đánh giá là 34%). Công suất sản xuất lớn nhất cho pin mặt trời trên cơ sở màng mỏng dựa trên silic vô định hình, và được dự đoán là có mức tăng trưởng tới hơn 5 lần những loại vật liệu vô định hình khác vào năm 2012. Những vật liệu đang là đối thủ của silic vô định hình là hợp kinh Đồng – indi – sunphua (CIS) cho hiệu suất chuyển đổi lớn hơn. Ngoài ra còn có Telua-Cadimi (CdTe) mặc dầu hiệu suất chưa cao bằng vật liệu CIS. Những hoạt động R&D cho hai loại vật liệu này đang thu hút rất nhiều hãng sản xuất và các trường đại học, viện nghiên cứu sao cho hiệu suất chuyển đổi ngày càng gần với silic khối.

Tại thời điểm này, còn khá sớm để nói rằng công nghệ nào sẽ chiếm ưu thế hoàn toàn hoặc sẽ phải là kết hợp của nhiều công nghệ. Có điều, chúng ta hiểu rõ, đó là nền công nghiệp đang đặt cược vào công nghệ màng mỏng nhằm giành ngày càng nhiều thị phần từ tay vật liệu silic dạng khối.

Tập thể kỹ sư của đại học Buffalo gần đây đã chứng minh bằng cơ lượng tử rằng ống nano cacbon đơn sợi (SWCNTs) có tính chất làm nguội tốt hơn rất, rất nhiều so với tính chất đó của kim loại trong ngành điện tử. Như vậy, nếu có thể đưa vào sản xuất, SWNTs có thể thay thế rất nhiều kim loại đang được sử dụng trong IC hiện nay. Mật độ dòng cao có thể dẫn tới sự chuyển điện và chuyển điện, hiện tượng này có thể làm phương hại tới vật dẫn kim loại và sinh nhiệt – thường tạo ra sai hỏng sớm của thiết bị điện tử.

Bốn năm qua, [phòng thí nghiệm đóng gói điện tử](#), trường ĐH Buffalo (Buffalo, N.Y.), do TS. Cemal Basaran làm chủ nhiệm đã tiến hành các tính toán cơ học điện tử để chứng minh rằng SWNTs mật độ dòng cao không gây ra những hiện tượng như trên do lượng nhiệt tỏa ra chỉ bằng 1% lượng nhiệt sinh ra so với vật liệu kim loại truyền thống như Cu.

CNTs được nghiên cứu trong rất nhiều công trình khác và được công bố với rất nhiều tính chất đặc biệt. Nhiều nhà khoa học cho rằng có thể dùng CNTs để thay thế kim loại trong nhiều ứng dụng trong điện tử. Tuy nhiên, nhiều nhà khoa học cũng cho rằng quá trình nhiệt điện trong SWCNTs tuân theo định luật Joule' nghĩa là trở trong mạch chuyển năng lượng điện thành năng lượng nhiệt. Basaran và đồng nghiệp đã chứng minh bằng toán học, sử dụng các công cụ cơ học lượng tử chứng minh SWCNTs không tuân theo định luật Joule. Sự khác nhau giữa kim loại và SWCNTs là ở cách chúng dẫn điện.

Mặc dù, SWCNTs là chất dẫn điện, chúng không có bất kỳ liên kết kim loại nào, như vậy chúng không dẫn điện giống như cách kim loại thông thường, nghĩa là thông qua sự tán xạ điện tử trong mạng tinh thể của vật liệu sao cho khi điện tử chuyển động, chúng sẽ tương tác với các nguyên tử. Điều này gây ra lực ma sát và sinh nhiệt.

Cách dẫn điện trong SWCNTs rất khác, chúng dẫn điện trong cấu trúc 1 chiều. Điện tử được dẫn thẳng trong vật liệu và rất ít va chạm, tương tác với nguyên tử. Lực ma sát tối thiểu trong SWNTs giải thích tại sao độ dẫn của vật liệu này cao hơn rất, rất nhiều so với kim loại thông thường. Tính chất duy nhất này của SWCNTs sẽ cho phép các kỹ sư hiện thực hóa việc chế tạo các thiết bị nhỏ hơn, nhanh hơn và tiêu tốn ít năng lượng hơn so với các thiết bị hiện nay khi mà chúng ta có thể loại bỏ phần lớn các tiếp xúc kim loại trong hệ thống.

Trên quan điểm đóng gói chip, cho tới nay, mọi vật liệu chúng ta sử dụng cho quá trình tạo tiếp xúc hoặc liên tiếp xúc đều là kim loại hoặc hợp kim. Rào cản khuếch tán (nhiệt) có khuynh hướng là Niken và rào cản ăn mòn thường là vàng. Tuy nhiên người ta phải đồng ý với nhau một điều rằng không thể chế tạo kim loại với kích thước nhỏ vô cùng với mật độ dòng cao. Chúng ta không thể ngăn được lực khuếch tán do sự chênh lệch về nhiệt độ và mật độ dòng quá lớn. Basaran và nhóm của ông đã tìm thấy, ở WCNTs, một tính chất rất quan trọng – đó là chúng không có biểu hiện gì liên quan tới hàng rào khuếch tán.

Trước mắt không thể thay thế các điểm tiếp nối trong mạch in PCB, nhưng Basaran hy vọng rằng có thể làm điều này đối với liên tiếp xúc trong lớp đóng gói ban đầu. Ban đầu, họ muốn thử nghiệm công trình của mình trên đóng gói "hệ thống trên chip" (SoC) để chứng minh những tính chất đặc biệt này.

Một trong những ưu điểm nổi trội của SWCNTs là chúng có thể hoạt động ở nhiệt độ cao. Rất nhiều ứng dụng điện tử bị hạn chế ở vùng nhiệt độ cao. Nếu để bán dẫn trên cơ sở Silic-Các-bua sử dụng liên tiếp xúc là SWCNT, hệ thống có thể hoạt động ở nhiệt độ cao hơn tầm 600°C không phải là nhiệm vụ bất khả thi trong tương lai gần.

Chúng ta có thể mọc CNTs trên một đế bán dẫn với chi phí rất thấp mặc dù cần phải làm nốt một số công đoạn khác như khống chế hình dạng của nó vì cách mà chúng ta cuộn nó lại sẽ quyết định CNTs là bán dẫn hay kim loại. Tổng hợp và cố định CNTs mà không có sai hỏng cũng là một bí quyết nữa. Khi có thể trải CNTs

thành một màng mỏng, bề dày của nó sẽ cỡ nguyên tử, nếu chỉ cần khuyết một nguyên tử sẽ gây ra sai hỏng lớn. Trong lĩnh vực này các nhà khoa học Nhật Bản đang đứng đầu danh sách.

Ở Việt Nam cũng có rất nhiều nhóm nghiên cứu ứng dụng của CNTs trong việc cải tiến tính chất của vật liệu. Ví dụ, pha tạp CNTs với sợi nano Sn có thể làm giảm nhiệt độ hoạt động của cảm biến khí từ cỡ $T > 200^{\circ}\text{C}$ xuống ở nhiệt độ phòng. Hoặc, CNTs có thể được nghiên cứu trong nghiên cứu vi cấu trúc khi gắn trên các đầu dò của kính hiển vi điện tử. Hy vọng rằng, với sự góp mặt của Intel Việt Nam và các công ty bán dẫn khác các nghiên cứu về CNTs ứng dụng trong đóng gói chip điện tử sẽ được sớm triển khai.

Tóm tắt: Con quay vi cơ chế tạo dựa trên công nghệ vi cơ điện tử (MEMS) hiện được sử dụng rộng rãi trong các hệ quán tính phức tạp. Nhằm đáp ứng nhu cầu chế tạo và ứng dụng con quay vi cơ trong thực tế, bài báo này đề cập tới việc thiết kế một cấu trúc hoạt động theo cơ chế dao động được chế tạo trên vật liệu silic.

Cảm biến TFG có ưu điểm là cấu trúc đơn giản và dễ dàng tích hợp mạch xử lý tín hiệu. Các thiết kế viết trên MATLAB cho phép khảo sát cấu trúc ba chiều và các thông số của cảm biến.

MỞ

ĐẦU

Con quay vi cơ hay còn gọi là cảm biến vận tốc góc được dùng để đo vận tốc góc quay. Với giá thành ngày càng hạ, kích thước ngày càng thu nhỏ, con quay vi cơ được dùng rộng rãi trong công nghiệp ô tô (cân bằng, điều khiển phanh, tăng tốc); điện tử dân dụng (máy ảnh, máy giặt, thực tại ảo); robot và đặc biệt là trong quân sự [1]. Ngoài ra, con quay vi cơ được sử dụng kết hợp với các cảm biến gia tốc phục vụ dẫn đường cho máy bay, tên lửa...

Bài báo này đề cập tới một loại cảm biến vận tốc góc hoạt động theo cơ chế dao động có dạng âm thoa. Đây là một trong những cấu trúc dễ chế tạo và dễ dàng tích hợp mạch điện tử. Cấu trúc cơ học của cảm biến sẽ được phủ các lớp điện cực cảm biến và điện cực truyền động. Mạch điện tử bên ngoài được kết hợp nhờ công nghệ CMOS. Những thiết kế cơ học được thực hiện theo phương pháp phân tích trong môi trường MATLAB. Các thông số của cảm biến TFG (tần số cộng hưởng, nhiễu, độ nhạy...) được đánh giá và phân tích chi tiết trong công trình này.

NGUYÊN

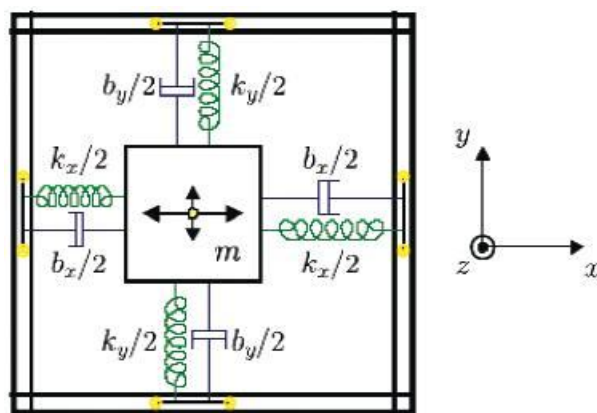
TẮC

HOẠT

ĐỘNG

Sơ đồ nguyên lý của một cảm biến vận tốc góc được mô tả trong hình 1. Khối gia trọng m được gắn trong một khung cố định gồm bốn lò xo đàn hồi và bốn bộ suy hao. Hệ số đàn hồi của lò xo tương ứng là $k_x/2$ và $k_y/2$. Hệ số suy hao tương ứng là $b_x/2$ và $b_y/2$. Giả sử rằng lò xo và bộ suy hao có khối lượng không đáng kể gắn vào khung cố định nhờ 4 bánh xe có thể trượt không ma sát trên khung.

Gọi Q_x và Q_y lần lượt là hệ số phẩm chất theo trục x và y . và tương ứng là tần số cộng hưởng



Hình 1. Nguyên lý của cảm biến vận tốc góc TFG

của TFG theo trục x và y. Khi cảm biến chịu một vận tốc góc quay quanh trục z, ta có phương trình động học:

$$\ddot{x} + \frac{\omega_{r,x}}{Q_x} \dot{x} + \omega_{r,x}^2 x = +2\dot{y}\Omega \quad (1.a)$$

$$\ddot{y} + \frac{\omega_{r,y}}{Q_y} \dot{y} + \omega_{r,y}^2 y = -2\dot{x}\Omega \quad (1.b)$$

Chọn trục x là trục truyền động tức là đặt một dao động:

$$x = x_0 e^{i\omega_d t} \quad (2)$$

Với ω_d là tần số truyền động và x_0 là biên độ dao động. Trục y sẽ cảm nhận được vận tốc góc thông qua biên độ dao động y_0 trên trục y [2]. Sử dụng công thức tính lực CORIOLIS, ta có:

$$\frac{y_0}{x_0} = 2\Omega \frac{Q_y}{\omega_r} \quad (3)$$

Với mục tiêu thiết kế cảm biến có hệ số chất lượng là 1000, vận tốc góc tối đa $\Omega = 200 \text{ o/s} = 3.5 \text{ rad/s}$ và tần số cộng hưởng ở cả 2 chế độ khoảng 30kHz thì tỉ số y_0/x_0 là rất nhỏ. Điều này có nghĩa là ảnh hưởng của dao động trên trục y lên trục x được coi bằng 0. Hệ phương trình được đơn giản hoá thành :

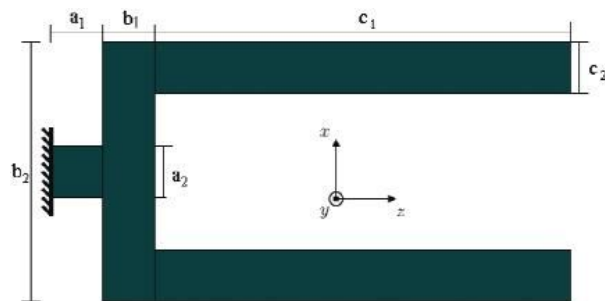
$$\ddot{x} + \frac{\omega_{r,x}}{Q_x} \dot{x} + \omega_{r,x}^2 x = \frac{F_d}{m} e^{i\omega_d t} \quad (4.a)$$

$$\ddot{y} + \frac{\omega_{r,y}}{Q_y} \dot{y} + \omega_{r,y}^2 y = -2\dot{x}\Omega \quad (4.b)$$

Phương trình (4.b) cho ta phương trình động học của một cảm biến gia tốc với gia tốc ngoại lực là.

THIẾT KẾ CẢM BIẾN VẬN TỐC GÓC TFG

Thiết kế các cảm biến vận tốc góc kiểu tụ sử dụng chương trình mô phỏng Sugar hoạt động dựa vào phân tích nút để giải các phương trình vi phân phi tuyến [3]. Chương trình được thực hiện trong môi trường MATLAB với độ chính xác cao, tương đương với những mô phỏng truyền thống [4]. Các tham số đầu vào có thể dùng thay đổi các tính chất vật lý và hình học như hệ số Young, hệ số Poisson, hằng số điện môi, độ rộng thanh dầm... Điều này rất thuận lợi khi thay đổi thiết kế các cảm biến khác nhau và đây cũng là ưu điểm lớn so với các công cụ mô phỏng khác (ANSYS, MEMSCAP). Hình 2 mô tả các thông số hình học của cảm biến TFG trên mặt phẳng xz.



Hình 2. Thông số hình học của TFG

Thông số	a_1	a_2	b_1	b_2	c_1	c_2	h	E	ν	ρ
	[μm]	[μm]	[μm]	[μm]	[μm]	[μm]	[μm]	[GPa]	[1]	[kg/m^3]
Giá trị	100	100	100	800	1800	100	100	150	0.17	2300

Bảng 1. Thông số vật lý và hình học của cảm biến vận tốc góc TFG

	Chiều rộng	Chiều dài	Khoảng cách 2 điện cực
Điện cực truyền động	$h=100\ \mu\text{m}$	$l_c=500\ \mu\text{m}$	$d_x=10\ \mu\text{m}$
Điện cực cảm biến	$c_x=100\ \mu\text{m}$	$l_c=500\ \mu\text{m}$	$d_y=3\ \mu\text{m}$

Bảng 2. Thông số điện cực của tụ điện

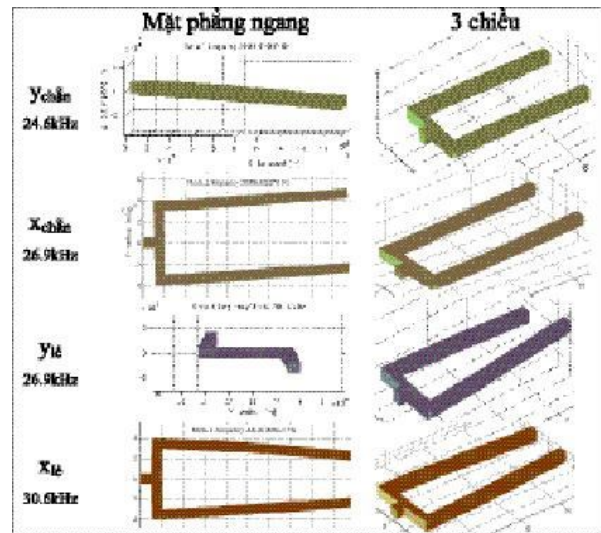
Thông số truyền động		Thông số cảm biến	
Biên độ tín hiệu truyền động V_0	10 V	Gia tốc CORIOLIS $a_{y,0}$	$0.05\Omega\ \text{m/s}^2$
Gia tốc truyền động a_d	$20\ \text{m/s}^2$	Biên độ dao động y_0	$10^{-10}\Omega\ \text{m}$
Biên độ dao động x_0	$0.5\ \mu\text{m}$	Điện dung 2 tụ cảm biến	$7.10^{-14}\ \text{F}$
Vận tốc tối đa $v_{x,0}$	$0.1\ \text{m/s}$	Độ nhạy cơ học S	$2.10^{-18}\ \text{F/s}$
Gia tốc tối đa $a_{x,0}=Q.a_d$	$20.000\ \text{m/s}^2$	Dải tần làm việc BW	30 Hz
		Nhiều Brownian	$0.01\ ^\circ/\text{s/Hz}^{1/2}$
		Vận tốc góc tối đa	$200\ ^\circ/\text{s}$

Bảng 3. Các thông số truyền động và cảm biến của TFG

là khối lượng riêng của silic, ρ Bảng 1 mô tả các thông số chi tiết của cảm biến. Ở đây E là module Young, ν là hệ số Poisson và

Hình 3 biểu diễn bốn chế độ dao động cộng hưởng được mô phỏng bằng SUGAR. Dựa vào chuyển động tương đối của hai thanh dầm mà có thể kí hiệu các chế độ cộng hưởng đó là xẻ, xchắn, yẻ và ychắn. Trong bốn chế độ này thì xẻ và yẻ được lựa chọn bởi hệ số phẩm chất trong hai chế độ cộng hưởng này là lớn nhất [5].

Từ những tính toán lý thuyết và mô phỏng bằng SUGAR thấy rằng các thông số b_1 , c_2 và độ dày h ảnh hưởng rất lớn tới các tần số cộng hưởng. Ta biết rằng sai số trong quá trình chế tạo sẽ làm thay đổi đặc tính mong muốn của cảm biến. Điều này có thể khắc phục bằng phương pháp điều chỉnh tần số [6]. Trong bài báo này, các điện cực của tụ điện có kích thước như trong bảng



Hình 3. Bốn chế độ cộng hưởng của TFG

2:
Các thông số ở chế độ truyền động và cảm biến được tính toán và liệt kê như trong bảng 3. Cảm biến có dải tần hoạt động là 30 Hz và nhiễu nhiệt Brownian là $0.010/\text{s/Hz}^{1/2}$. Trong bài báo này chưa đề cập đến việc tính toán nhiễu của toàn bộ cảm biến vận tốc góc cần thiết kể (là tổng của nhiễu Brownian và nhiễu do mạch điện tử). Giá trị này sẽ xác định độ phân giải của cảm

KẾT

Trong công trình này, một cảm biến vận tốc góc đơn giản với những ưu điểm nổi bật như cấu trúc đơn giản và dễ dàng tích hợp mạch điện tử đã được tiến hành thiết kế. Cảm biến được chế tạo bởi sự kết hợp giữa công nghệ MEMS và công nghệ CMOS. Các thông số chi tiết của cảm

LUẬN

biến được mô phỏng và tính toán trên cơ sở công cụ SUGAR. Những kết quả này hết sức quan trọng và cần thiết để chế tạo thành công cảm biến vận tốc góc phù hợp với các yêu cầu đề ra.