

ΕΡΓΑΣΙΑ ΣΤΑ ΨΗΦΙΑΚΑ VLSI-ASIC ΑΝΑΦΟΡΑ ΑΣΚΗΣΕΩΝ

Τσαρναδέλης Αθανάσιος Γρηγόριος

10388

atsarnad@ece.auth.gr

Περιεχόμενα

Άσκηση 1	3
Άσκηση 2	6
Άσκηση 3	8
Άσκηση 4	10
Άσκηση 5	11
Άσκηση 6	13
Άσκηση 7	14
Άσκηση 8	18
Άσκηση 9	19

Άσκηση 1

Ξεκινάω ανοίγοντας το genus και εισάγοντας τις βιβλιοθήκες για το timing, τις tech και macro και την βιβλιοθήκη για τα παρασιτικά. Αυτό γίνεται αυτόματα μέσω του αρχείου run.tcl που περιλαμβάνεται στα παραδοτέα της πρώτης άσκησης. Απενεργοποιώ τα Scan FFs και διαβάζω το αρχείο Verilog. Το Top-level module είναι το picorv32, και κάνω elaboration σε αυτό. Έπειτα κάνω check_design, και παρατηρώ ότι δεν έχω Unresolved References.

Check Design Report (c)	
Summary	
Name	Total
Unresolved References	0
Empty Modules	0
Unloaded Port(s)	32
Unloaded Sequential Pin(s)	1
Unloaded Combinational Pin(s)	51
Assigns	68
Undriven Port(s)	0
Undriven Leaf Pin(s)	0
Undriven hierarchical pin(s)	0
Multidriven Port(s)	0
Multidriven Leaf Pin(s)	0
Multidriven hierarchical Pin(s)	0
Multidriven unloaded net(s)	0
Constant Port(s)	2
Constant Leaf Pin(s)	0
Constant hierarchical Pin(s)	1454
Preserved leaf instance(s)	0
Preserved hierarchical instance(s)	0
Feedthrough Modules(s)	0
Libcells with no LEF cell	0
Physical (LEF) cells with no libcell	94
Subdesigns with long module name	0
Physical only instance(s)	0
Logical only instance(s)	0

Εικόνα 1: check_design για το top module picorv32

Συνεχίζω γράφοντας το αρχείο constraints.sdc, εντός του οποίου εξηγούνται εντολή προς εντολή οι επιλογές που έγιναν, ώστε να ικανοποιηθούν κατ'ελάχιστο οι επιθυμητοί προσδιορισμοί. Το read_sdc δεν επιστρέφει λάθη, αλλά τρέχω και το check_timing_intent, το οποίο επίσης δεν επιστρέφει λάθη.

@genus:root: 5> read_sdc constraints.sdc Warning : Unsupported SDC command option. [SDC-201] [set_input_delay] : The set_input_delay command is not supported on ports already defined 'port:picorv32/clk'. Warning : The current version does not support this SDC command. Future versions may be enhanced to support this option. Statistics for commands executed by read_sdc: "all_inputs" - successful 4, failed 0 "all_outputs" - successful 4, failed 0 "create_clock" - successful 1, failed 0 "get_clocks" - successful 4, failed 0 "get_ports" - successful 1, failed 0 "set_clock_latency" - successful 1, failed 0 "set_clock_transition" - successful 1, failed 0 "set_clock_uncertainty" - successful 2, failed 0 "set_driving_cell" - successful 2, failed 0 "set_input_delay" - successful 2, failed 0 "set_load" - successful 2, failed 0 "set_output_delay" - successful 2, failed 0 read_sdc completed in 00:00:00 (hh:mm:ss)	Lint summary Unconnected/logic driven clocks 0 Sequential data pins driven by a clock signal 0 Sequential clock pins without clock waveform 0 Sequential clock pins with multiple clock waveforms 0 Generated clocks without clock waveform 0 Generated clocks with incompatible options 0 Generated clocks with multi-master clock 0 Paths constrained with different clocks 0 Loop-breaking cells for combinational feedback 0 Nets with multiple drivers 0 Timing exceptions with no effect 0 Suspicious multi_cycle exceptions 0 Pins/ports with conflicting case constants 0 Inputs without clocked external delays 0 Outputs without clocked external delays 0 Inputs without external driver/transition 0 Outputs without external load 0 Exceptions with invalid timing start-/endpoints 0 Total: 0
---	--

Εικόνα 2: Αποτελέσματα ελέγχου των constraints

Στην συνέχεια εκτελώ και τα τρία βήματα σύνθεσης και εξαγωγ τα ζητούμενα μεγέθη.

Βήμα 6 Μετά την σύνθεση	Άσκηση 1
Αριθμός Κελιών	10302
Συνολική Επιφάνεια	48527.59
Slack	0
Ισχύς	5.3812e-03

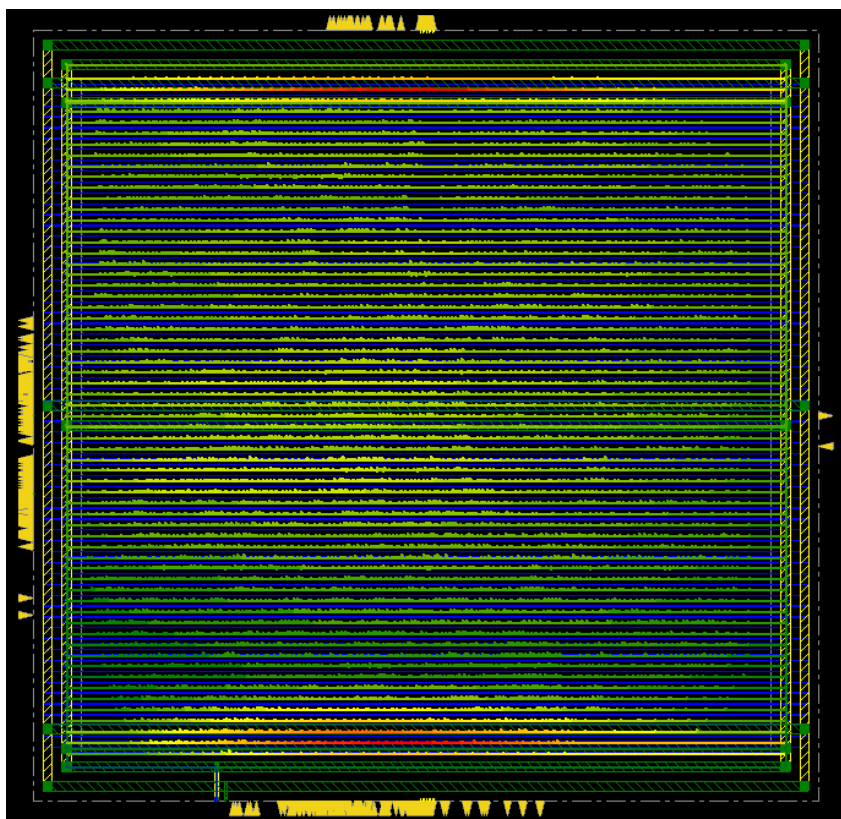
Στην συνέχεια εξάγω τα αρχεία και τα εισάγω στο Innovus. Κάνω import το project και όλα τα κατάλληλα αρχεία, ορίζω τα nets και δημιουργώ το MMMC View Definition File. Επιλέγω ποσοστό χρήσης πυρήνα 75% και δημιουργώ 15µm για τους δακτυλίους. Στη συνέχεια δημιουργώ τα rings και stripes, ώστε να υλοποιήσω το δίκτυο διανομής. Δημιουργώ τους ακροδέκτες τροφοδοσίας και γείωσης και τα follow pins.

Προσοχή: οι εντολές globalNetConnect και createPGPin αντικαταστάθηκαν από τις global_net_connect και create_pg_pin, καθώς οι πρώτες επέστρεφαν το error “command not found”. Μέσω της εντολής get_common_ui_map βρέθηκαν όλες οι εντολές που λειτουργούν σε αυτό το version.

Στην συνέχεια προχωρώ κάνοντας το Special Route. Έπειτα ρυθμίζω το Mode Setup όπως περιγράφεται στο Βήμα 11, και ενεργοποιώ την επιλογή Place IO Pins. Κάνω τοποθέτηση και εξάγω τις ζητούμενες αναφορές.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1
Slack	0.014
Switching power	2.26 (60% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)
Leakage Power	0.0008 (0.02% της συνολικής ισχύος)
Total Power	3.79
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)
Επιφάνεια	34619.976

Στην συνέχεια κάνω Early Power Rail ανάλυση και παρατηρώ ότι η μεγαλύτερη πτώση τάσης είναι στο πάνω και κάτω μέρος του δικτύου διανομής ισχύος (PDN). Στην εικόνα φαίνονται δύο σημεία με κόκκινο που παρουσιάζουν την μεγαλύτερη πτώση τάσης, ενώ το υπόλοιπο κύκλωμα είναι είτε πράσινου είτε μπλε χρώματος, με ικανοποιητική πτώση τάσης. Το IR Drop εξαρτάται από την δομή του PDN, της αντίστασης και την χωρητικότητα του. Επίσης εξαρτάται από τον αριθμό των κελιών που τροφοδοτεί η συγκεκριμένη περιοχή του PDN.



Εικόνα 3: Αποτελέσματα Power Rail Analysis

Κάνω Check Placement και δεν επιστρέφει errors, με density 75.23%. Εκτελώ Early Global Routing με εύρος σε όλα τα μέταλλα και έπειτα ελέγχω τα αποτελέσματα. Δοκιμάζω και στα μέταλλα 7-10 και 8-11 και παρατηρώ ότι στην τελευταία περίπτωση υπάρχει congestion.

Μέγεθος\Εύρος Δρομολόγησης	Όλα τα μέταλλα	Μέταλλο 7 -10	Μέταλλο 8 -10
Συμφόρηση	Δεν υπάρχει	Δεν υπάρχει	Υπάρχει
Wirelength	213578	215196	226056
Vias	79660	324303	365547

Όταν έχω δρομολόγηση ανάμεσα στα μέταλλα 7-11 υπάρχουν Vias στα χαμηλά επίπεδα μετάλλου, ώστε να γίνουν οι συνδέσεις μεταξύ των τρανζίστορ που βρίσκονται κάτω από το μέταλλο 1 με τα μέταλλα 7-11 που χρησιμοποιούνται για δρομολόγηση.

Στην συνέχεια κάνω την σύνθεση του δέντρου ρολογιού σύμφωνα με το βήμα 14 και παρουσιάζω τα αποτελέσματα.

Προσοχή: σαν target για τον μέγιστο ρυθμό μετάβασης τέθηκαν τα 0.06ns, που είναι 1.2% της περιόδου, καθώς το 1% (0.05ns) επέστρεφε error ότι είναι πολύ χαμηλό και δεν έτρεχε.

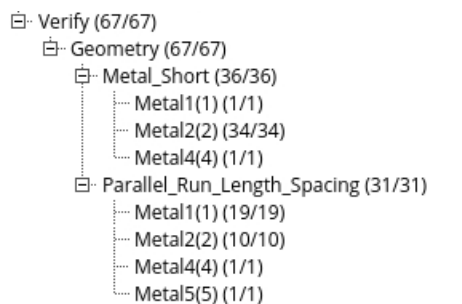
Βήμα 14 Μετά το CTS	Άσκηση 1
Slack	0.030
Ισχύς	4.12
Επιφάνεια	35052.948

Buffers	218
Skew groups	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6
Ελάχιστο βάθος	6
Μήκος δρομολόγησης trunk	2222.27
Μήκος δρομολόγησης leaves	7087.33

Ελέγχω και τα halo violations και δεν υπάρχει κανένα. Έπειτα εκτελώ την δρομολόγηση Nano route με τις ζητούμενες ρυθμίσεις, καθώς και το optimization post Route και εξαγωγή τα ζητούμενα μεγέθη:

Βήμα 15 Μετά το NanoRoute	Άσκηση 1
Slack	-0.072
Επιφάνεια	35052.948
Κατανάλωση ισχύος	4.1422

Παρατηρώ πως σε σχέση με το βήμα 11, η επιφάνεια αυξήθηκε ελαφρώς, η ισχύς αυξήθηκε, και το slack είναι αρνητικό. Επίσης έχω τις εξής παραβάσεις DRC στο κύκλωμα, αφού έτρεξα το eco route -fix drc:



Εικόνα 4: DRC violations στο Violation Browser

Τέλος, κάνω Metal Fill με 10% πυκνότητα για όλα τα μέταλλα.

Άσκηση 2

Χρησιμοποιώ την ίδια ροή με την Άσκηση 1, με την διαφορά ότι χρησιμοποιώ την εντολή `set_db opt_leakage_to_dynamic_ratio 1`, ώστε να βελτιστοποιήσω ως προς την ισχύ διαρροής. Παραθέτω τους πίνακες των μεγεθών της άσκησης 1 με τα νέα αποτελέσματα:

Βήμα 6 Μετά την σύνθεση	Άσκηση 1	Άσκηση 2
Αριθμός Κελιών	10302	10302
Συνολική Επιφάνεια	48527.59	48527.59
Slack	0	0
Ισχύς	5.3812e-03	5.38122e-03

Παρατηρώ ότι όλα τα μεγέθη παραμένουν σταθερά. Αυτό οφείλεται στο γεγονός ότι στο αρχικό κύκλωμα δεν δόθηκε καμία εντολή στο genus για την ισχύ, αλλά κατά την βελτιστοποίηση του κυκλώματος βελτιστοποιήθηκε η ισχύς διαρροής. Άρα τα κυκλώματα είναι ίδια, καθώς στόχος της βελτιστοποίησης είναι μικρότερη ισχύς διαρροής. Στην πρώτη περίπτωση γίνεται αυτόματα ενώ στην δεύτερη το δηλώνω εγώ ρητά. Για να βελτιστοποιήσω περισσότερο το κύκλωμα ως προς την ισχύ, επιλέγω στο Optimization Power Effort High και Leakage to Dynamic Ratio 1.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1	Άσκηση 2
Slack	0.016	0.006↓
Switching power	2.26 (60% της συνολικής ισχύος)	2.26 (63% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)	1.32 (37% της συνολικής ισχύος) ↓
Leakage Power	0.00085 (0.02% της συνολικής ισχύος)	0.0007 (0.02% της συνολικής ισχύος) ↓
Total Power	3.79	3.57↓
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)	0.055 (27% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)	2.2 (74% της συνολικής switching ισχύος)
Επιφάνεια	34619.976	36872.046↑

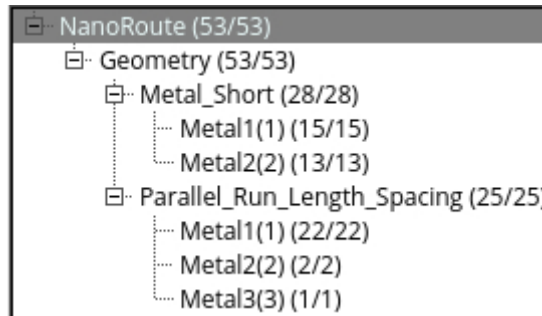
Παρατηρώ πως κερδίζω σε ισχύ, καθώς η ισχύς διαρροής που ήταν ήδη πολύ μικρή, μειώθηκε παραπάνω, το ίδιο και η internal power. Έτσι έχω μείωση της συνολικής ισχύος. Το slack μειώθηκε αλλά παρέμεινε θετικό. Η επιφάνεια αυξήθηκε αρκετά, άρα χάνω σε επιφάνεια αλλά κερδίζω σε κατανάλωση ισχύος.

Βήμα 14 Μετά το CTS	Άσκηση 1	Άσκηση 2
Slack	0.030	-0.203↓
Ισχύς	4.12	3.913↓
Επιφάνεια	35052.948	37333.746↑
Buffers	218	219
Skew groups	1	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)	0.048 (ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)	0.63 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6	6
Ελάχιστο βάθος	6	6
Μήκος δρομολόγησης trunk	2222.27	2126.54
Μήκος δρομολόγησης leaves	7087.33	7061.22

Παρατηρώ ότι το slack πέφτει, και μάλιστα γίνεται αρνητικό, χωρίς όμως να φεύγει πολύ μακριά από το 0. Η ισχύς μειώθηκε, κάτι που περίμενα, ενώ η επιφάνεια αυξήθηκε. Τα αποτελέσματα, λοιπόν, είναι παρόμοια με του προηγούμενου βήματος.

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 2
Slack	-0.072	-0.211↓
Επιφάνεια	35052.948	37333.746↑
Κατανάλωση ισχύος	4.1422	3.928↓

Παρατηρώ πως έχω πτώση ισχύος και του slack, και αύξηση της επιφάνειας όπως και στα προηγούμενα βήματα. Παραμένουν κάποια DRC violations, τα οποία μειώθηκαν με optimization και eco route.



Εικόνα 5: DRC violations στο Violation Browser

Άσκηση 3

Χρησιμοποιώ τα ίδια αρχεία σύνθεσης, αυτή την φορά με Core Utilization 85%. Παραθέτω τους πίνακες των βημάτων 11,14,15.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1	Άσκηση 3
Slack	0.016	0.017 ↑
Switching power	2.26 (60% της συνολικής ισχύος)	2.26 (60% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)	1.52 (40% της συνολικής ισχύος)
Leakage Power	0.00085 (0.02% της συνολικής ισχύος)	0.00085 (0.02% της συνολικής ισχύος)
Total Power	3.79	3.79
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)	0.08515 (28% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)	2.184 (72% της συνολικής switching ισχύος)
Επιφάνεια	34619.976	34577.568 ↓

Παρατηρώ μικρή πτώση στην επιφάνεια, ενώ έχω μικρή αύξηση στο slack. Αυτό συμβαίνει καθώς με μεγαλύτερο ποσοστό χρήσης του πυρήνα, μπορώ να τοποθετήσω παραπάνω cells σε μια συγκεκριμένη περιοχή. Αυξάνοντας το Core utilization, και έχοντας σταθερό πλήθος cells, το εργαλείο μπορεί να τα «χωρέσει» σε μικρότερη επιφάνεια, και άρα έχω μείωση της.

Βήμα 14 Μετά το CTS	Άσκηση 1	Άσκηση 3
------------------------	----------	----------

Slack	0.030	0.016↓
Ισχύς	4.12	4.12
Επιφάνεια	35052.948	35105.616↑
Buffers	218	213↓
Skew groups	1	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)	0.142 (ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)	0.064 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6	5
Ελάχιστο βάθος	6	4
Μήκος δρομολόγησης trunk	2222.27	2054.99
Μήκος δρομολόγησης leaves	7087.33	7139.76

Παρατηρώ πως η επιφάνεια που κέρδισα, χάθηκε μετά το CTS. Έχω επίσης μείωση του slack, ενώ παραμένει θετικό, και μείωση των buffers. Η ισχύς παραμένει σταθερή.

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 3
Slack	-0.072	-0.048 ↑
Επιφάνεια	35052.948	35105.616↑
Κατανάλωση ισχύος	4.1422	4.14

Παρατηρώ πως το slack είναι μεγαλύτερο από αυτό της άσκησης 1, ενώ η επιφάνεια μένει σταθερή σε σχέση με το Βήμα 14, και μεγαλύτερη της άσκησης 1. Γενικά οι αλλαγές τόσο σε επιφάνεια, όσο και στο slack είναι γενικά μικρές, ενώ η ισχύς παραμένει σταθερή με την άσκηση 1.

Μέγεθος	Βήμα 11	Βήμα 14	Βήμα 15
Αριθμός Vias	113713	113232	91898
Μήκος Διασυνδέσεων	202694um	210125um	216186um

Οι διαφορές σε ότι αφορά τα vias και το μήκος διασυνδέσεων είναι σχετικά μικρές. Ο μικρότερος αριθμός vias είναι στο βήμα 15, ενώ ο μεγαλύτερος στο βήμα 11. Το αντίθετο ισχύει για το μήκος διασυνδέσεων, με το μεγαλύτερο μήκος να βρίσκεται στο Βήμα 15, ενώ το μικρότερο στο Βήμα 11. Γενικά το εργαλείο ξεκινάει με πολλά vias, και άρα πολλά επίπεδα μετάλλου, και λιγότερο μήκος διασυνδέσεων. Όσο η σχεδίαση γίνεται πιο συγκεκριμένη και βελτιστοποιείται, μειώνεται ο αριθμός των vias, κάτι που ωφελεί την σχεδίαση καθώς τα vias έχουν μεγάλη αντίσταση και προτιμώ να έχω όσο το δυνατόν μικρότερο αριθμό. Μειώνοντας τα vias αυξάνεται το μήκος διασυνδέσεων, καθώς μειώνω τα επίπεδα μετάλλου που χρησιμοποιώ για την σχεδίαση. Για να αποφύγω τυχόν congestion που μπορεί να δημιουργηθεί, καθώς χρησιμοποιώ λιγότερα μέταλλα, αυξάνεται το μήκος των διασυνδέσεων.

Άσκηση 4

Ξανατρέχω τα βήματα της διαδικασίας με το νέο ρολόι 400MHz, και παραθέτω τα αποτελέσματα. Ενημερώνω τα constraints καθώς και τα targets για το skew και max transition time. Ελέγχω τα constraints με το check_timing_intent, το οποίο δεν επιστρέφει προβλήματα.

Βήμα 6 Μετά την σύνθεση	Άσκηση 1	Άσκηση 4
Αριθμός Κελιών	10302	13611 ↑
Συνολική Επιφάνεια	48527.59	65694.60 ↑
Slack	0	-969 ↓
Ισχύς	5.3812e-03	13.1226e-03 ↑

Παρατηρώ πως αυξάνοντας την συχνότητα ρολογιού έχω αύξηση στον αριθμό κελιών, στην συνολική επιφάνεια, ενώ το slack μειώνεται δραματικά. Αυτό είναι αναμενόμενο, καθώς αυξάνοντας την συχνότητα το εργαλείο προσθέτει παραπάνω buffers για να ικανοποιήσει τις απαιτήσεις χρονισμού. Αυτό αυξάνει την ισχύ και την επιφάνεια. Τελικά η προσθήκη αυτών των buffers δεν είναι ικανή να ικανοποιήσει τις απαιτήσεις χρονισμού, καθώς το slack είναι πολύ μικρότερο του μηδενός.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1	Άσκηση 4
Slack	0.016	-0.170 ↓
Switching power	2.26 (60% της συνολικής ισχύος)	5.4 (57.2% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)	4.04 (42.8% της συνολικής ισχύος)
Leakage Power	0.00085 (0.02% της συνολικής ισχύος)	0.00131 (0.014% της συνολικής ισχύος)
Total Power	3.79	9.445 ↑
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)	0.1958 (22.6% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)	5.208 (77.4% της συνολικής switching ισχύος)
Επιφάνεια	34619.976	46560.90 ↑

Παρατηρώ ότι το slack βελτιώνεται πολύ σε σχέση με το προηγούμενο βήμα, αλλά είναι μικρότερο της άσκησης 1, χωρίς να είναι πολύ μακριά από το 0. Η ισχύς υπερδιπλασιάζεται, ενώ η επιφάνεια αυξάνεται περίπου 40%. Τα αποτελέσματα είναι λογικά, δεδομένου της εικόνας που είχε το κύκλωμα στο βήμα 6.

Προσοχή: Για να μην επιστρέφει error το max transition time τέθηκε στο 0.06, όμοια με την άσκηση 1.

Βήμα 14 Μετά το CTS	Άσκηση 1	Άσκηση 4
Slack	0.030	-0.122 ↓
Ισχύς	4.12	10.33 ↑
Επιφάνεια	35052.948	48191.904 ↑
Buffers	218	272 ↑

Skew groups	1	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)	0.25 (οριακά ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)	0.062 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6	13
Ελάχιστο βάθος	6	3
Μήκος δρομολόγησης trunk	2222.27	2912.21
Μήκος δρομολόγησης leafs	7087.33	7578.62

Παρατηρώ πως μειώνεται το slack, χωρίς αυτό να είναι μακριά από το 0, ενώ η ισχύς υπερδιπλασιάζεται και η επιφάνεια αυξάνεται περίπου 40%, αποτελέσματα όμοια με το βήμα 11. Εδώ είναι εμφανής η αύξηση των buffers, απαραίτητων για να ικανοποιηθούν οι απαιτήσεις χρονισμού του κυκλώματος. Η εισαγωγή παραπάνω buffers οδηγεί και στην αύξηση του εύρους επιπέδων του ρολογιού, με μεγαλύτερο μέγιστο βάθος και μικρότερο ελάχιστο βάθος. Αυτό συμβαίνει γιατί χρειάζομαι παραπάνω buffers για να οδηγήσω το ίδιο σήμα με αυξημένη συχνότητα, απ' ότι με την συχνότητα της άσκησης 1.

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 4
Slack	-0.072	-0.127
Επιφάνεια	35052.948	48191.904
Κατανάλωση ισχύος	4.1422	10.3956

Τέλος, τα αποτελέσματα συγκριτικά με την άσκηση 1 είναι της ίδιας τάξης με τα προηγούμενα βήματα(μείωση slack, αύξηση ~150% ισχύος, αύξηση ~40% επιφάνειας).

Άσκηση 5

Εισάγω τις βιβλιοθήκες lef και lib για τα Multibit FFs, και ενεργοποιώ την χρήση τους. Εξάγω παρακάτω τα ζητούμενα αποτελέσματα.

Βήμα 6 Μετά την σύνθεση	Άσκηση 1	Άσκηση 5
Αριθμός Κελιών	10302	10166↓
Συνολική Επιφάνεια	48527.59	49711.559↑
Slack	0	0
Ισχύς	5.3812e-03	5.0912e-03↓

Βλέπω πως με την εισαγωγή της βιβλιοθήκης Multibits, μειώνεται η ισχύς και ο αριθμός κελιών, το slack παραμένει σταθερό, ενώ η επιφάνεια παρουσιάζει μια μικρή αύξηση. Αυτό συμβαίνει καθώς συγχωνεύονται πολλά Single bit FFs σε ένα Multibit FF, και άρα μειώνω την ισχύ και το αριθμό κελιών.

Επίσης προσθέτω τις βιβλιοθήκες των multibits στο setup του project στο Innovus.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1	Άσκηση 5
--------------------------------	----------	----------

Slack	0.016	0.014↓
Switching power	2.26 (60% της συνολικής ισχύος)	2.55 (83% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)	0.52 (17% της συνολικής ισχύος)
Leakage Power	0.00085 (0.02% της συνολικής ισχύος)	0.0005 (0.02% της συνολικής ισχύος)
Total Power	3.79	3.07↓
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)	0.0007 (0.07% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)	1.235 (57% της συνολικής switching ισχύος)
Επιφάνεια	34619.976	32700.33↓

Παρατηρώ πως χρησιμοποιώντας την βιβλιοθήκη των multibits, μειώνεται η επιφάνεια και η ισχύς, βελτιώνοντας το κύκλωμα, ενώ μικρή πτώση έχω στο slack χωρίς να με επηρεάζει καθώς παραμένει θετικό και στις δύο περιπτώσεις.

Βήμα 14 Μετά το CTS	Άσκηση 1	Άσκηση 5
Slack	0.030	0.006↓
Ισχύς	4.12	3.68↓
Επιφάνεια	35052.948	34682.562↓
Buffers	218	95↓
Skew groups	1	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)	0.042 (ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)	0.064 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6	5
Ελάχιστο βάθος	6	5
Μήκος δρομολόγησης trunk	2222.27	1425.85↓
Μήκος δρομολόγησης leaves	7087.33	3127.17↓

Ομοίως με το βήμα 11, έχω μείωση του slack το οποίο παραμένει πάντα θετικό, ενώ μειώνεται η ισχύς και επιφάνεια. Σχετικά με το δέντρο ρολογιού, έχω λιγότερους buffers, και άρα μείωση της ισχύος και της επιφάνειας. Παρατηρώ επίσης πως έχω ένα λιγότερο επίπεδο στο εύρος του δέντρου, ενώ μειώνονται σχεδόν στο μισό τα μήκη δρομολόγησης των trunk και leaves. Αυτό συμβαίνει καθώς έχω συγχωνεύσει τα FFs σε Multibit FFS, και έτσι μειώνω τις διασυνδέσεις και το μήκος τους.

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 5
Slack	-0.072	-0.070↓
Επιφάνεια	35052.948	34682.562↓
Κατανάλωση ισχύος	4.1422	3.6953↓

Τα αποτελέσματα είναι παρόμοια με το βήμα 14 συγκριτικά με την άσκηση 1.

Άσκηση 6

Ξανατρέχω τα βήματα της διαδικασίας της άσκησης 1, αλλά αυτή την φορά ενεργοποιώ την φραγή ρολογιού, και εξάγω τα ζητούμενα αποτελέσματα.

Βήμα 6 Μετά την σύνθεση	Άσκηση 1	Άσκηση 6
Αριθμός Κελιών	10302	10053↓
Συνολική Επιφάνεια	48527.59	43224.90↓
Slack	0	0
Ισχύς	5.3812e-03	2.9888e-03↓

Επίσης εξάγω τα στατιστικά για το clock gating:

Summary			
Category	Number	%	Average Toggle Saving %
Total Clock Gating Instances	58	100.00	-
RC Clock Gating Instances	58	100.00	79.43
Non-RC Clock Gating Instances	0	0.00	0.00
RC Gated Flip-flops	1706	87.00	83.57
Non-RC Gated Flip-flops	0	0.00	0.00
Total Gated Flip-flops	1706	87.00	-
Total Ungated Flip-flops	255	13.00	-
Enable not found	238	93.33	-
Register bank width too small	17	6.67	-
Total Flip-flops	1961	100.00	-

Το κύκλωμα μετά την εισαγωγή clock gating βελτιώνεται, καθώς ο αριθμός κελιών, η επιφάνεια και η ισχύς πέφτουν. Σχετικά με τα στατιστικά του clock gating, παρατηρώ πως το 87% των FFs είναι gated.

Βήμα 11 Μετά την τοποθέτηση	Άσκηση 1	Άσκηση 6
Slack	0.016	0.006↓
Switching power	2.26 (60% της συνολικής ισχύος)	2.18 (68.5% της συνολικής ισχύος)
Internal Power	1.52 (40% της συνολικής ισχύος)	1 (31.5% της συνολικής ισχύος)
Leakage Power	0.00085 (0.02% της συνολικής ισχύος)	0.0008 (0.2% της συνολικής ισχύος)
Total Power	3.79	3.18↓
Sequential Switching Power	0.08515 (28% της συνολικής switching ισχύος)	0.07 (16% της συνολικής switching ισχύος)
Combinational Switching Power	2.184 (72% της συνολικής switching ισχύος)	2.1 (83% της συνολικής switching ισχύος)
Επιφάνεια	34619.976	30421.584↓

Ομοίως με το βήμα 6 της σύνθεσης, παρατηρώ μείωση και της ισχύος και της επιφάνειας, που βελτιώνουν το κύκλωμα. Παρατηρώ επίσης ελαφριά μείωση του slack, το οποίο όμως παραμένει θετικό.

Βήμα 14 Μετά το CTS	Άσκηση 1	Άσκηση 6
Slack	0.030	0.024↓
Ισχύς	4.12	3.32↓
Επιφάνεια	35052.948	31001.958↓
Buffers	218	222↑
Skew groups	1	1
Max Skew	0.061 (ικανοποιεί την προδιαγραφή)	0.196 (ικανοποιεί την προδιαγραφή)
Max transition time	0.061 (δεν ικανοποιεί την προδιαγραφή)	0.062 (δεν ικανοποιεί την προδιαγραφή)
Μέγιστο βάθος	6	6
Ελάχιστο βάθος	6	5
Μήκος δρομολόγησης trunk	2222.27	4050.34↑
Μήκος δρομολόγησης leaves	7087.33	8779.41

Και σε αυτό το βήμα παρατηρώ όμοια αποτελέσματα. Συγκριτικά με την άσκηση 1, έχω μικρή αύξηση των buffers, καθώς και μεγάλη αύξηση στο μήκος δρομολόγησης του trunk, το οποίο προκύπτει από την εισαγωγή clock gating cells, που χρειάζονται παραπάνω μήκος καλωδίου ώστε να δρομολογηθούν.

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 6
Slack	-0.072	-0.064↑
Επιφάνεια	35052.948	31001.958↓
Κατανάλωση ισχύος	4.1422	3.3364↓

Τέλος, βλέπω πως το κύκλωμα έχει βελτιωθεί, καθώς έχω καλύτερο slack, μικρότερη επιφάνεια και μικρότερη ισχύ σε σχέση με το κύκλωμα της άσκησης 1.

Άσκηση 7

Ακολουθώ πάλι τα βήματα 1-7 της άσκησης 1, αλλά αυτή την φορά παράγω τα τρία .do αρχεία και χρησιμοποιώ το LEC για να εξάγω τα αποτελέσματα σε τρία στάδια, μετά το elaboration, μετά το syn_generic και μετά το syn_map. Παρακάτω φαίνονται τα αποτελέσματα της εντολής report_verification -hier -verbose:

```

1 // Command: report_verification -hier -verbose
2 =====
3                               Verification Report
4 -----
5 Category                                                                Count
6 -----
7 1. Non-standard modeling options used:                                0
8     Tri-stated output:                                                checked
9     Revised X signals set to E:                                       yes
10    Floating signals tied to Z:                                       yes
11    Command "add clock" for clock-gating:                             not used
12 -----
13 2. Incomplete verification:                                           0
14     All primary outputs are mapped:                                   yes
15     Not-mapped DFF/DLAT is detected:                                  no
16     All mapped points are added as compare points:                   yes
17     All compared points are compared:                                 yes
18     User added black box:                                             no
19     Black box mapped with different module name:                     no
20     Empty module is not black boxed:                                  no
21     Command "add ignore outputs" used:                                no
22     Always false constraints detected:                                no
23     Verified pin-equivalent outputs are unmapped:                    no
24 -----
25 3. User modification to design:                                       0
26     Change gate type:                                                 no
27     Change wire:                                                       no
28     Primary input added by user:                                       no
29 -----
30 4. Conformal Constraint Designer clock domain crossing checks recommended: 1
31     RTL5.4 Partial case items in full case statement:                 used *
32     Multiple clocks in the design:                                     no
33 -----
34 5. Design ambiguity:                                                  0
35     Duplicate module definition:                                       no
36     Black box due to undefined cells:                                  no
37     Golden design has abnormal ratio of unreachable gates:           no
38     Ratio of golden unreachable gates:                                 0%
39     Revised design has abnormal ratio of unreachable gates:           no
40     Ratio of revised unreachable gates:                                 0%
41     All primary input bus ordering is consistent:                     yes
42     All primary output bus ordering is consistent:                     yes
43     DFF/DLAT not compared due to disabled clock port(s):              0
44     Always X compared point is detected:                              not checked
45 -----
46 6. Compare Results:                                                    PASS
47     Total Equivalent modules = 3
48 =====
49 pass

```

Εικόνα 6: report_verification του LEC μετά το elaboration


```

1 // Command: report_verification -hier -verbose
2 =====
3                               Verification Report
4 -----
5 Category                                                                Count
6 -----
7 1. Non-standard modeling options used:                                  1
8     Tri-stated output:                                                checked
9     Revised X signals set to E:                                       yes
10    Floating signals tied to Z:                                       no *
11    Command "add clock" for clock-gating:                             not used
12 -----
13 2. Incomplete verification:                                           0
14     All primary outputs are mapped:                                   yes
15     Not-mapped DFF/DLAT is detected:                                  no
16     All mapped points are added as compare points:                   yes
17     All compared points are compared:                                 yes
18     User added black box:                                             no
19     Black box mapped with different module name:                     no
20     Empty module is not black boxed:                                  no
21     Command "add ignore outputs" used:                               no
22     Always false constraints detected:                                no
23 -----
24 3. User modification to design:                                       0
25     Change gate type:                                                no
26     Change wire:                                                     no
27     Primary input added by user:                                     no
28 -----
29 4. Conformal Constraint Designer clock domain crossing checks recommended: 1
30     RTL5.4 Partial case items in full case statement:                used *
31     Multiple clocks in the design:                                    no
32 -----
33 5. Design ambiguity:                                                  0
34     Duplicate module definition:                                      no
35     Black box due to undefined cells:                                 no
36     Golden design has abnormal ratio of unreachable gates:          no
37     Ratio of golden unreachable gates:                                1%
38     Revised design has abnormal ratio of unreachable gates:          no
39     Ratio of revised unreachable gates:                               0%
40     All primary input bus ordering is consistent:                    yes
41     All primary output bus ordering is consistent:                    yes
42     DFF/DLAT not compared due to disabled clock port(s):             0
43     Always X compared point is detected:                             not checked
44 -----
45 6. Compare Results:                                                    PASS
46     Number of EQ compare points:                                      2346
47     Number of NON-EQ compare points:                                  0
48     Number of Aborted compare points:                                0
49     Number of Uncompared compare points :                            0
50 =====
51 pass

```

Εικόνα 7: report_verification του LEC μετά το syn_generic


```

1 // Command: report_verification -hier -verbose
2 =====
3                               Verification Report
4 -----
5 Category                                                                Count
6 -----
7 1. Non-standard modeling options used:                                  1
8     Tri-stated output:                                                checked
9     Revised X signals set to E:                                        yes
10    Floating signals tied to Z:                                       no *
11    Command "add clock" for clock-gating:                             not used
12 -----
13 2. Incomplete verification:                                           0
14     All primary outputs are mapped:                                   yes
15     Not-mapped DFF/DLAT is detected:                                  no
16     All mapped points are added as compare points:                   yes
17     All compared points are compared:                                 yes
18     User added black box:                                             no
19     Black box mapped with different module name:                     no
20     Empty module is not black boxed:                                  no
21     Command "add ignore outputs" used:                               no
22     Always false constraints detected:                                no
23 -----
24 3. User modification to design:                                       0
25     Change gate type:                                                 no
26     Change wire:                                                      no
27     Primary input added by user:                                       no
28 -----
29 4. Conformal Constraint Designer clock domain crossing checks recommended: 1
30     RTL5.4 Partial case items in full case statement:                 used *
31     Multiple clocks in the design:                                     no
32 -----
33 5. Design ambiguity:                                                  0
34     Duplicate module definition:                                       no
35     Black box due to undefined cells:                                  no
36     Golden design has abnormal ratio of unreachable gates:           no
37     Ratio of golden unreachable gates:                                1%
38     Revised design has abnormal ratio of unreachable gates:           no
39     Ratio of revised unreachable gates:                                0%
40     All primary input bus ordering is consistent:                     yes
41     All primary output bus ordering is consistent:                     yes
42     DFF/DLAT not compared due to disabled clock port(s):              0
43     Always X compared point is detected:                               not checked
44 -----
45 6. Compare Results:                                                  PASS
46     Number of EQ compare points:                                       2346
47     Number of NON-EQ compare points:                                   0
48     Number of Aborted compare points:                                  0
49     Number of Uncompared compare points :                             0
50 =====
51 pass

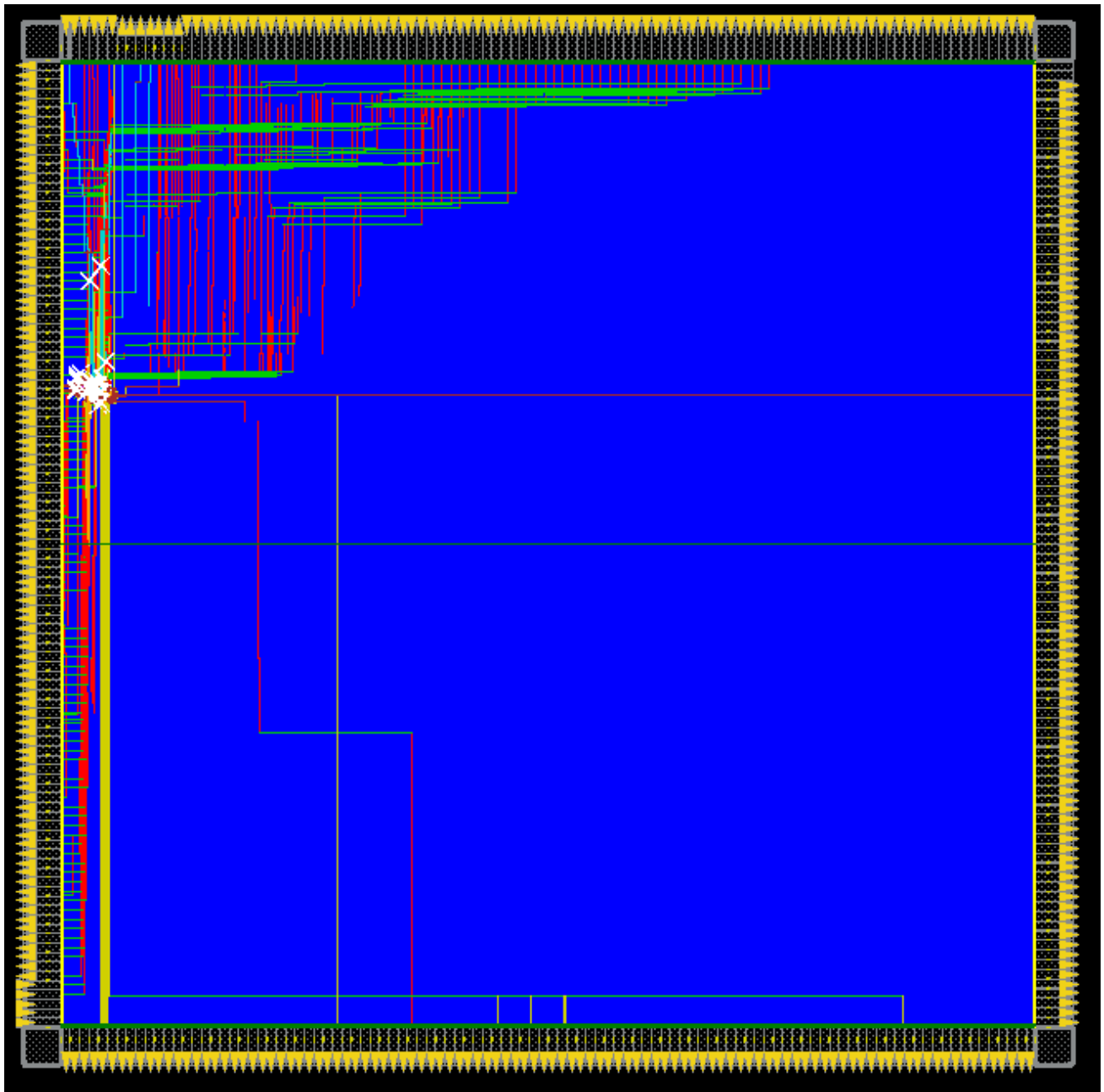
```

Εικόνα 8: report_verification του LEC μετά το syn_map

Το αποτέλεσμα του LEC και στα τρία βήματα είναι PASS, άρα ο κώδικας μου παρέμεινε λειτουργικά ίδιος. Τα EQ compare points είναι 2346, και το Conformal LEC τα χρησιμοποιεί όλα, καθώς από το report βλέπω *All mapped points are added as compare points: yes*

Άσκηση 8

Επαναλαμβάνω τα βήματα 8-15 της άσκησης 2, χρησιμοποιώντας το τροποποιημένο *genus.v*. Προσέθεσα τα κατάλληλα *modules* ώστε να υλοποιήσω τα *pads*. Τέλος, εισάγω και τις έξτρα βιβλιοθήκες *.lef* και *.lib* κατά την εισαγωγή του *project* στο *innovus*. Παρακάτω φαίνεται screenshot από το κύκλωμα μετά το βήμα 15, καθώς και ο πίνακας των αποτελεσμάτων.

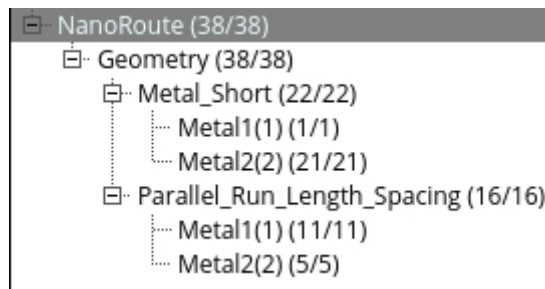


Εικόνα 9: Το τελικό κύκλωμα μαζί με τα *pads*

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 8
Slack	-0.072	-16.327↓
Επιφάνεια (πυρήνα)	35052.948	40364.55 ↑
Κατανάλωση ισχύος	4.1422	182.74 ↑↑
Επιφάνεια (συνολική)	35052.948	6189713.802↑↑

Παρατηρώ ότι με την προσθήκη των pads στο layout το slack μειώνεται, που σημαίνει ότι πέφτει η επίδοση του κυκλώματος. Η επιφάνεια του πυρήνα παρουσιάζει μικρή αύξηση, ενώ πολύ μεγάλη αύξηση παρουσιάζουν η κατανάλωση ισχύος και η συνολική επιφάνεια. Αυτά τα αποτελέσματα είναι λογικά, καθώς για τις φυσικές διασυνδέσεις του πυρήνα χρειάζονται pads, που για να χωρέσουν αυξάνουν δραματικά την επιφάνεια, και wires για να συνδεθούν τα σήματα του πυρήνα με τα pads. Τελικά, το κύκλωμα μου αποδίδει χειρότερα από πριν, αλλά χρειάζομαι τα pads για την διασύνδεση με άλλα στοιχεία.

Επίσης το κύκλωμα παρουσιάζει κάποια violations. Τα περισσότερα διορθώθηκαν με την εντολή `route_eco -fix_drc`. Τα violations που απέμειναν φαίνονται παρακάτω :



Εικόνα 10: Violations μετά το Βήμα 15 της Άσκησης 8

Άσκηση 9

Χρησιμοποιώ τις εντολές που αναφέρονται στην εκφώνηση, τροποποιημένες για το κύκλωμά μου, ώστε να κάνω DFT. Τρέχοντας της εντολή `check_dft_rules` παίρνω το αποτέλεσμα:

```
@genus:root: 25> check_dft_rules
Checking DFT rules for 'picorv32' module under 'muxed_scan' style

Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
Internally driven clock net: 0
Tied constant clock net: 0
Undriven clock net: 0
Conflicting async & clock net: 0
Misc. clock net: 0

Async. set/reset Rule Violations:
-----
Internally driven async net: 0
Tied active async net: 0
Undriven async net: 0
Misc. async net: 0

Total number of DFT violations: 0

Total number of Test Clock Domains: 1
Number of user specified non-Scan registers: 0
Number of registers that fail DFT rules: 0
Number of registers that pass DFT rules: 2090
Percentage of total registers that are scannable: 100%
0
```

Εικόνα 11: Αποτελέσματα `check_dft_rules`

Παρατηρώ ότι δεν έχω rule violations, και όλοι οι registers περνάνε τα DFT rules. Τρέχω την εντολή report_scan_registers και κρατάω μόνο το summary του output:

```
Summary:
Total registers that pass DFT rules: 2090
Total registers that fail DFT rules: 0
Total registers that are marked preserved or dont-scan: 0
Total registers that are marked Abstract Segment dont-scan: 0
Total registers that are part of shift register segments: 0
Total registers that are lockup elements: 0
Total registers that are level-sensitive: 0
Total registers that are misc. non-scan: 0
```

Εικόνα 12: Αποτέλεσμα report_scan_registers

Παρατηρώ πως κανένας register δεν κάνει fail στα DFT rules. Επίσης όλοι οι registers σκανάρονται, καθώς όλες οι άλλες κατηγορίες είναι 0. Τέλος, τρέχω την εντολή report_scan_setup, που μου δίνει τις επιλογές που έχω κάνει για το DFT, χωρίς να υπάρχει κάποιο error.

```
Design Name
=====
picorv32

Scan Style
=====
muxed scan
Design has a valid DFT rule check status

Global Constraints
=====
Minimum number of scan chains: no_value
Maximum length of scan chains: no_value
Lock-up element type: preferred_level_sensitive
Mix clock edges in scan chain: true
Prefix for unnamed scan objects: DFT_

Test signal objects
=====
shift_enable:
  object name: se
  pin name: se
  hookup_pin: se
  hookup_polarity: non_inverted
  function: shift_enable
  active: high
  ideal: false
  user defined: true

test_mode:
  object name: test_mode
  pin name: test_mode
  hookup_pin: test_mode
  hookup_polarity: non_inverted
  function: test_mode
  active: high
  ideal: false
  user defined: true

Test clock objects
=====
test_clock:
  object name: scanclk
  test_clock_domain: scanclk
  user defined: true
  source: clk
  root source: clk
  root source polarity: non_inverting
  hookup_pin: clk
  period: 20000.0

DFT controllable objects
=====

DFT don't scan objects
=====

DFT abstract don't scan objects
=====

DFT scan segment constraints
=====

DFT scan chain constraints
=====
User Chain:
  object name: top_chain
  scan-in: scan_in
  scan-in hookup_pin: scan_in
  scan-out: scan_out
  scan-out hookup_pin: scan_out
  shared out: false
  shift_enable object name: se
  max length: no_value
  complete: false

DFT actual scan chains
=====
@genus:root: 28>
```

Εικόνα 13: Αποτελέσματα report_scan_setup

Φορτώνοντας τα constraints και τρέχοντας check_timing_intent βλέπω πως δεν έχω κανένα πρόβλημα όταν ελέγχω τον χρονισμό του.

```
Lint summary
Unconnected/logic driven clocks 0
Sequential data pins driven by a clock signal 0
Sequential clock pins without clock waveform 0
Sequential clock pins with multiple clock waveforms 0
Generated clocks without clock waveform 0
Generated clocks with incompatible options 0
Generated clocks with multi-master clock 0
Paths constrained with different clocks 0
Loop-breaking cells for combinational feedback 0
Nets with multiple drivers 0
Timing exceptions with no effect 0
Suspicious multi cycle exceptions 0
Pins/ports with conflicting case constants 0
Inputs without clocked external delays 0
Outputs without clocked external delays 0
Inputs without external driver/transition 0
Outputs without external load 0
Exceptions with invalid timing start-/endpoints 0
Total: 0
```

Εικόνα 14: Αποτέλεσμα εντολής check_timing_intent μετά την εισαγωγή DFT

Κάνω syn_generic, syn_map και syn_opt και εξάγω τα αποτελέσματα. Συγκρίνω και τα τελικά αποτελέσματα με τα αποτελέσματα της άσκησης 1.

Βήμα 6 Μετά την σύνθεση	syn_generic	syn_map	syn_opt
Αριθμός Κελιών	26694	12028	11599
Συνολική Επιφάνεια	84526	54510	53863
Slack	872	1	0
Ισχύς	2.94e-03	5.47e-03	5.54e-03

Βήμα 6 Μετά την σύνθεση	Άσκηση 1	Άσκηση 9
Αριθμός Κελιών	10302	11599 ↑
Συνολική Επιφάνεια	48527.59	53863 ↑
Slack	0	0
Ισχύς	5.3812e-03	5.54e-03 ↑

Παρατηρώ πως από το βήμα syn_map προς το syn_opt μειώνονται τα κελιά και η επιφάνεια ενώ αυξάνεται η ισχύς. Συγκριτικά με το κύκλωμα της άσκησης 1, τα κελιά, η επιφάνεια και η ισχύς αυξάνονται, καθώς έχω προσθέσει ή/και αλλάξει στοιχεία στο αρχικό μου κύκλωμα (πχ. Scan FFs, MUXs κα.) , ώστε να μπορώ να το δοκιμάσω. Το κύκλωμά μου γίνεται «χειρότερο» από το αρχικό, αλλά η αλλαγή αυτή είναι απαραίτητη για να μπορώ να δοκιμάσω το κύκλωμα μετά το tape out, χρησιμοποιώντας ATE.

Τρέχοντας την εντολή check_dft_rules -advanced, παίρνω το εξής warning:

Warning: There are a total of 1 undriven pins which may act as x-source generators. For the list of pins, use the command 'check_design -undriven -report_scan_pins'.

Τρέχω την εντολή που μου προτείνει το εργαλείο και παρατηρώ πως το undriven pin είναι το *picorn32/scan_out* . Αυτή είναι η έξοδος του κυκλώματος που εισήγαγα κατά την DFT, και είναι λογικό να είναι undriven, καθώς θα χρησιμοποιήσω κάποιο ATE για να την οδηγήσω.

Τέλος, συνδέω τα scan chains και εξάγω τα αποτελέσματα στο αρχείο report_scan_chains_output.txt που βρίσκεται στα παραδοτέα. Στην φωτογραφία παρακάτω φαίνεται το summary:

```
@genus:root: 54> report_scan_chains -summary
Reporting 1 scan chain (muxed_scan)

Chain 1: top_chain
  scan_in:      scan_in
  scan_out:     scan_out
  shift_enable: se (active high)
  clock_domain: scanclk (edge: rise)
  length: 1961
-----
```

Εικόνα 15: Αποτέλεσμα της εντολής report_scan_chains -summary

Εισάγω παρακάτω αποτελέσματα των αναφορών στο τέλος της άσκησης 9.

<pre> Reporting 1 scan chain (muxed_scan) Chain 1: top_chain scan_in: scan_in scan_out: scan_out shift_enable: se (active high) clock_domain: scanclk (edge: rise) length: 1961 ----- @genus:root: 55> report_scan_setup Design Name ===== picorv32 Scan Style ===== muxed_scan Design has a valid DFT rule check status Global Constraints ===== Minimum number of scan chains: no_value Maximum length of scan chains: no_value Lock-up element type: preferred_level_sensitive Mix clock edges in scan chain: true Prefix for unnamed scan objects: DFT_ Test signal objects ===== shift_enable: object name: se pin name: se hookup_pin: se hookup_polarity: non_inverted function: shift_enable active: high ideal: false user defined: true test_mode: object name: test_mode </pre>	<pre> test_mode: object name: test_mode pin name: test_mode hookup_pin: test_mode hookup_polarity: non_inverted function: test_mode active: high ideal: false user defined: true Test clock objects ===== test_clock: object name: scanclk test_clock_domain: scanclk user defined: true source: clk root source: clk root source polarity: non_inverting hookup_pin: clk period: 20000.0 DFT controllable objects ===== DFT don't scan objects ===== DFT abstract don't scan objects ===== DFT scan segment constraints ===== DFT scan chain constraints ===== User Chain: object name: top_chain scan-in: scan_in scan-in hookup_pin: scan_in scan-out: scan_out scan-out hookup_pin: scan_out shared out: false shift_enable object name: se max length: no_value complete: false DFT actual scan chains ===== Actual Chain: object name: top_chain scan-in: scan_in scan-in hookup_pin: scan_in scan-out: scan_out scan-out hookup_pin: scan_out shared out: false shift_enable: se length: 1961 segment objects: none analyzed: false test_clock domain: scanclk test_clock edge: rise </pre>
---	---

Εικόνα 16: Αποτελέσματα εντολής `report_scan_setup`

```

@genus:root: 62> write_hdl -abstract

// Generated by Cadence Genus(TM) Synthesis Solution 21.15-s080_1
// Generated on: Nov 25 2024 17:24:49 EET (Nov 25 2024 15:24:49 UTC)

// Verification Directory fv/picorv32

module picorv32(clk, resetn, trap, mem_valid, mem_instr, mem_ready,
  mem_addr, mem_wdata, mem_wstrb, mem_rdata, mem_la_read,
  mem_la_write, mem_la_addr, mem_la_wdata, mem_la_wstrb, pcpi_valid,
  pcpi_insn, pcpi_rsl, pcpi_rs2, pcpi_wr, pcpi_rd, pcpi_wait,
  pcpi_ready, irq, eoi, trace_valid, trace_data, se, test_mode,
  scan_in, scan_out);
  input clk, resetn, mem_ready, pcpi_wr, pcpi_wait, pcpi_ready, se,
    test_mode, scan_in;
  input [31:0] mem_rdata, pcpi_rd, irq;
  output trap, mem_valid, mem_instr, mem_la_read, mem_la_write,
    pcpi_valid, trace_valid, scan_out;
  output [31:0] mem_addr, mem_wdata, mem_la_addr, mem_la_wdata,
    pcpi_insn, pcpi_rsl, pcpi_rs2, eoi;
  output [3:0] mem_wstrb, mem_la_wstrb;
  output [35:0] trace_data;
endmodule

```

Εικόνα 17: Αποτελέσματα εντολής `write_hdl -abstract`

Τα αποτελέσματα των εντολών `write_scandef`, `write_dft_abstract_model` και `write_script -analyze_all_scan_chains` είναι πολύ μεγάλες για να εισαχθούν σαν screenshots, και έτσι κρατήθηκαν τα outputs των εντολών στα αντίστοιχα αρχεία, εντός του φακέλου Exercise9(DFT), εντός του φακέλου των παραδοτέων.

Άσκηση 10

Με βάση τα αποτελέσματα των προηγούμενων ασκήσεων, αρχικά ενεργοποιώ την βελτιστοποίηση το genus με την εντολή `set_db design_power_effort low`, στην χαμηλή ρύθμιση ώστε να επηρεαστούν όσο το δυνατόν λιγότερο η απόδοση και η επιφάνεια. Επίσης χρησιμοποιώ clock gating για να μειώσω ακόμα περισσότερο την ισχύ. Για να αυξήσω την συχνότητα του ρολογιού και να μπορώ ακόμα να ικανοποιώ τις απαιτήσεις χρονισμού χρησιμοποιώ την βιβλιοθήκη `fast_vdd1v2_basicCells.lib`. Τέλος, για να εξοικονομήσω επιφάνεια χρησιμοποιώ multibit FFs, με την αντίστοιχη fast βιβλιοθήκη τους.

Στο αρχικό κύκλωμα της άσκησης 1, το FOM = $1.377e-06$ στο βήμα 15, στο τέλος δηλαδή της διαδικασίας.

Σχετικά με το timing, τροποποιήθηκαν κατάλληλα τα constraints στην διαδικασία του genus, και τα CTS constraints στην διαδικασία του inponus. Η συχνότητα του ρολογιού τέθηκε ίση με 571MHz (περίοδος 1,75ns). Έπρεπε να αλλάξω το max transition time από 1% σε 1.43% της περιόδου ρολογιού (από 0,0175 σε 0,025), καθώς το εργαλείο επέστρεφε error max transition time too low. Τα υπόλοιπα timing constraints είναι ακριβώς όπως ορίζονται στην εκφώνηση. Στα παραδοτέα περιλαμβάνονται τα cmd και log αρχεία του genus και inponus, καθώς και το αρχείο sdc με τα καινούργια constraints.

Παρακάτω φαίνονται τα αποτελέσματα συγκριτικά με την άσκηση 1:

Βήμα 15 Μετά το NanoRoute	Άσκηση 1	Άσκηση 10
Συχνότητα Ρολογιού (MHz)	200	571
Slack	-0.072	0.003
Επιφάνεια(mm ²)	35052.948	27884.628
Κατανάλωση ισχύος(mW)	4.1422	19.4045
FOM	$1.377e-06$	$1.057e-06$

Παρατηρώ μεγάλη αύξηση της συχνότητας ρολογιού, ενώ ταυτόχρονα το slack παραμένει θετικό, κάτι που ζητείται στην εκφώνηση. Η επιφάνεια μειώνεται αρκετά, ενώ η ισχύς αυξάνεται, κάτι που είναι λογικό δεδομένου της μεγάλης αύξησης της συχνότητας ρολογιού.