

1 Zahlensysteme und Codes

- Nibble: Binärzahlen in Gruppen von 4 Bits
- MSB / LSB: Most / Least Significant Bit. Bit mit höchster / niedrigsten Wertigkeit, steht ganz links / rechts im binären Wort

1.1 Sign-Magnitude

Erstes Bit zeigt an ob positiv oder negativ.

1.2 BCD - Code

Mit 4 Bit wird jede Ziffer einzeln kodiert

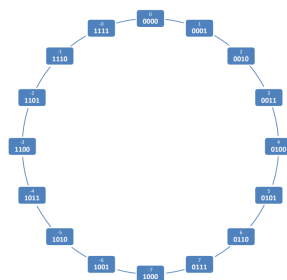
1.3 Umwandlung

109 :	2 = 54	Rest 1	
:	2 = 27	Rest 0	
:	2 = 13	Rest 1	
:	2 = 6	Rest 1	109 ₍₁₀₎ = 110'1101 ₍₂₎
:	2 = 3	Rest 0	
:	2 = 1	Rest 1	
:	2 = 0	Rest 1	Leserichtung
<hr/>			
0,78125 *	2 = 0,5625	+	1
*	2 = 0,125	+	1
*	2 = 0,25	+	0
*	2 = 0,5	+	0
*	2 = 0	+	1
0,78125 ₍₁₀₎ = 11001 ₍₂₎			

1.4 Einerkomplement

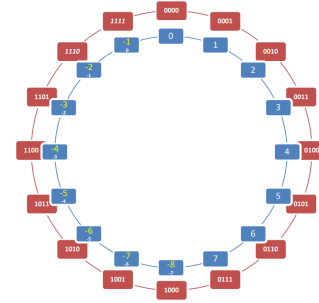
Alle Bits werden invertiert wenn ein Bit negativ gemacht wird.

- Vorteil: Vorzeichen am ersten Bit erkennbar
- Nachteil: 0 existiert 2 mal



1.5 Zweierkomplement

Das Zweierkomplement wird durch Invertieren aller Bits der positiven Zahl und der Addition von 1 gebildet.



	Richtiges Ergebnis	Überlauf
A+B	C _n = 0, C _{n-1} = 0	C _n = 0, C _{n-1} = 1
A-B	C _n = C _{n-1}	Nicht möglich
-A-B	C _n = 1, C _{n-1} = 1	C _n = 1, C _{n-1} = 0

2 Schaltalgebra

2.1 Rechenregeln

Vereinfachungen

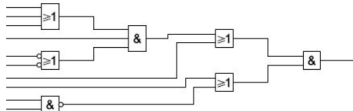
$$\begin{array}{llll}
 a \vee (a \wedge b) = a & (a \wedge \bar{b}) \vee b = a \vee b & (a \wedge \bar{b}) \oplus b = a \vee b & (a \wedge b) \vee (a \wedge \bar{b}) = a \\
 a \wedge (a \vee b) = a & (a \vee \bar{b}) \wedge b = a \wedge b & (a \oplus \bar{b}) \wedge b = a \wedge b & (a \vee b) \wedge (a \vee \bar{b}) = a
 \end{array}$$

2.2 Shannon / De Morgan

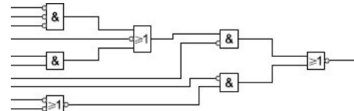
Shannon: Alle Eingänge und Ausgänge invertieren und "und" mit "oder" tauschen

DeMorgan: Alles invertieren und "und" mit "oder" tauschen

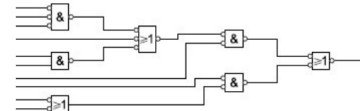
Ursprungsschaltung:



Shannon



DeMorgan



2.3 KDNF

Bei allen Spalten der Wahrheitstabelle bei welcher eine 1 oder "dont care" ausgegeben wird, wird mit einem "UND" die Variablen zusammengekommen danach werden alle Spalten mit einem "ODER" verknüpft.

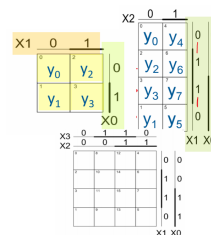
2.4 KKNF

Bei allen Spalten der Wahrheitstabelle bei welcher eine 0 oder "dont care" ausgegeben wird, wird mit einem "ODER" die **INVERTIERTEN** Variablen zusammengekommen danach werden alle Spalten mit einem "UND" verknüpft.

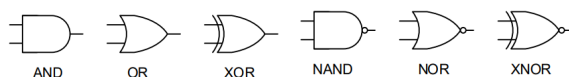
Dont cares werden mit einer eckigen Klammer [] gekennzeichnet

2.5 KV- Diagramm

- Wahrheitstabelle aufstellen
- KV Diagramm entsprechend Nummern einfüllen
- Möglichst grosse $2 \cdot n$ Gruppen von 0ern beim KKNF oder von 1ern beim KDNF (Dont cares dürfen beinhaltet sein)



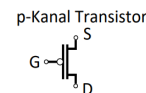
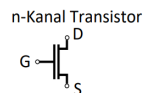
2.6 Schaltsymbole



3 Schaltungstechnologie

3.1 CMOS - Logik

Zwei verschiedene Arten: p- Kanal und n- Kanal Transistoren. **n - Kanal** Transistor leitet bei **positiver Gate Source Spannung** und umgekehrt.



CMOS Logikschaltungen bestehen immer aus einem PMOS (oben VCC) und einem dualen NMOS (GND) Teil. Kein statischen Stromverbrauch

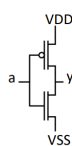
Komplexität: 4 Transistoren sind ein Gatterequivalent (GE)

3.2 CMOS Realisierung logischer Funktionen

Es dürfen nie die Ausgänge von Transistoren direkt zusammengeschaltet werden.

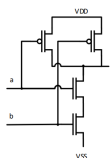
3.3 Inverter

GE = 0.5



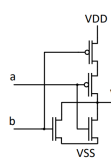
3.4 NAND

GE = 1



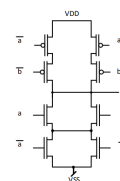
3.5 NOR

GE = 1



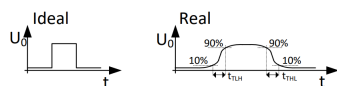
3.6 XOR

GE = 2



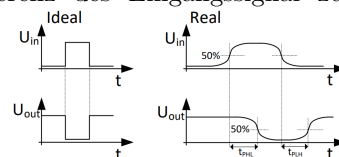
3.7 Übergangszeit

Ein Wechsel von einem Wert auf einen neuen benötigt etwas Zeit, diese Zeit wird Übergangszeit (Transition Time) genannt.



3.8 Verzögerungszeit

Die Verzögerungszeit (Propagation Delay) bezeichnet die Differenz des Eingangssignal zum Ausgangssignal.



3.9 Hazards

In digitalen Systemen kann es durch unterschiedliche Laufzeitpfade zu kritischen Wettrennen von Signalen kommen. Solche Laufzeiteffekte führen zu unerwünschten Signalzwischenwerten, sogenannten Hazards.

3.10 Statische Hazards

Ein Funktionswert **ändert einmal kurzzeitig seinen Pegel** wenn eine Eingangsvariable den Pegel ändert, obwohl **dies nicht sein sollte**.

3.11 Dynamische Hazards

Ein Funktionswert ändert **mehrmal-skurzzeitig seinen Pegel** nachdem sich eine Eingangsvariablen geändert hat, obwohl der Ausgang sich **nur einmal** hätte ändern müssen.

4 Grundlagen sequenzieller Systeme

Sequenzielle Systeme haben eine Clock oder ein Taktsignal. Das Taktsignal ist ein binäre Signal, das in regelmässiger Abfolge zwischen zwei Zuständen hin und her pendelt. $f = \frac{1}{T}$

4.1 Unterschied Flip - Flop / Latch

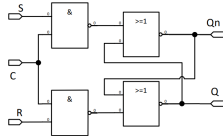
Taktflankengesteuerte Speicherelemente werden **Flip-Flops** genannt.

Taktzustandsgesteuerte Speicherelemente werden **Latches** genannt

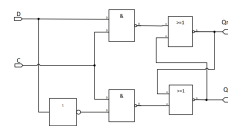
4.2 Latches / Flip Flops

4.2.1 RS-Latch

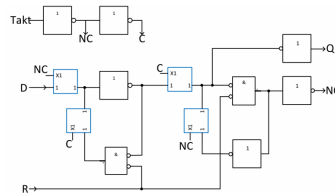
Der Zustand $S = 1$ und $R = 1$ ist undefiniert.



4.2.2 D-Latch



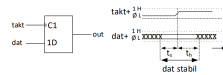
4.3 D-Flip Flop



4.3.1 Setup- und Hold-Zeit

Die **Setup-Zeit** ist die Zeit in welcher das Eingangssignal vor der aktiven Taktflanke einer Schaltung stabil sein muss.

Bei der **Hold-Zeit** ist dies nach der aktiven Taktflanke.



$$q = \frac{2^k!}{(2^k - p)!} \quad (1)$$

k = Benötigte Speicherstellen = $\log_2(s)$

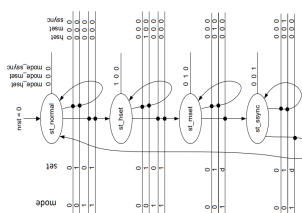
p = Anzahl Zustände

RAM → Read only ROM → Read and Write DRAM → Zustand geht verloren SRAM → Bleibt solange Stromversorgung da

4.3.2 Zustandstabelle

Akt. Zust.	Eing. var.	Folgezust.				Ausgangszustand							
SI	SO	Mode	Set	DI	DO	mode	hset	mode	hset	mode	hset	mode	hset
0	0	0	0	0	0	0	0	0	0	0	0	0	0
		0	1	0	0							0	0
		1	0	0	1							0	0
		1	1	0	0							0	0
0	1	0	0	0	1	1	0	0				0	0
		0	1	0	0							1	0
		1	0	1	0							0	0
		1	1	0	1							0	0
1	0	0	0	1	0	0	1	0				0	0
		0	1	1	0							0	1
		1	0	1	1							0	0
1	1	0	0	1	1	0	0	1				0	0
		0	1	1	1							0	1
		1	0	0	0							0	0
		1	1	0	0							0	0

4.4 Zustandsdiagramm



x → Eingangsvektor
 m → Anzahl Eingänge
 y → Ausgangsvektor

n → Anzahl Ausgänge
 s → Zustandsvektor
 d → Folgezustand

F → Funktion Ausgänge
 G → Speicheransteuerung
 Z → Zustandsspeicher

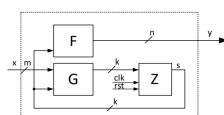
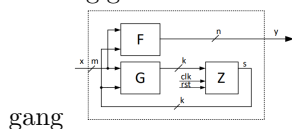
4.4.1 Mealy-System

4.4.2 Moore - System

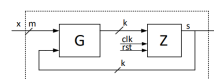
4.5 Medwedjew - System

Abhängig von: Zustand

Abhängig von: Zustand / Eingang



Die primären Ausgänge entsprechen dem Zustandsvektor s



Zeit Mealy

Berechnung max. Clockfrequenz kompliziert.
 Mehrere Mealy-Maschinen können sehr langen Signalfad erzeugen

Zeit Moore / Medwedjew

Mehrere Moore-Maschinen erzeugen Verzögerung im Sinne von mehreren Takten.

4.6 Zustandskodierung

4.6.1 Binär

Das Standard binär System wird für die Codierung verwendet

4.6.2 ONE - HOT

Nur ein Bit ist eine 1

4.6.3 ONE - COLD

Nur ein Bit ist eine 0