

§2-I-7 汎用 IC を用いたデジタル回路設計と製作 I

(Design and fabrication of a digital circuit using general-purpose ICs ・ I)

1. 実験の狙い

本実験では、組込みシステムのキーデバイスであるカウンタをフリップフロップで実現する。さらに、作成したカウンタ回路を入力とした、簡単な組合せ回路を汎用 IC を用いて設計・製作する。作成した回路は遅延時間などの特性を測定する。これらにより、デジタル回路の基本動作を学ぶ。

2. 解説

組み合わせ回路

図 1 の論理回路は、 n 個の入力 X_1, \dots, X_n の真理値が 0 か 1 かに決まった時、その組み合わせに対して出力 Z の真理値が決まる。このような論理回路を組み合わせ回路という。組み合わせ回路における入力と出力との関係は、表 1 のような真理値表によって表すことができる。ここで、表 1 の真理値表で与えられた組み合わせ回路を実際に設計する手法として、特殊加法標準形について説明する。特殊加法標準形は、与えられた真理値表から次のような手順によって構成することができる。

- ・ 真理値表において、関数の値が 1 となっている行について、対応する変数の値が 1 のものはそのまま、0 のものはその否定をとって、全ての変数についての論理積をとる。この操作で得られる論理積を、もとの関数の最小項という。
- ・ 上述の操作を関数の値が 1 となっているすべての行について行い、得られた論理積を論理和で結合する。

以上、この特殊加法標準形によって、表 1 の真理値表で与えられた組み合わせ回路を設計すると、

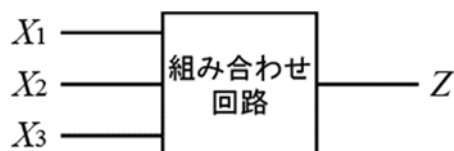


図 1 組み合わせ回路

表 1 真理値表

X_1	X_2	X_3	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

論理式は

$$Z = X_1X_2X_3 + X_1X_2\overline{X_3} + \overline{X_1}\overline{X_2}X_3 + \overline{X_1}X_2X_3 \quad (1)$$

で表され、回路図は図 2 のようになる。

次に、論理回路の簡単化について述べる。式(1)中の $X_1X_2X_3$ と $X_1X_2\overline{X_3}$ は、 X_1X_2 を共通項として取り出すことによって、

$$X_1X_2X_3 + X_1X_2\overline{X_3} = X_1X_2(X_3 + \overline{X_3}) \quad (2)$$

と書ける。ここで、式(2)中の $(X_3 + \overline{X_3})$ は論理演算の補元則により 1 となるため、式(2)は

$$X_1X_2X_3 + X_1X_2\overline{X_3} = X_1X_2 \quad (3)$$

と書きかえられる。この式は、表 1 の真理値表で与えられる論理関数において、 X_1 と X_2 がともに 1 であれば X_3 の値に関わらず Z が 1 となることを表している。右辺の項 X_1X_2 はもとの関数に含まれているが、これ以上変数を減らすともとの関数には含まれなくなる。このような項を、左辺の最小項に対してもとの関数の主項と呼ぶ。このことを踏まえて、 $\overline{X_1}\overline{X_2}X_3$ と $\overline{X_1}X_2X_3$ についても同様の手法で主項を求めた結果、式(1)は

$$Z = X_1X_2 + \overline{X_1}X_3 \quad (4)$$

と表すことができ、回路図は図 3 のようになる。以上、このような操作のことを論理回路の簡単化という。論理回路の簡単化は、組み合わせ回路における重要な事項の 1 つであり、与えられた論理関数から主項を求めることによって行われるが、主項を求める方法としてカルノー図による簡単化が良く用いられるため、以下にその概要を示す。

例えば 3 変数の論理関数において、3 つの変数 X_1 、 X_2 、 X_3 を X_1 と X_2X_3 に分けた図を作る。図 4 には、表 1 の真理値表で表された論理関数に対するカルノー図が示されている。図 4 のカルノー図を用いて主項を表すと、図 5 のようになる。式(4)との対応で明らかなように、カルノー図では、隣り合った 2 つの最小項を 1 つにまとめることによって、簡単に主項を求めることができる。このようにカルノー図による論理関数の簡単化は、全ての最小項がいずれかの主項に含まれ、かつ 1 つの最小項が 2 つの主項に含まれないように、できるだけ少ない数の主項を見つけることである。

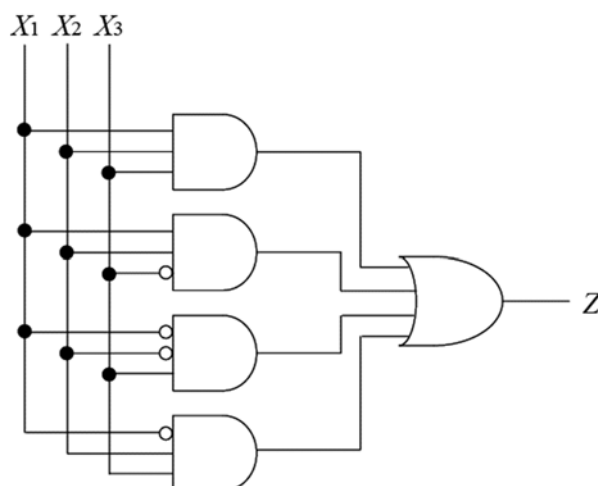


図 2 特殊加法標準形により設計した組み合わせ回路

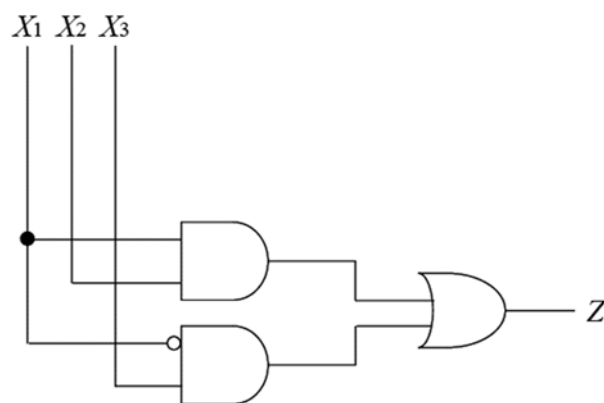


図 3 簡単化された組み合わせ回路

$X_2 X_3$ X_1	10	11	01	00
1	1	1		
0		1	1	

図 4 カルノー図

$X_2 X_3$ X_1	10	11	01	00
1	1	1		
0		1	1	

$X_1 X_2$ $\bar{X}_1 X_3$

図 5 カルノー図と主項

カウンタ回路

カウンタは、単に計数回路としてだけでなく、タイマ回路や分周回路としての機能を持ち、モータ回転数の計測、入出力端子の状態監視、コンピュータの動作クロックの分周など組み込みシステムの中で必要不可欠なデバイスである。カウンタはパルス数を計数し記憶する回路で、フリップフロップにより実現できる。本実験では、J-K フリップフロップによる非同期式カウンタを取り上げる。図 6 に J-K フリップフロップを用いた非同期式 4 ビットカウンタの回路図を示す。ここで、J-K フリップフロップはクロック端子を持った同期式フリップフロップであり、入力が $J = 1$ 、 $K = 1$ の時、クロック端子にクロックパルスが加わるたびに出力 Q が反転する特性を持っている。この特性を利用して、初段の出力 Q_0 を 2 段目のクロック端子へ入力すると、2 段目の出力 Q_1 は Q_0 の $1/2$ 分周したものが出力される。同様に、 Q_1 を 3 段目のクロック端子、 Q_2 を 4 段目のクロック端子にそれぞれ入力することにより、 Q_2 、 Q_3 にはそれぞれ $1/4$ 、 $1/8$ 分周された出力が得られる。このように、フリップフロップを n 段接続することによって 2^n 進カウンタを構成することが可能となる。このカウンタを用いることによって、例えば、モータの回転角に比例したパルスを出力するロータリーエンコーダを図 6 中の初段のクロック端子に接続、パルス数をカウントし、モータの回転数や車の走行距離などを計測することが可能となる。なお、今回の説明では 2^n 進カウンタのみについて説明したが、図 6 に示す回路を応用することにより、例えば 10 進といったような 2^n ではない任意の数で動作するカウンタを構築することも可能である。

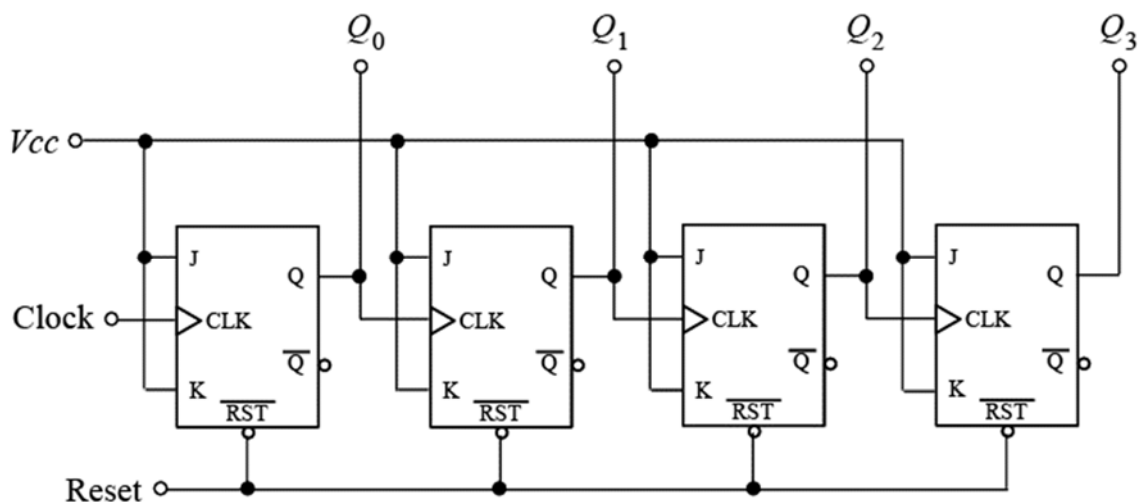


図 6 J-K フリップフロップによる非同期式 4 ビットカウンタ

3. 実験の予習 *予習レポートとして整理して提出すること

予習1： 下記の用語について，意味を調査し理解を進めておく

黒字は必ず．その他は余裕があれば．

- | | | |
|--------------|--------------|-------------|
| a. カウンタ | b. カウンタ回路 | c. フリップフロップ |
| d. 組合せ回路 | e. タイミングチャート | f. 遅延時間 |
| g. ロジックアナライザ | h. ブレッドボード | i. 論理回路 |
| j. 特殊加法標準形 | | |

予習2： カウンタ回路をブレッドボード上にどのように組むか作図せよ．

※ブレッドボード作図は，ソフトウェアを利用したものでもよい．（印刷もカラー可）

予習3： 本実験で利用する汎用 IC の特性を調査せよ．

※それぞれデータシートを入手し必要事項をまとめること．

予習4： 事前に配布した，①**真理値表**を予習レポートに写し，真理値表に基づき②**論理式**を記述せよ．
③**回路図**を作図せよ．④ブレッドボード上にどのように回路を組むか作図せよ．
2-I-7 では簡略化を行わない． 予習は予習 4 を含めて**簡略化を行わない回路**を考えること．

予習5： 作製した組み合わせ回路から得られるタイミングチャートを作成すること．

入力作製するカウンタ回路である．

詳しくは「**2-I-7 実験の補習を受けないコツ**」を参照のこと．

予習6： 組合せ回路の遅延時間を測定する箇所（例えば 0100 → 0101 と変化する場所）はどこか．

タイミングチャートを作成して図示せよ．また，その理由を説明すること．

※候補は 2 つある． 色が変わっている意味をよく考えること．

予習7： 組合せ回路の作成手順をよく考え，作成途中で確認する場所を設定すること．

確認するときの出力状態をタイミングチャートなどで表すこと．タイミングチャートは予習 5 と合わせて記載してかまわない．

※予習項目 3～5 に関しては Moodle 上に資料がアップロードされているので利用すること．

※Moodle 上の資料「**2-I-7 実験の補習を受けないコツ**」は必読です．

4. 実験

4.1 実験の概要

- カウンタ回路の遅延時間測定
- 組合せ回路の遅延時間測定

4.2 実験で使用する機材

- ・ オシロスコープ (MSOX2004A) ※ロジックアナライザとして利用する.
※発信機もこのオシロスコープに付属している. Moodle の資料を参考のこと.
- ・ IC 各種 (TC74HC04AP, TC74HC08AP, TC74HC32AP, TC74HC107AP)
- ・ ブレッドボード (SRX-32PS)
- ・ ジャンプワイヤセット (SKS-350)

※ロジックアナライザの取り扱い説明書を熟読してくること.

4.3 実験手順

[1] 実験の進め方

～14:15	手順 1：カウンタ回路の配線 J-K フリップフロップを用いたカウンタ回路を作成する。
～14:30	手順 2：カウンタ回路の遅延時間測定
～15:50	手順 3：組合せ回路の作成 各種 IC を利用して真理値表に合わせた組合せ回路を作製する。 ※作成途中確認しながら作成を進めること。 ※途中の出力状態がどのようなになるか事前に調査すること。
～16:15	手順 4：組合せ回路の遅延時間測定 各センサに関してブレッドボードを用いて回路を作成する。
～16:25	手順 5：TA による試問

5. 実験レポート

検討すべき事項（考察事項）

実験レポートでは、実験結果を踏まえて検討を行い、下記の項目に関してもよく考察をすること。

- ① 各遅延時間について得られたデータとデータシートから考えられることを書くこと。
- ② 遅延時間の発生する理由について。

さらに調査すること

今回は本実験をベースに行うため、しっかりと理解した上で予習を行ってこよう。

課題

課題1： J-K フリップフロップを用いた非同期式カウンタにおいて、初段のクロック端子に与えるクロック周波数を上げるとどのような特性になるか。また、正しく動作しなくなるとすれば、その原因は何であるかを、J-K フリップフロップのデータシートに記されている仕様を踏まえて考察せよ。

課題2： 今回の実験で使用した真理値表を特殊乗法標準形を用いて論理関数を導出し、その回路図を示せ。

6. 参考文献

- ・高橋寛：“論理回路ノート” コロナ社（1996）
- ・高橋寛，関根好文，作田幸憲：“ディジタル回路” コロナ社（1996）

1. 準備（予習項目を必ずすべて行ってくること。）

2. 機器の確認

- 1) ブレッドボード（SRX-32PS）と各種 IC があるかを確認する。
IC は足が折れていないことを確認してから使用すること。
- 2) オシロスコープの電源を入れる。
オシロスコープの操作に関しては別紙「ロジックアナライザ取扱手引き」を確認のこと。

3. J-K フリップフロップを用いたカウンタ回路

- 1) ブレッドボード上に図 6 に示した非同期式 4 ビットカウンタ回路を配線する。
利用する IC は 2 個の J-K フリップフロップを持つ 74HC107AP である。
- 2) 配線が終了した後、初段のフリップフロップのクロック端子に発振器を接続した後、ブレッドボードの電源を投入する。
- 3) 発振器（Wave Gen）の設定を以下のように設定する。
 (ア) 波形：方形波
 (イ) 周波数：1 kHz （測定に応じて変えること。）
 (ウ) 振幅：5.00 V_{pp}
 (エ) オフセット：2.50 V
 (オ) デューティ・サイクル：20%
- 4) ロジックアナライザによって、図 6 の Clock 端子、及び Q0～Q3 を観察し、4 ビットカウンタが正しく動作していることを確認し、波形（例：図 7）を保存する。

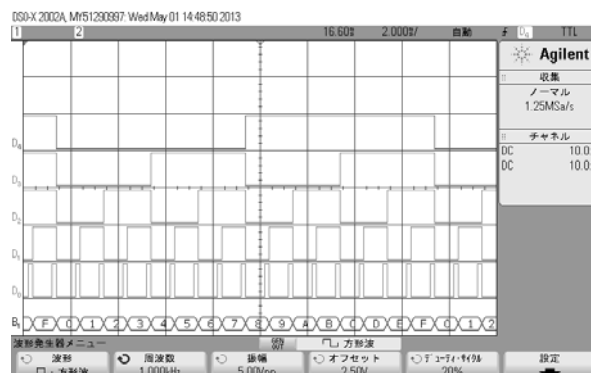


図 7 カウンタ回路の出力波形（全体）

この全体波形の記録は 1 kHz と 4 MHz のみでよい。

※保存された波形は黒背景であるため、図 7 のように白黒を反転させること。

また、特に見づらい場合はカラーで出力してもかまわない。

- 5) 図 8 のように各出力間での遅延時間，及び総遅延時間を測定し，表 2 のようにまとめる．
測定時は測定箇所を図 9 のように拡大すること．また，各周波数における測定時の波形（図 9 のような波形）を保存すること．※全ての周波数の波形を保存しレポートにまとめる．

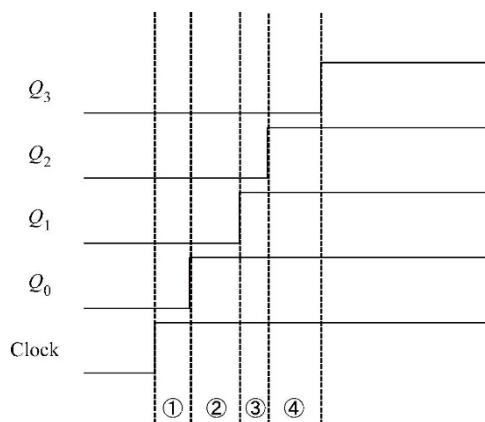


図 8 カウンタ回路の遅延時間測定

表 2 カウンタ回路の遅延時間測定結果

周波数	①	②	③	④	総遅延時間
1 kHz					
100 kHz					
1 MHz					
4 MHz					
10 MHz					

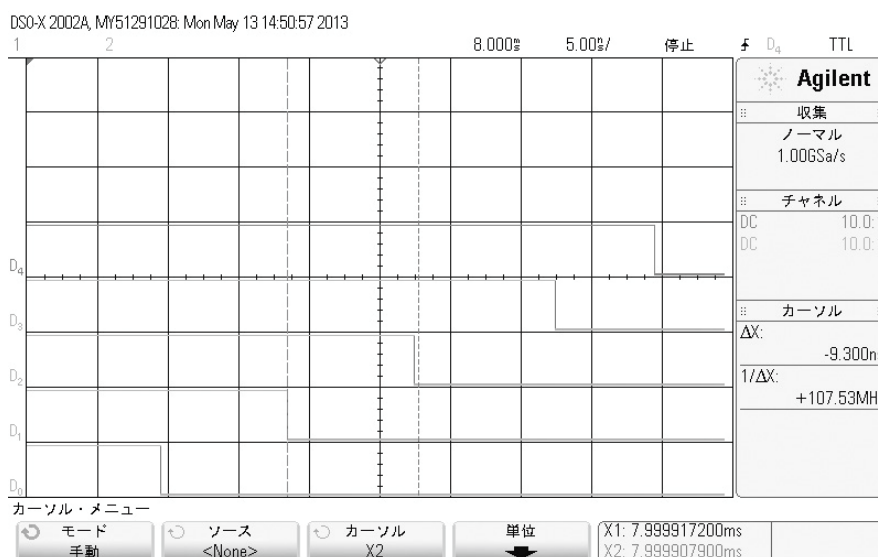


図 9 遅延時間の測定

- 6) 発振器の周波数を 100kHz, 1MHz, 4MHz, 10MHz と変化させて同様の観察及び測定を行う．
- 7) ブレッドボード及び発振器の電源を落とす．ただし，使用したカウンタ回路は以後の実験でも使用するため，配線はそのままにしておく．

4. 特殊加法標準形による組み合わせ回路の設計

- 1) 予習課題行った設計に基づき、ブレッドボード上に回路を配線する。
なお、今回用いる IC は 74HC04AP (NOT), 74HC08AP (AND), 及び 74HC32AP (OR) の 3 種類であり、配線の際には、データシートを参照する。
- 2) 組み合わせ回路の入力に、カウンタ回路の Q0 ~ Q3 を接続し、ブレッドボードの電源を投入する。
- 3) 発振器 (Wave Gen) の設定を以下のように設定する。
(ア) 波形：方形波
(イ) 周波数：1 kHz (測定に応じて変えること.)
(ウ) 振幅：5.00 V_{pp}
(エ) オフセット：2.50 V
(オ) デューティ・サイクル：20%
- 4) ロジックアナライザによって、図 6 の Clock 端子, Q0 ~ Q3 及び組合せ回路の出力を観察し、真理値表通りに動作していることを確認し、波形を保存する。
※全体波形の記録は、カウンタ回路の測定と同様 1 kHz と 4 MHz だけでよい。

- 5) 図 10 のように入出力間での遅延時間を測定し、表 3 のようにまとめる。※測定する個所は予習項目にあるが必ず TA or 教員に確認を取ること。

※カウンタ回路の測定と同様、拡大した波形をすべて保存する。

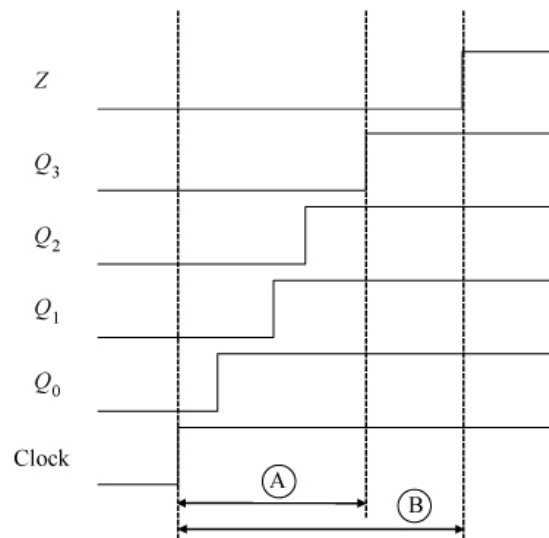


図 10 組み合わせ回路の遅延時間測定

表 3 組み合わせ回路の遅延時間測定結果

周波数	Ⓐ	Ⓑ	Ⓑ - Ⓐ
1 kHz			
100 kHz			
1 MHz			
4 MHz			
10 MHz			

- 6) ブレッドボード及び発振器の電源を落とし、配線をすべて外す。

※時間に余裕が十分にあれば

- 7) 次週行う組合せ回路の簡単化の測定も行ってもよい。