



AKADEMIA GÓRNICZO HUTNICZA
IM. STANISŁAWA STASZICA
W KRAKOWIE

Technika cyfrowa

TIMER

DULEWICZ ANTONI
SMYDA TOMASZ

10 MAJA 2024

Spis treści

1	Treść ćwiczenia	2
2	Opis rozwiązania	2
3	Transkoder dla przerzutników	2
3.1	Tabela prawdy	3
3.2	Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść	3
3.2.1	Wyjście Y_4	4
3.2.2	Wyjście Y_3	5
3.2.3	Wyjście Y_2	7
3.2.4	Wyjście Y_1	8
4	Transkoder liczby 4-bitowej na liczbę 9-bitową	10
4.1	Wyjście B_1	11
4.2	Wyjście C_1	12
4.3	Wyjście A_2	14
4.4	Wyjście B_2	15
4.5	Wyjście C_2	16
4.6	Wyjście D_2	18
4.7	Wyjście E_2	19
4.8	Wyjście F_2	21
4.9	Wyjście G_2	22
5	Transkoder dla alarmu	23
6	Komparator	24
7	Układ testujący	26

1 Treść ćwiczenia

Korzystając wyłącznie z wybranych przerzutników oraz dowolnych bramek logicznych, proszę zaprojektować czterobitowy układ TIMER, odmierzający ustawiany za pomocą przełączników czas (od 0 do 15).

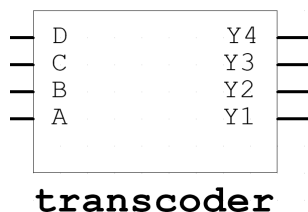
Po wciśnięciu przycisku START, układ rozpoczyna odmierzanie czasu do tyłu (proszę dobrać częstotliwość tak, aby efekt był dobrze widoczny na ekranie). Po wyzerowaniu się licznika czasu, układ powinien się zatrzymać i włączyć alarm świetlny wykorzystujący diodę LED. Po ponownym wciśnięciu przycisku START, układ powinien wyłączyć alarm i ponownie rozpocząć odmierzanie ustawionego na przełącznikach czasu.

Aktualny wskazywany przez układ czas proszę pokazywać na wyświetlaczach siedmiosegmentowych.

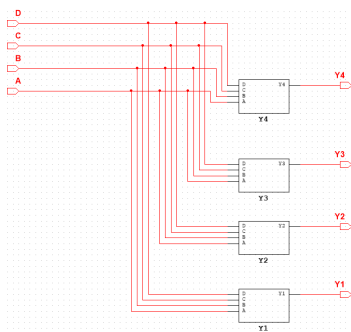
2 Opis rozwiązania

Na początku tworzymy tabelę prawdy, która reprezentuje stany logiczne transkodera dla przerzutników typu T. Następnie przy pomocy tabel Karnaugh wyprowadzamy funkcje logiczne reprezentujące ten układ i przechodzimy do części projektowania układu w programie Multisim oraz testujemy go za pomocą układu testującego.

3 Transkoder dla przerzutników



Rysunek 1: Makieta transkodera dla przerzutników



Rysunek 2: Schemat podukładu transkodera

3.1 Tabela prawdy

Przejście	D	C	B	A	D ₊	C ₊	B ₊	A ₊	Y ₄	Y ₃	Y ₂	Y ₁
15 → 14	1	1	1	1	1	1	1	0	0	0	0	1
14 → 13	1	1	1	0	1	1	0	1	0	0	1	1
13 → 12	1	1	0	1	1	1	0	0	0	0	0	1
12 → 11	1	1	0	0	1	0	1	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0	0	0	1
10 → 9	1	0	1	0	1	0	0	1	0	0	1	1
9 → 8	1	0	0	1	1	0	0	0	0	0	0	1
8 → 7	1	0	0	0	0	1	1	1	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0	0	0	1
6 → 5	0	1	1	0	0	1	0	1	0	0	1	1
5 → 4	0	1	0	1	0	1	0	0	0	0	0	1
4 → 3	0	1	0	0	0	0	1	1	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0	0	0	1
2 → 1	0	0	1	0	0	0	0	1	0	0	1	1
1 → 0	0	0	0	1	0	0	0	0	0	0	0	1
0 → 0	0	0	0	0	0	0	0	0	0	0	0	0

Tabela 1: Tabela prawdy dla transkodera

T	Q _t	Q _{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 2: Tabela prawdy dla przerzutnika typu T

3.2 Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść

Na podstawie tabeli prawdy tworzymy tabele Karnaugh dla wyjść transkodera. Zaznaczamy największe grupy pól z jedynkami i zapisujemy powstałą formułę. Szkicujemy schemat układu, następnie projektujemy w Multisimie.

3.2.1 Wyjście Y_4

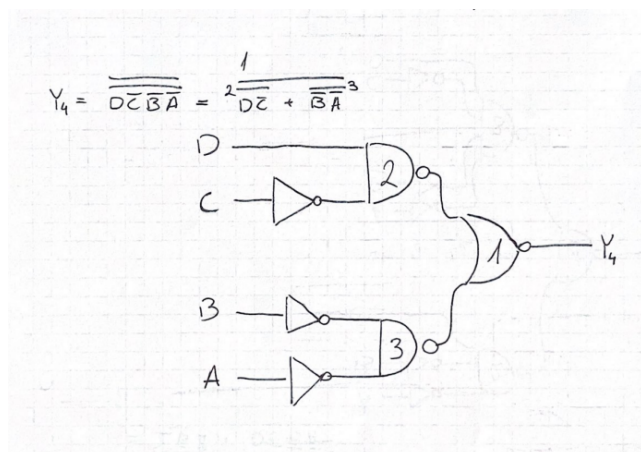
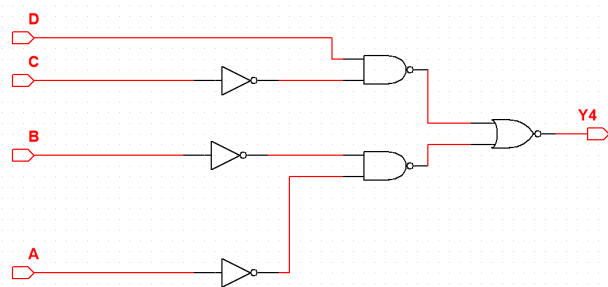
Przejście	D	C	B	A	D ₊	C ₊	B ₊	A ₊	Y ₄
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	0
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	0
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	0
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	0
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	0
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	0
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 3: Tabela prawdy dla wyjścia Y_4

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	0	0	0	0
	11	0	0	0	0
	10	1	0	0	0

Rysunek 3: Tabela Karnaugh dla wyjścia Y_4

$$Y_4 = \overline{D}\overline{C}\overline{B}\overline{A}$$

Rysunek 4: Schemat dla wyjścia Y_4 Rysunek 5: Projekt dla wyjścia Y_4

3.2.2 Wyjście Y_3

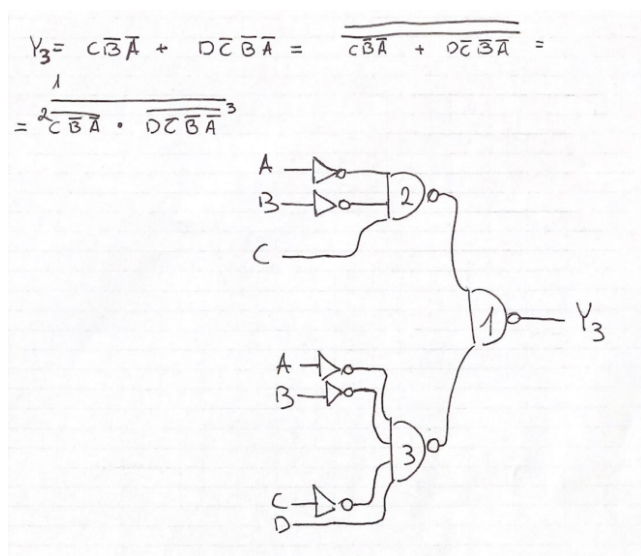
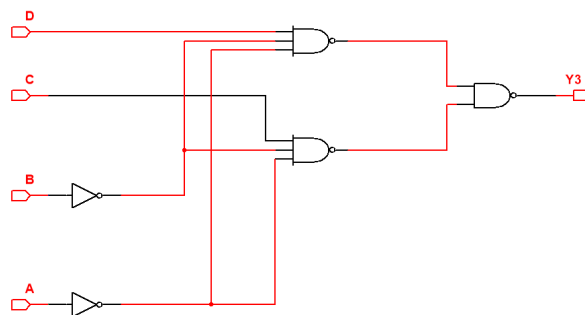
Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_3
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	0
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	0
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	0
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	0
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 4: Tabela prawdy dla wyjścia Y_3

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	1	0	0	0
	11	1	0	0	0
	10	1	0	0	0

Rysunek 6: Tabela Karnaugh dla wyjścia Y_3

$$Y_3 = \overline{C}\overline{B}\overline{A} + D\overline{C}\overline{B}\overline{A}$$

Rysunek 7: Schemat dla wyjścia Y_3 Rysunek 8: Projekt dla wyjścia Y_3

3.2.3 Wyjście Y_2

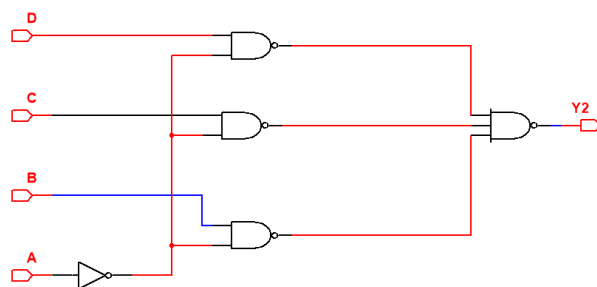
Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_2
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	1
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	1
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	1
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	1
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 5: Tabela prawdy dla wyjścia Y_2

		BA			
		00	01	11	10
DC	00	0	0	0	1
	01	1	0	0	1
	11	1	0	0	1
	10	1	0	0	1

Rysunek 9: Tabela Karnaugh dla wyjścia Y_2

$$Y_2 = \overline{D}\overline{A} + \overline{C}\overline{A} + B\overline{A}$$



Rysunek 11: Projekt dla wyjścia Y_2

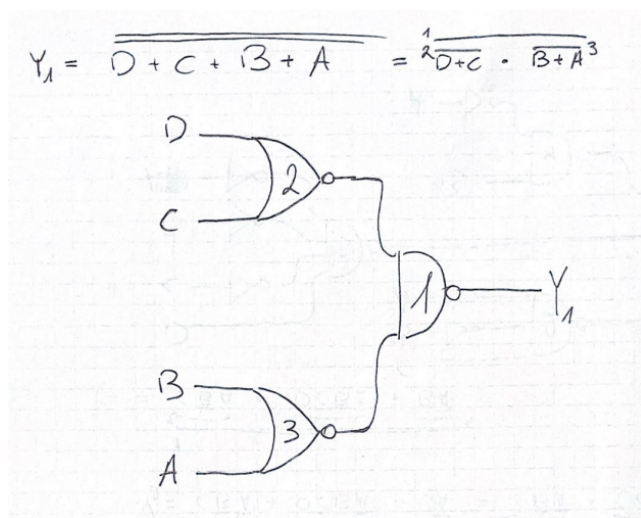
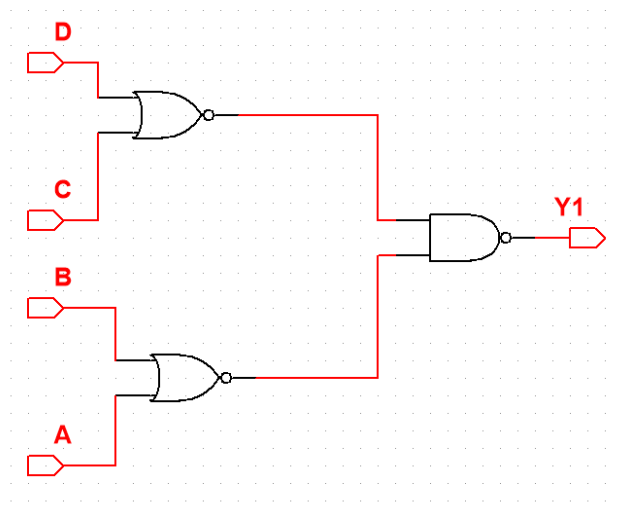
[illegible]

Tabela 6: Tabela prawdy dla wyjścia Y_1

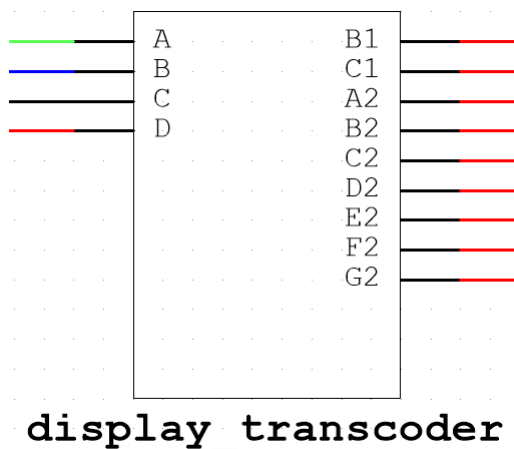
		BA			
		00	01	11	10
DC	00	0	1	1	1
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	1	1

Rysunek 12: Tabela Karnaugh dla wyjścia Y_1

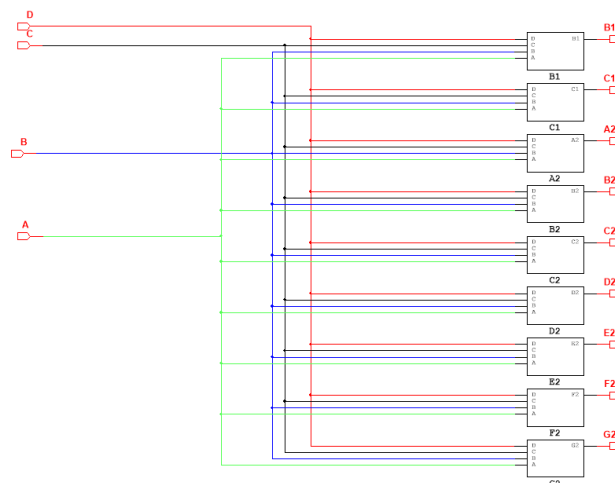
$$Y_1 = D + C + B + A$$

Rysunek 13: Schemat dla wyjścia Y_1 Rysunek 14: Projekt dla wyjścia Y_1

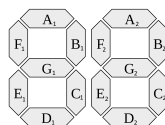
4 Transkoder liczby 4-bitowej na liczbę 9-bitową



Rysunek 15: Makieta transkodera



Rysunek 16: Schemat podukładu transkodera



Rysunek 17: Schemat dwucyfrowego wyświetlacza 7-segmentowego

DEC	D	C	B	A	B ₁	C ₁	A ₂	B ₂	C ₂	D ₂	E ₂	F ₂	G ₂
0	0	0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	0	0	1	1	0	0	0	0
2	0	0	1	0	0	0	1	1	0	1	1	0	1
3	0	0	1	1	0	0	1	1	1	1	0	0	1
4	0	1	0	0	0	0	0	1	1	0	0	1	1
5	0	1	0	1	0	0	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	0	1	1	1	1	1
7	0	1	1	1	0	0	1	1	1	0	0	0	0
8	1	0	0	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	0	0	1	1	1	1	0	1	1
10	1	0	1	0	1	1	1	1	1	1	1	1	0
11	1	0	1	1	1	1	0	1	1	0	0	0	0
12	1	1	0	0	1	1	1	1	0	1	1	0	1
13	1	1	0	1	1	1	1	1	1	1	0	0	1
14	1	1	1	0	1	1	0	1	1	0	0	1	1
15	1	1	1	1	1	1	1	0	1	1	0	1	1

Tabela 7: Tabela prawdy dla wszystkich wyjść

4.1 Wyjście B₁

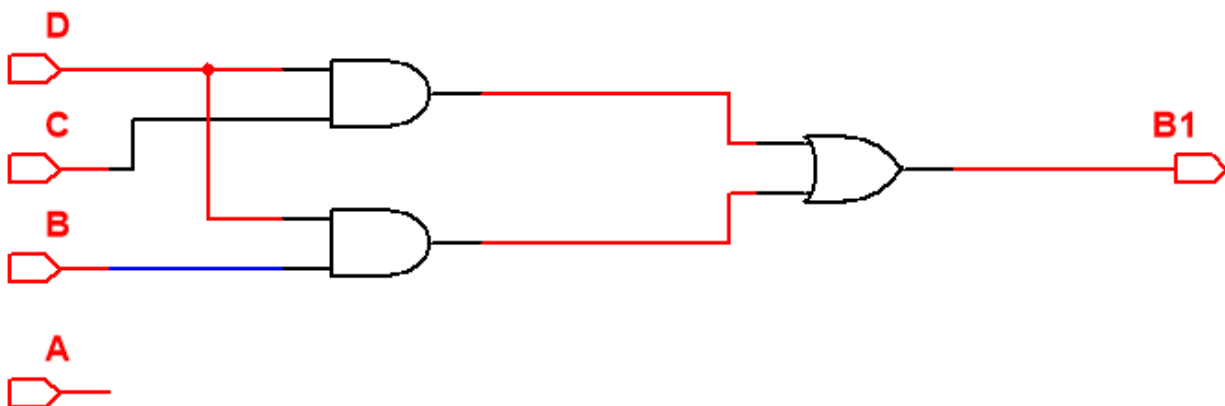
DEC	D	C	B	A	B ₁
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 8: Tabela prawdy dla wyjścia B₁

		<i>BA</i>			
		00	01	11	10
<i>DC</i>	00	0	0	0	0
	01	0	0	0	0
	11	1	1	1	1
	10	0	0	1	1

Rysunek 18: Tabela Karnaugh dla wyjścia B₁

$$B_1 = DC + DB$$

Rysunek 19: Projekt dla wyjścia B₁

4.2 Wyjście C₁

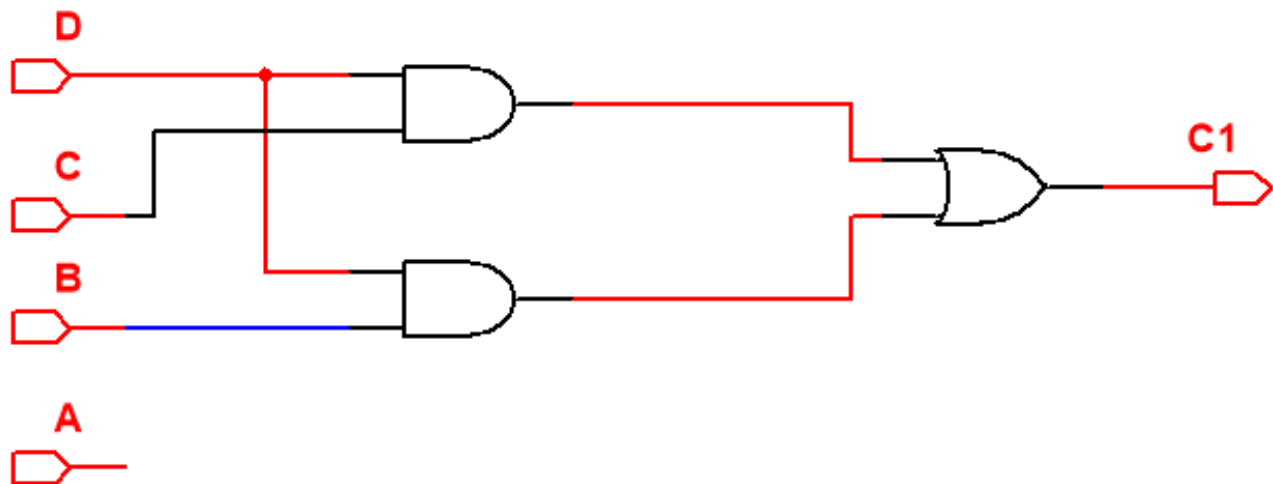
DEC	D	C	B	A	C ₁
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 9: Tabela prawdy dla wyjścia C₁

		<i>BA</i>			
		00	01	11	10
<i>DC</i>	00	0	0	0	0
	01	0	0	0	0
	11	1	1	1	1
	10	0	0	1	1

Rysunek 20: Tabela Karnaugh dla wyjścia C_1

$$C_1 = DC + DB$$

Rysunek 21: Projekt dla wyjścia C_1

4.3 Wyjście A_2

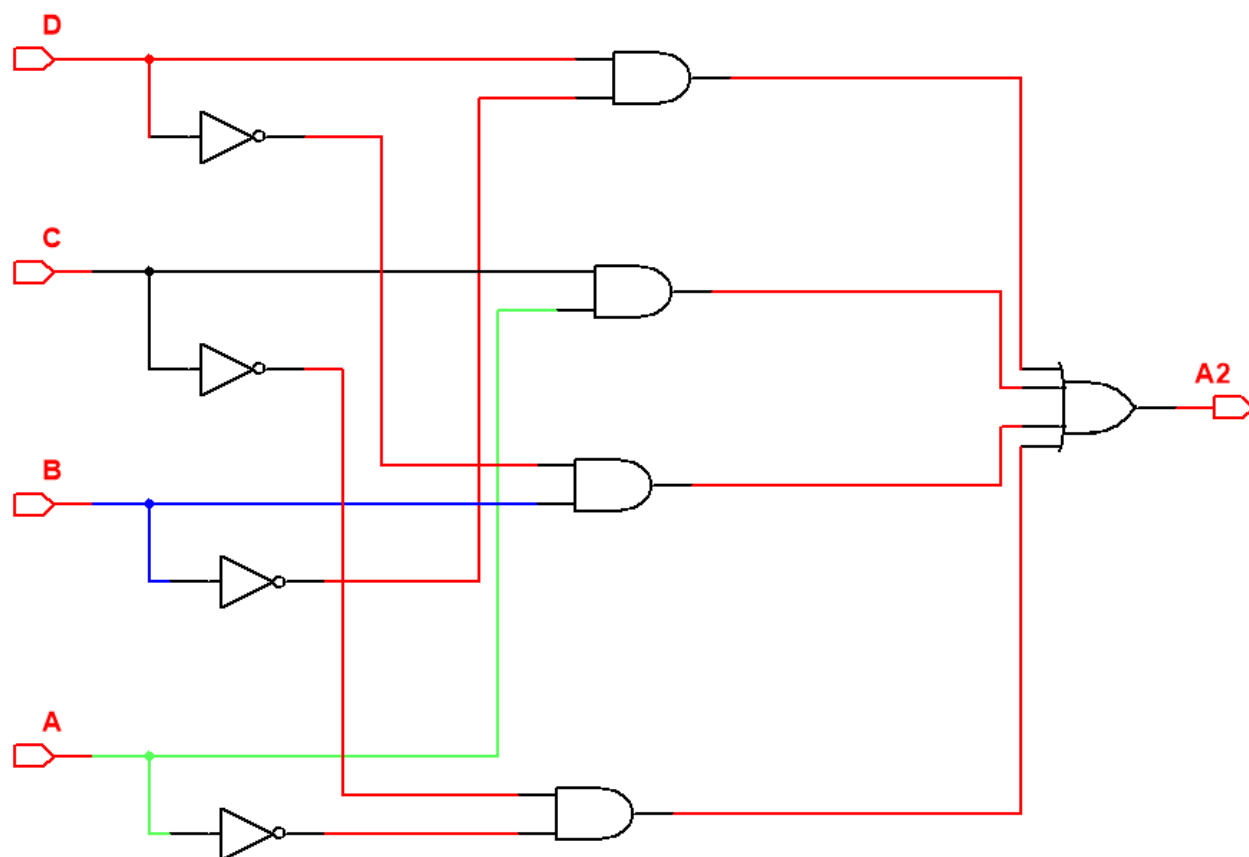
DEC	D	C	B	A	A_2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

Tabela 10: Tabela prawdy dla wyjścia A_2

		BA			
		00	01	11	10
DC	00	1	0	1	1
	01	0	1	1	1
	11	1	1	1	0
	10	1	1	0	1

Rysunek 22: Tabela Karnaugh dla wyjścia A_2

$$A_2 = \overline{D}\overline{B} + \overline{C}A + \overline{D}B + \overline{C}\overline{A}$$

Rysunek 23: Projekt dla wyjścia A_2

4.4 Wyjście B₂

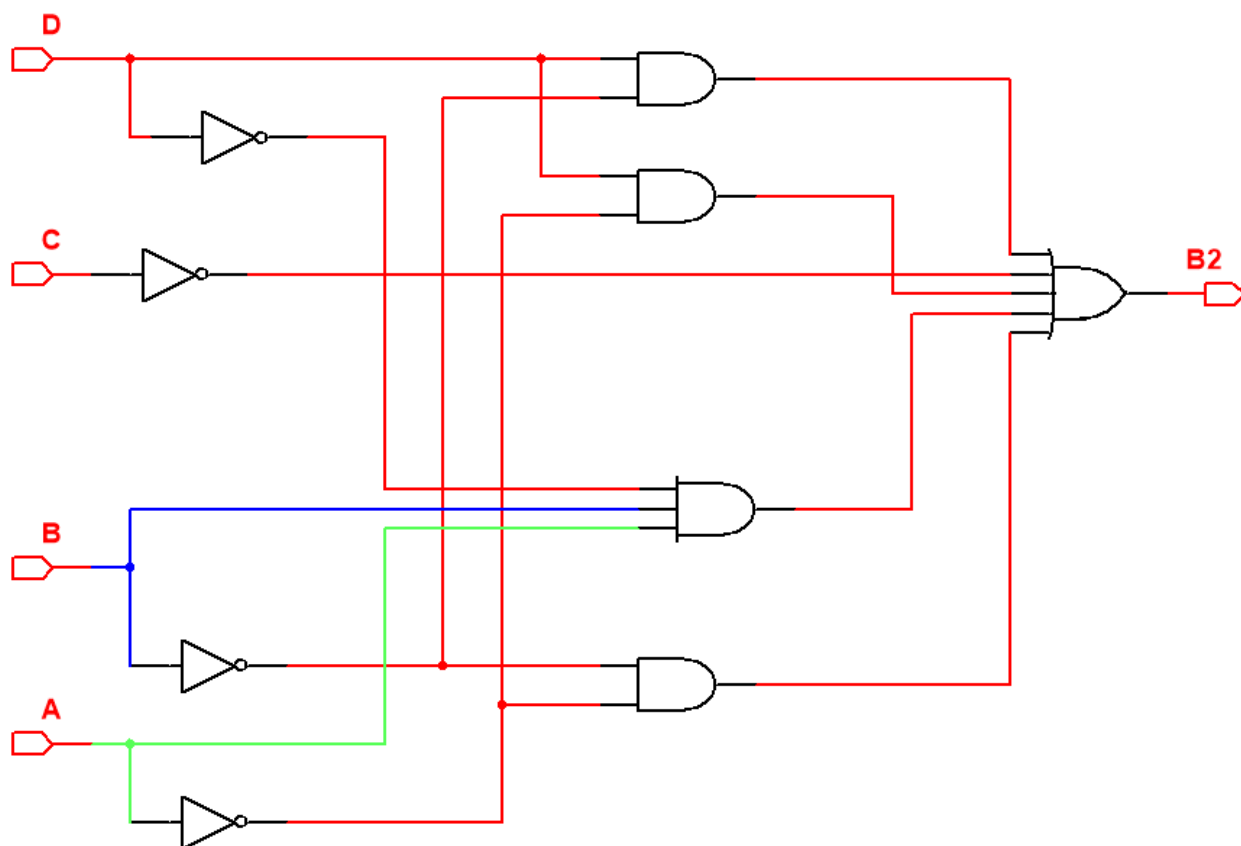
DEC	D	C	B	A	B ₂
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

Tabela 11: Tabela prawdy dla wyjścia B₂

		<i>BA</i>			
		00	01	11	10
<i>DC</i>	00	1	1	1	1
	01	1	0	1	0
	11	1	1	0	1
	10	1	1	1	1

Rysunek 24: Tabela Karnaugh dla wyjścia B₂

$$B_2 = \bar{C} + \bar{B}\bar{A} + D\bar{B} + D\bar{A} + \bar{D}BA$$

Rysunek 25: Projekt dla wyjścia B_2

4.5 Wyjście C_2

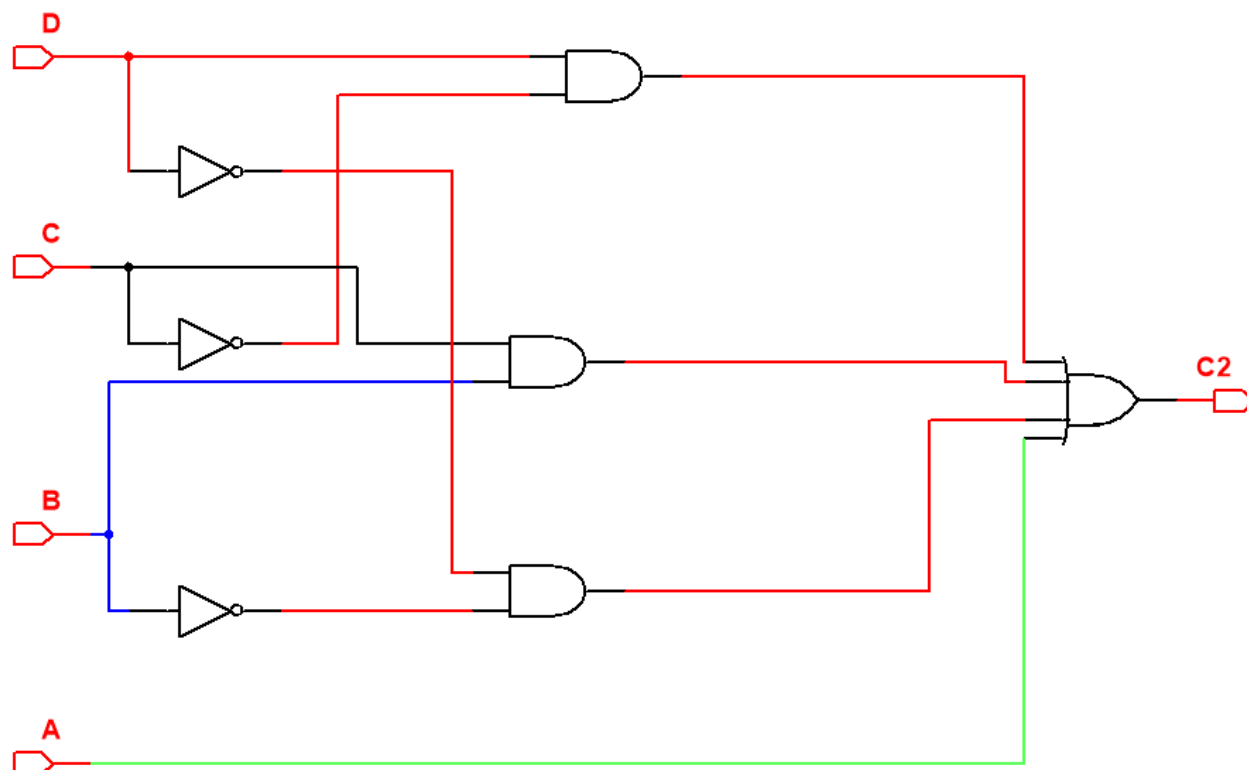
DEC	D	C	B	A	C_2
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 12: Tabela prawdy dla wyjścia C_2

		BA			
		00	01	11	10
DC	00	1	1	1	0
	01	1	1	1	1
	11	0	1	1	1
	10	1	1	1	1

Rysunek 26: Tabela Karnaugh dla wyjścia C_2

$$C_2 = \overline{D}\overline{C} + A + CB + \overline{D}\overline{B}$$

Rysunek 27: Projekt dla wyjścia C_2

4.6 Wyjście D_2

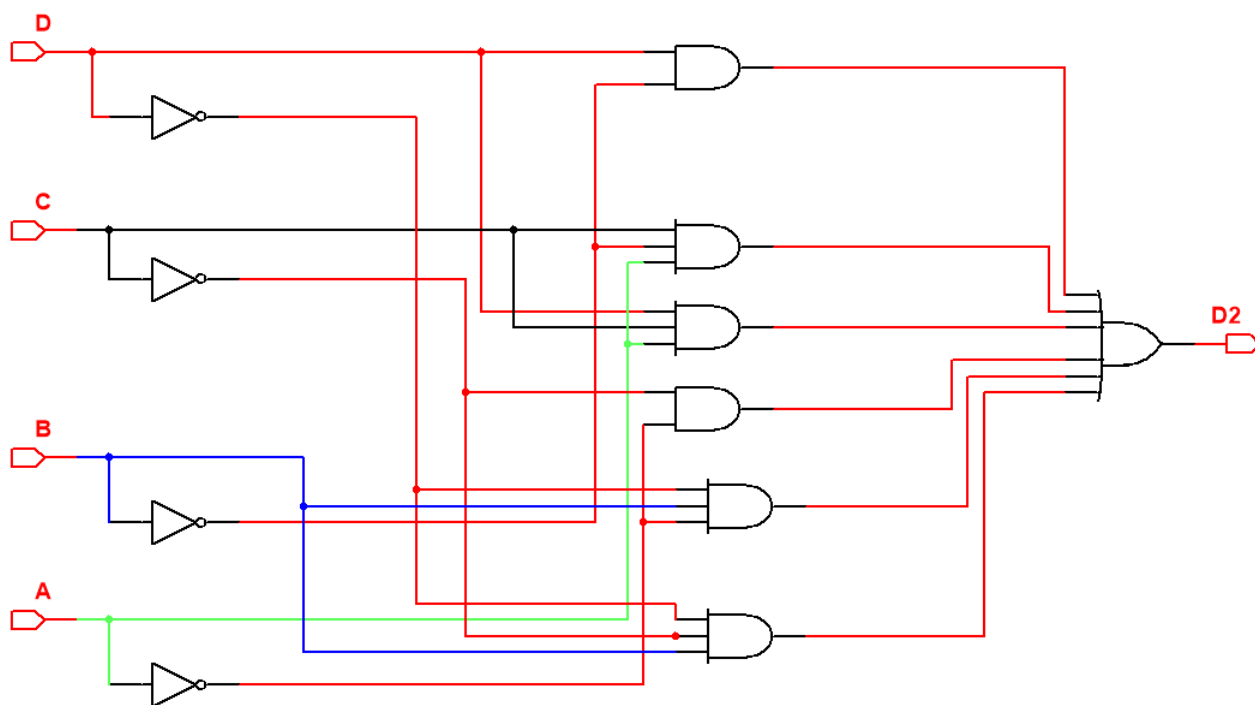
DEC	D	C	B	A	D_2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

Tabela 13: Tabela prawdy dla wyjścia D_2

	<i>BA</i>			
	00	01	11	10
<i>DC</i>	00	0	1	1
	01	0	1	1
	11	1	1	0
	10	1	0	1

Rysunek 28: Tabela Karnaugh dla wyjścia D_2

$$D_2 = \overline{D}\overline{B} + \overline{C}\overline{B}A + DCA + \overline{C}\overline{A} + \overline{D}B\overline{A} + \overline{D}\overline{C}B$$

Rysunek 29: Projekt dla wyjścia D_2

4.7 Wyjście E_2

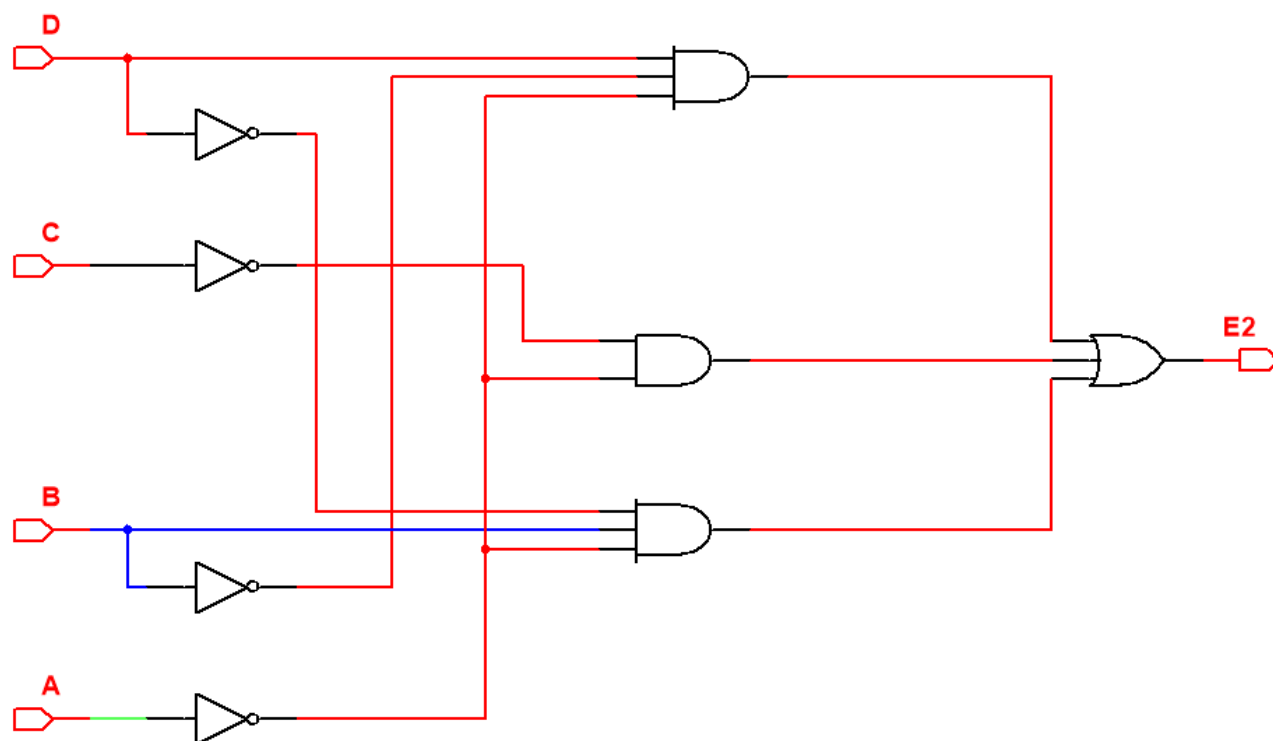
DEC	D	C	B	A	E_2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Tabela 14: Tabela prawdy dla wyjścia E_2

		BA			
		00	01	11	10
DC	00	1	0	0	1
	01	0	0	0	1
	11	1	0	0	0
	10	1	0	0	1

Rysunek 30: Tabela Karnaugh dla wyjścia E_2

$$E_2 = \overline{D}\overline{B}\overline{A} + \overline{C}\overline{A} + \overline{D}B\overline{A}$$

Rysunek 31: Projekt dla wyjścia E_2

4.8 Wyjście F_2

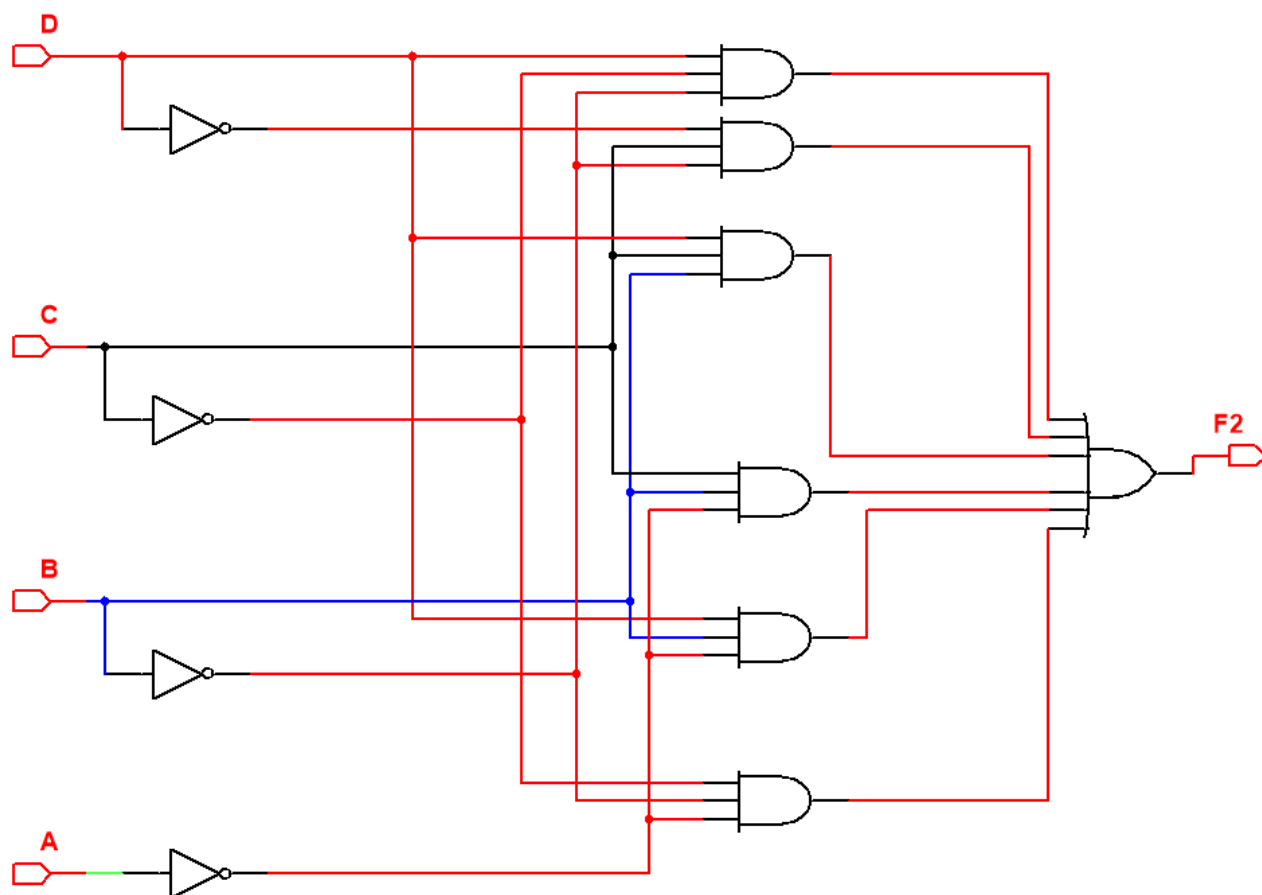
DEC	D	C	B	A	F_2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 15: Tabela prawdy dla wyjścia F_2

		BA			
		00	01	11	10
DC	00	1	0	0	0
	01	1	1	0	1
	11	0	0	1	1
	10	1	1	0	1

Rysunek 32: Tabela Karnaugh dla wyjścia F_2

$$F_2 = \overline{D}\overline{C}\overline{B} + \overline{D}C\overline{B} + DCB + CB\overline{A} + DB\overline{A} + \overline{C}\overline{B}\overline{A}$$

Rysunek 33: Projekt dla wyjścia F_2

4.9 Wyjście G_2

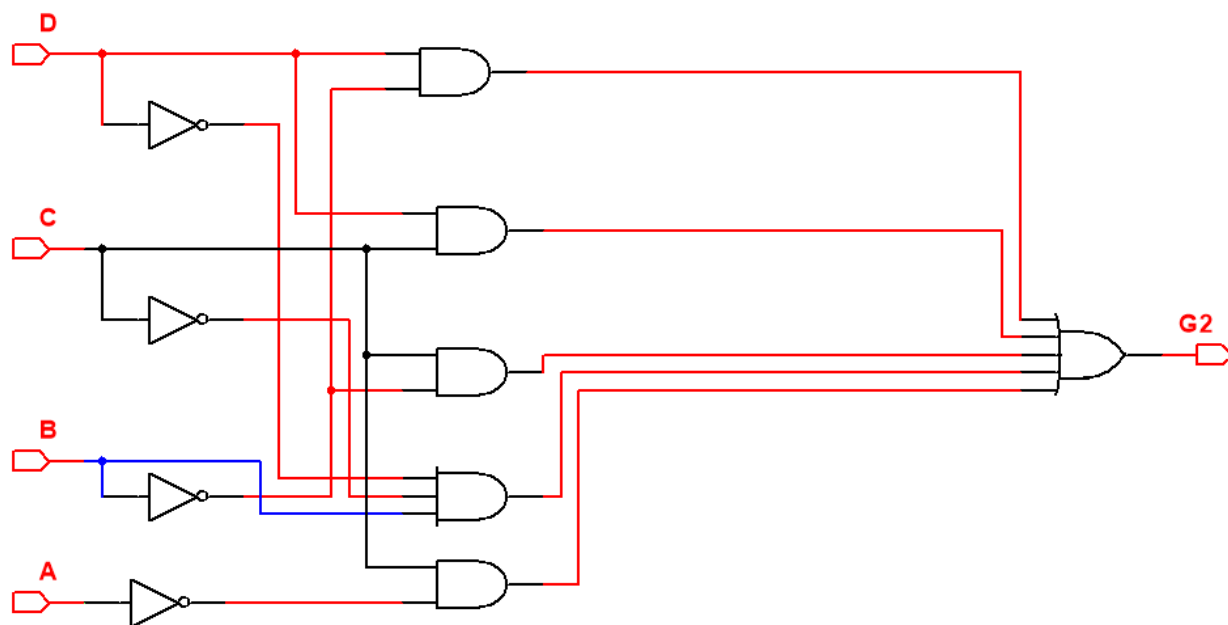
DEC	D	C	B	A	G_2
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 16: Tabela prawdy dla wyjścia G_2

		BA			
		00	01	11	10
DC	00	0	0	1	1
	01	1	1	0	1
	11	1	1	1	1
	10	1	1	0	0

Rysunek 34: Tabela Karnaugh dla wyjścia G_2

$$G_2 = \overline{D}\overline{B} + DC + C\overline{B} + \overline{D}\overline{C}B + \overline{A}C$$

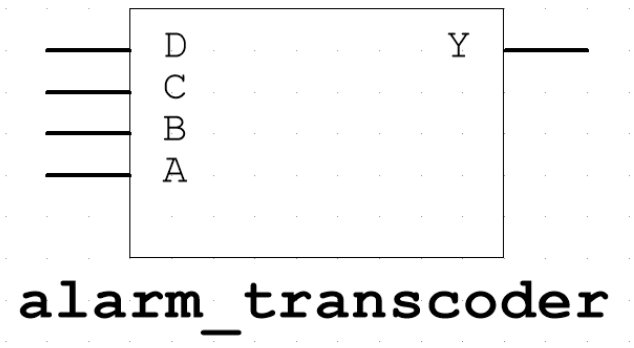
Rysunek 35: Projekt dla wyjścia G_2

5 Transkoder dla alarmu

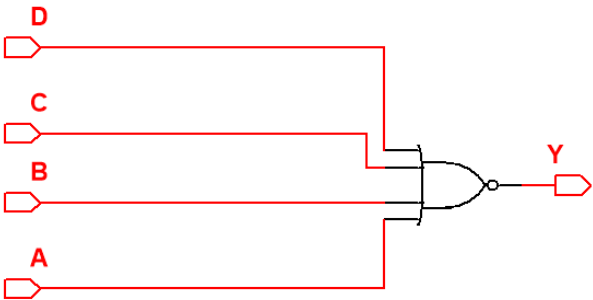
DEC	D	C	B	A	Y
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Tabela 17: Tabela prawdy dla wyjścia Y

Łatwo zauważyć, że tabelę prawdy realizuje czterowejściowa bramka NOR.



Rysunek 36: Makieta transkodera dla alarmu



Rysunek 37: Schemat transkodera dla alarmu

6 Komparator

Komparator dla każdego wyjścia transkodera dla przerzutników (T_i) porównuje je z oczekiwanym wyjściem (O_i) i jeżeli którakolwiek para bitów się różni na wyjściu pojawia się sygnał logiczny 1.

T_i	O_i	Y_i
0	0	0
1	0	1
1	1	0
0	1	1

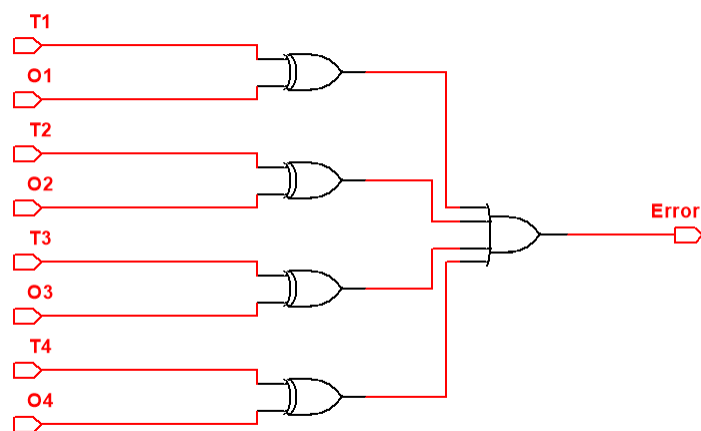
Tabela 18: Tabela prawdy dla wyjścia pojedynczego podukładu komparatora Y_i dla $i \in \{1, 2, 3, 4\}$

Łatwo zauważyć, że taką tabelę realizuje bramka XOR.

Y_1	Y_2	Y_3	Y_4	Error
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

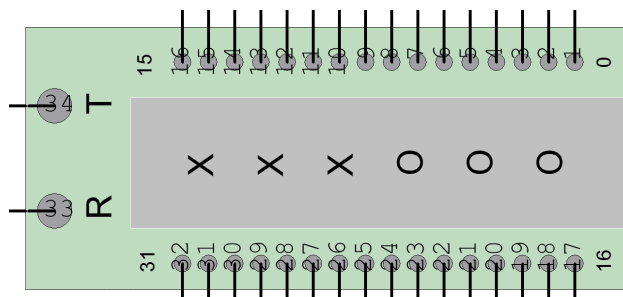
Tabela 19: Tabela prawdy dla wyjścia Error

Łatwo zauważyć, że taką tabelę realizuje czterowejściowa bramka OR.

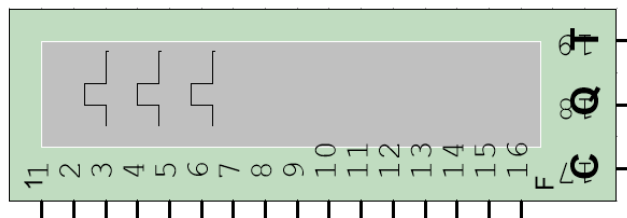


Rysunek 38: Projekt komparatora

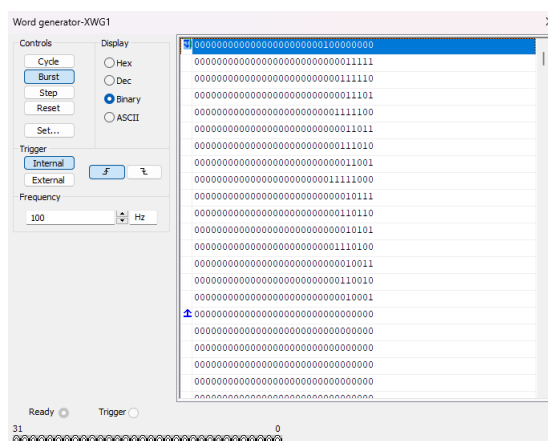
7 Układ testujący



Rysunek 39: Generator słów



Rysunek 40: Analizator stanów logicznych



Rysunek 41: Ustawienia generatora słów



Rysunek 42: Wykres analizatora stanów logicznych

