

AGH

AKADEMIA GÓRNICZO HUTNICZA
IM. STANISŁAWA STASZICA
W KRAKOWIE

Technika cyfrowa

TIMER

DULEWICZ ANTONI
SMYDA TOMASZ

14 MAJA 2024

Spis treści

1	Treść ćwiczenia	2
2	Opis rozwiązania	2
3	Transkoder dla przerzutników	3
3.1	Tabela prawdy	4
3.2	Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść	4
3.2.1	Wyjście Y_4	5
3.2.2	Wyjście Y_3	6
3.2.3	Wyjście Y_2	8
3.2.4	Wyjście Y_1	9
4	Transkoder liczby 4-bitowej na liczbę 9-bitową	11
4.1	Wyjście B_1	12
4.2	Wyjście C_1	13
4.3	Wyjście A_2	15
4.4	Wyjście B_2	17
4.5	Wyjście C_2	19
4.6	Wyjście D_2	20
4.7	Wyjście E_2	22
4.8	Wyjście F_2	23
4.9	Wyjście G_2	25
5	Transkoder dla alarmu	26
6	Komparator	28
7	Układ testujący	29
8	Ustawianie wartości początkowych	32
9	Cały układ licznika	33
10	Zastosowania	34
10.1	Rakieta	34
10.2	Kuchenka elektryczna w DS3 Akropol	35

1 Treść ćwiczenia

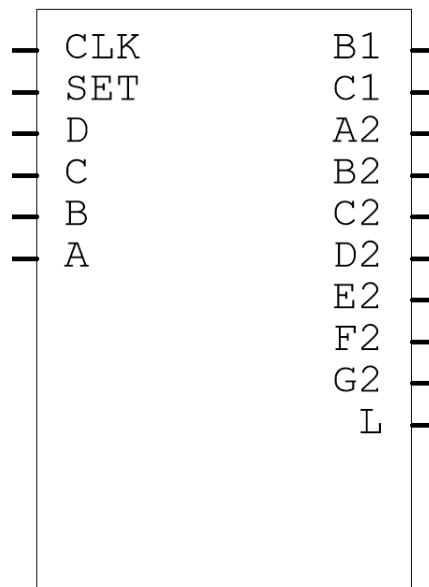
Korzystając wyłącznie z wybranych przerzutników oraz dowolnych bramek logicznych, proszę zaprojektować czterobitowy układ TIMER, odmierzający ustawiany za pomocą przełączników czas (od 0 do 15).

Po wciśnięciu przycisku START, układ rozpoczyna odmierzanie czasu do tyłu (proszę dobrą częstotliwość tak, aby efekt był dobrze widoczny na ekranie). Po wyzerowaniu się licznika czasu, układ powinien się zatrzymać i włączyć alarm świetlny wykorzystujący diodę LED. Po ponownym wciśnięciu przycisku START, układ powinien wyłączyć alarm i ponownie rozpocząć odmierzanie ustawionego na przełącznikach czasu.

Aktualny wskazywany przez układ czas proszę pokazywać na wyświetlaczaach siedmiosegmentowych.

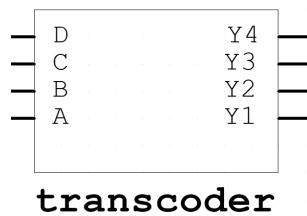
2 Opis rozwiązania

Na początku tworzymy tabelę prawdy, która reprezentuje stany logiczne transkodera dla przerzutników typu T. Następnie przy pomocy tabel Karnaugh wprowadzamy funkcje logiczne reprezentujące ten układ i przechodzimy do części projektowania układu w programie Multisim oraz testujemy go za pomocą układu testującego.

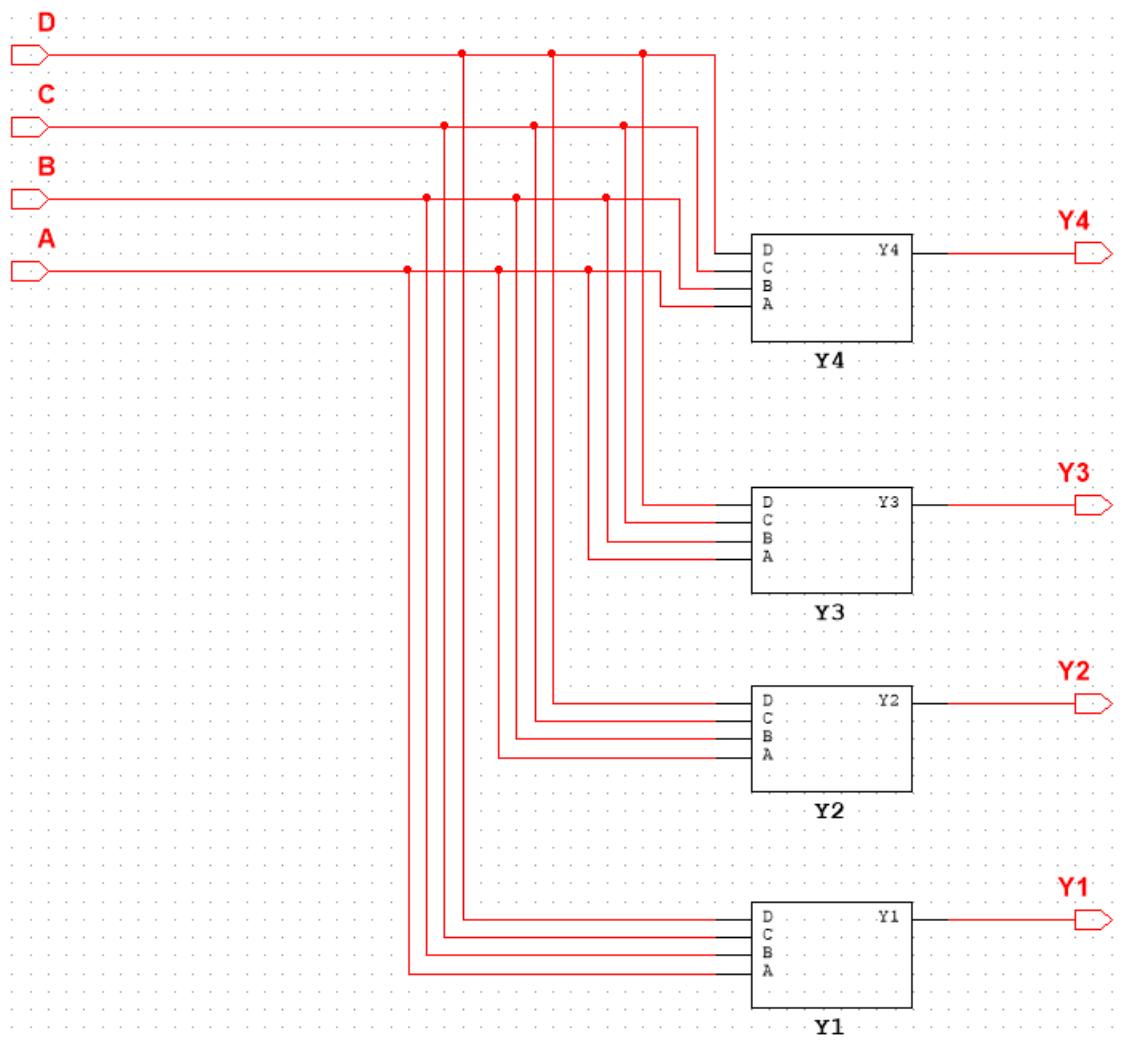


Rysunek 1: Makieta układu licznika

3 Transkoder dla przerzutników



Rysunek 2: Makieta transkodera dla przerzutników



Rysunek 3: Schemat podukładu transkodera

3.1 Tabela prawdy

Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_4	Y_3	Y_2	Y_1
$15 \rightarrow 14$	1	1	1	1	1	1	1	0	0	0	0	1
$14 \rightarrow 13$	1	1	1	0	1	1	0	1	0	0	1	1
$13 \rightarrow 12$	1	1	0	1	1	1	0	0	0	0	0	1
$12 \rightarrow 11$	1	1	0	0	1	0	1	1	0	1	1	1
$11 \rightarrow 10$	1	0	1	1	1	0	1	0	0	0	0	1
$10 \rightarrow 9$	1	0	1	0	1	0	0	1	0	0	1	1
$9 \rightarrow 8$	1	0	0	1	1	0	0	0	0	0	0	1
$8 \rightarrow 7$	1	0	0	0	0	1	1	1	1	1	1	1
$7 \rightarrow 6$	0	1	1	1	0	1	1	0	0	0	0	1
$6 \rightarrow 5$	0	1	1	0	0	1	0	1	0	0	1	1
$5 \rightarrow 4$	0	1	0	1	0	1	0	0	0	0	0	1
$4 \rightarrow 3$	0	1	0	0	0	0	1	1	0	1	1	1
$3 \rightarrow 2$	0	0	1	1	0	0	1	0	0	0	0	1
$2 \rightarrow 1$	0	0	1	0	0	0	0	1	0	0	1	1
$1 \rightarrow 0$	0	0	0	1	0	0	0	0	0	0	0	1
$0 \rightarrow 0$	0	0	0	0	0	0	0	0	0	0	0	0

Tabela 1: Tabela prawdy dla transkodera

T	Q_t	Q_{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 2: Tabela prawdy dla przerzutnika typu T

3.2 Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść

Na podstawie tabeli prawdy tworzymy tabele Karnaugh dla wyjść transkodera. Zaznaczamy największe grupy pól z jedynkami i zapisujemy powstałą formułę. Szkicujemy schemat układu, następnie projektujemy w Multisimie.

3.2.1 Wyjście Y_4

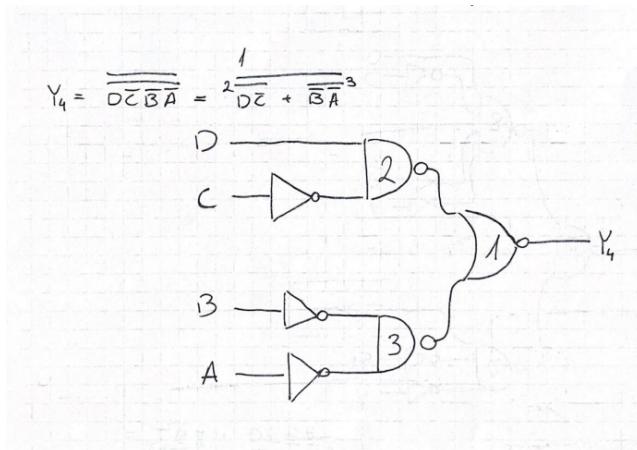
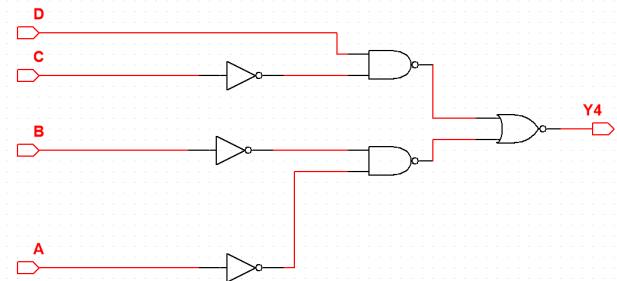
Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_4
$15 \rightarrow 14$	1	1	1	1	1	1	1	0	0
$14 \rightarrow 13$	1	1	1	0	1	1	0	1	0
$13 \rightarrow 12$	1	1	0	1	1	1	0	0	0
$12 \rightarrow 11$	1	1	0	0	1	0	1	1	0
$11 \rightarrow 10$	1	0	1	1	1	0	1	0	0
$10 \rightarrow 9$	1	0	1	0	1	0	0	1	0
$9 \rightarrow 8$	1	0	0	1	1	0	0	0	0
$8 \rightarrow 7$	1	0	0	0	0	1	1	1	1
$7 \rightarrow 6$	0	1	1	1	0	1	1	0	0
$6 \rightarrow 5$	0	1	1	0	0	1	0	1	0
$5 \rightarrow 4$	0	1	0	1	0	1	0	0	0
$4 \rightarrow 3$	0	1	0	0	0	0	1	1	0
$3 \rightarrow 2$	0	0	1	1	0	0	1	0	0
$2 \rightarrow 1$	0	0	1	0	0	0	0	1	0
$1 \rightarrow 0$	0	0	0	1	0	0	0	0	0
$0 \rightarrow 0$	0	0	0	0	0	0	0	0	0

Tabela 3: Tabela prawdy dla wyjścia Y_4

		BA				
		00	01	11	10	
DC		00	0	0	0	0
		01	0	0	0	0
		11	0	0	0	0
		10	1	0	0	0

Rysunek 4: Tabela Karnaugh dla wyjścia Y_4

$$Y_4 = \boxed{D\bar{C}\bar{B}\bar{A}}$$

Rysunek 5: Schemat dla wyjścia Y_4 Rysunek 6: Projekt dla wyjścia Y_4

3.2.2 Wyjście Y_3

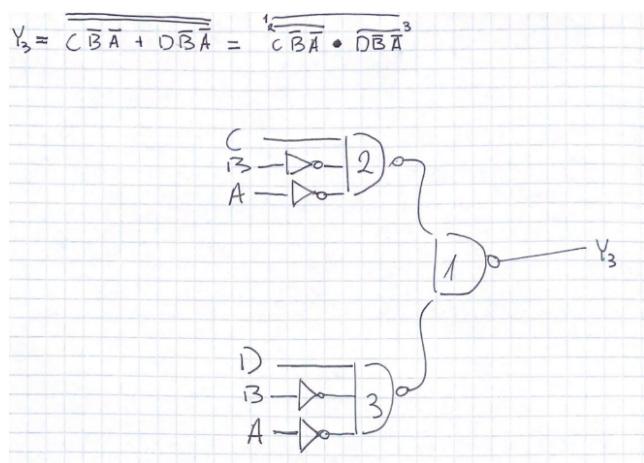
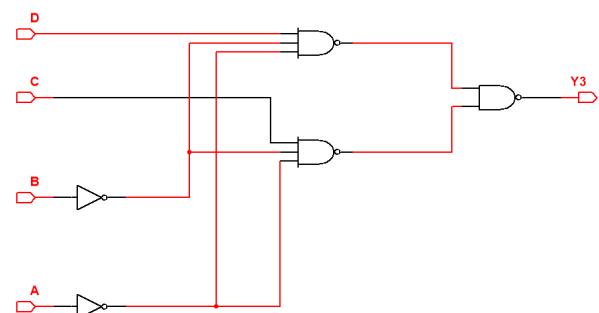
Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_3
$15 \rightarrow 14$	1	1	1	1	1	1	1	0	0
$14 \rightarrow 13$	1	1	1	0	1	1	0	1	0
$13 \rightarrow 12$	1	1	0	1	1	1	0	0	0
$12 \rightarrow 11$	1	1	0	0	1	0	1	1	1
$11 \rightarrow 10$	1	0	1	1	1	0	1	0	0
$10 \rightarrow 9$	1	0	1	0	1	0	0	1	0
$9 \rightarrow 8$	1	0	0	1	1	0	0	0	0
$8 \rightarrow 7$	1	0	0	0	0	1	1	1	1
$7 \rightarrow 6$	0	1	1	1	0	1	1	0	0
$6 \rightarrow 5$	0	1	1	0	0	1	0	1	0
$5 \rightarrow 4$	0	1	0	1	0	1	0	0	0
$4 \rightarrow 3$	0	1	0	0	0	0	1	1	1
$3 \rightarrow 2$	0	0	1	1	0	0	1	0	0
$2 \rightarrow 1$	0	0	1	0	0	0	0	1	0
$1 \rightarrow 0$	0	0	0	1	0	0	0	0	0
$0 \rightarrow 0$	0	0	0	0	0	0	0	0	0

Tabela 4: Tabela prawdy dla wyjścia Y_3

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	1	0	0	0
	11	1	0	0	0
	10	1	0	0	0

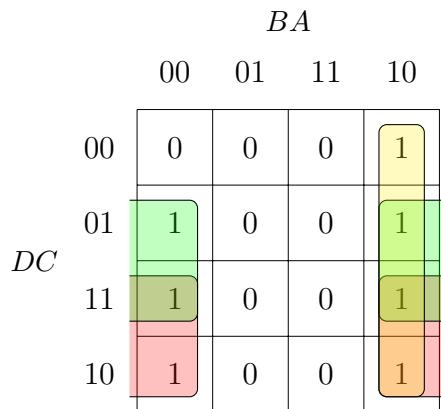
Rysunek 7: Tabela Karnaugh dla wyjścia Y_3

$$Y_3 = \overline{C\bar{B}A} + \overline{D\bar{B}\bar{A}}$$

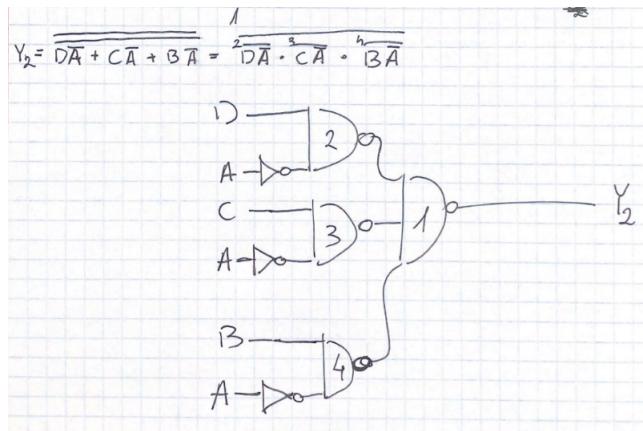
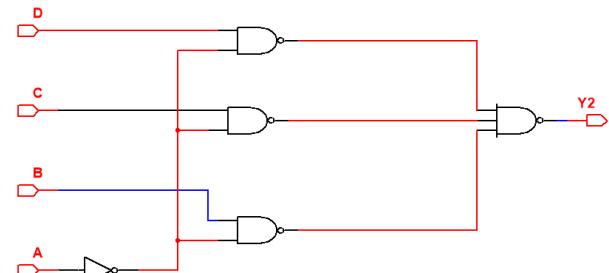
Rysunek 8: Schemat dla wyjścia Y_3 Rysunek 9: Projekt dla wyjścia Y_3

3.2.3 Wyjście Y₂

Przejście	D	C	B	A	D ₊	C ₊	B ₊	A ₊	Y ₂
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	1
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	1
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	1
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	1
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 5: Tabela prawdy dla wyjścia Y₂Rysunek 10: Tabela Karnaugh dla wyjścia Y₂

$$Y_2 = \overline{D}\overline{A} + \overline{C}\overline{A} + \overline{B}\overline{A}$$

Rysunek 11: Schemat dla wyjścia Y_2 Rysunek 12: Projekt dla wyjścia Y_2

3.2.4 Wyjście Y_1

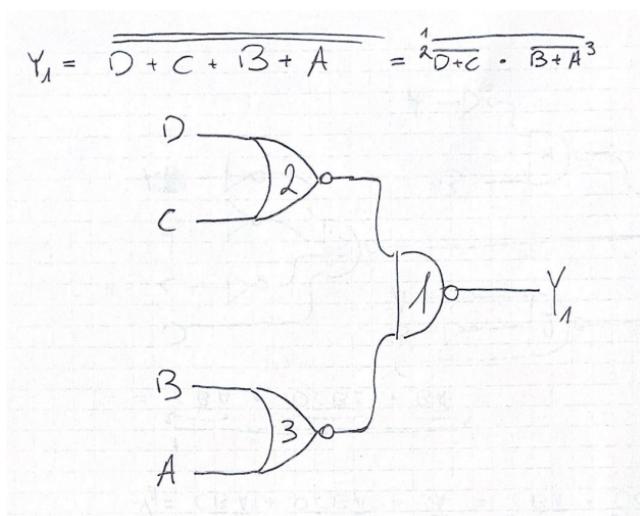
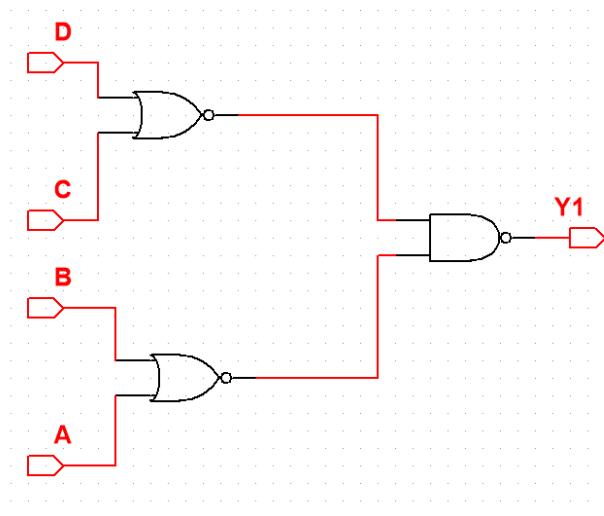
Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_1
$15 \rightarrow 14$	1	1	1	1	1	1	1	0	1
$14 \rightarrow 13$	1	1	1	0	1	1	0	1	1
$13 \rightarrow 12$	1	1	0	1	1	1	0	0	1
$12 \rightarrow 11$	1	1	0	0	1	0	1	1	1
$11 \rightarrow 10$	1	0	1	1	1	0	1	0	1
$10 \rightarrow 9$	1	0	1	0	1	0	0	1	1
$9 \rightarrow 8$	1	0	0	1	1	0	0	0	1
$8 \rightarrow 7$	1	0	0	0	0	1	1	1	1
$7 \rightarrow 6$	0	1	1	1	0	1	1	0	1
$6 \rightarrow 5$	0	1	1	0	0	1	0	1	1
$5 \rightarrow 4$	0	1	0	1	0	1	0	0	1
$4 \rightarrow 3$	0	1	0	0	0	0	1	1	1
$3 \rightarrow 2$	0	0	1	1	0	0	1	0	1
$2 \rightarrow 1$	0	0	1	0	0	0	0	1	1
$1 \rightarrow 0$	0	0	0	1	0	0	0	0	1
$0 \rightarrow 0$	0	0	0	0	0	0	0	0	0

Tabela 6: Tabela prawdy dla wyjścia Y_1

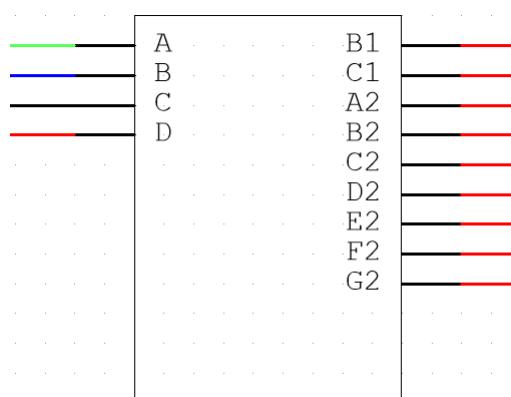
		BA				
		00	01	11	10	
		00	0	1	1	1
DC		01	1	1	1	1
		11	1	1	1	1
		10	1	1	1	1

Rysunek 13: Tabela Karnaugh dla wyjścia Y_1

$$Y_1 = \overline{D} + \overline{C} + \overline{B} + \overline{A}$$

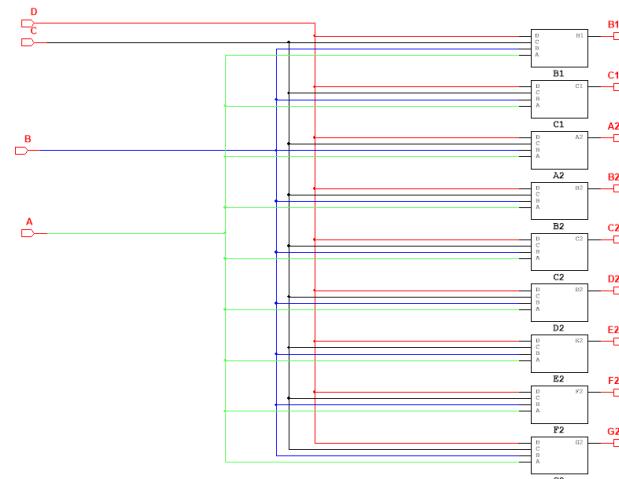
Rysunek 14: Schemat dla wyjścia Y_1 Rysunek 15: Projekt dla wyjścia Y_1

4 Transkoder liczby 4-bitowej na liczbę 9-bitową

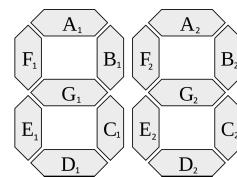


display_transcoder

Rysunek 16: Makieta transkodera



Rysunek 17: Schemat podukładu transkodera



Rysunek 18: Schemat dwucyfrowego wyświetlacza 7-segmentowego

DEC	D	C	B	A	B ₁	C ₁	A ₂	B ₂	C ₂	D ₂	E ₂	F ₂	G ₂	
0	0	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	0	0	1	1	0	0	0	0	0
2	0	0	1	0	0	0	1	1	0	1	1	0	1	1
3	0	0	1	1	0	0	1	1	1	1	0	0	0	1
4	0	1	0	0	0	0	0	1	1	0	0	1	1	1
5	0	1	0	1	0	0	1	0	1	1	0	1	1	1
6	0	1	1	0	0	0	1	0	1	1	1	1	1	1
7	0	1	1	1	0	0	1	1	1	0	0	0	0	0
8	1	0	0	0	0	0	1	1	1	1	1	1	1	1
9	1	0	0	1	0	0	1	1	1	1	0	1	1	1
10	1	0	1	0	1	1	1	1	1	1	1	1	1	0
11	1	0	1	1	1	1	0	1	1	0	0	0	0	0
12	1	1	0	0	1	1	1	1	0	1	1	0	1	1
13	1	1	0	1	1	1	1	1	1	1	0	0	0	1
14	1	1	1	0	1	1	0	1	1	0	0	1	1	1
15	1	1	1	1	1	1	1	0	1	1	0	1	1	1

Tabela 7: Tabela prawdy dla wszystkich wyjść

4.1 Wyjście B₁

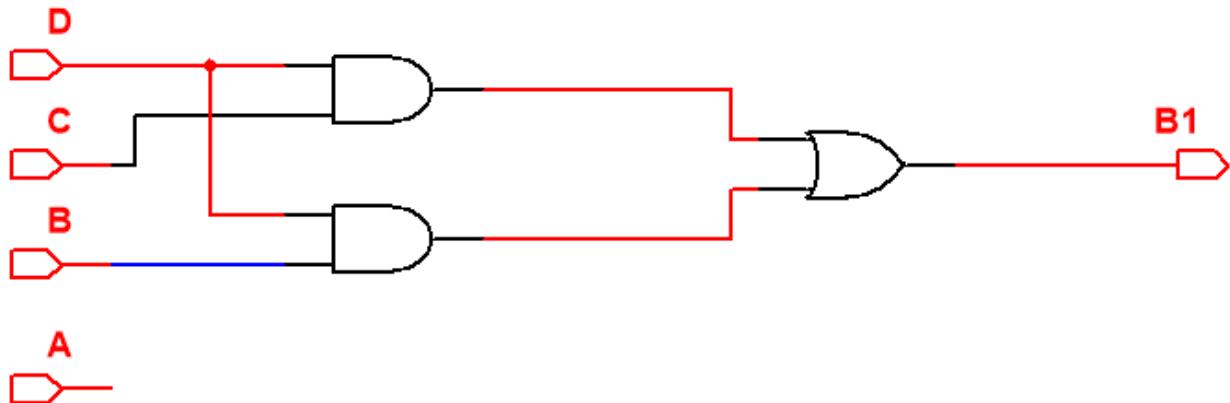
DEC	D	C	B	A	B ₁
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 8: Tabela prawdy dla wyjścia B₁

		BA				
		00	01	11	10	
DC		00	0	0	0	0
		01	0	0	0	0
11	1	1	1	1	1	
10	0	0	1	1		

Rysunek 19: Tabela Karnaugh dla wyjścia B₁

$$B_1 = DC + DB$$

Rysunek 20: Projekt dla wyjścia B_1

4.2 Wyjście C_1

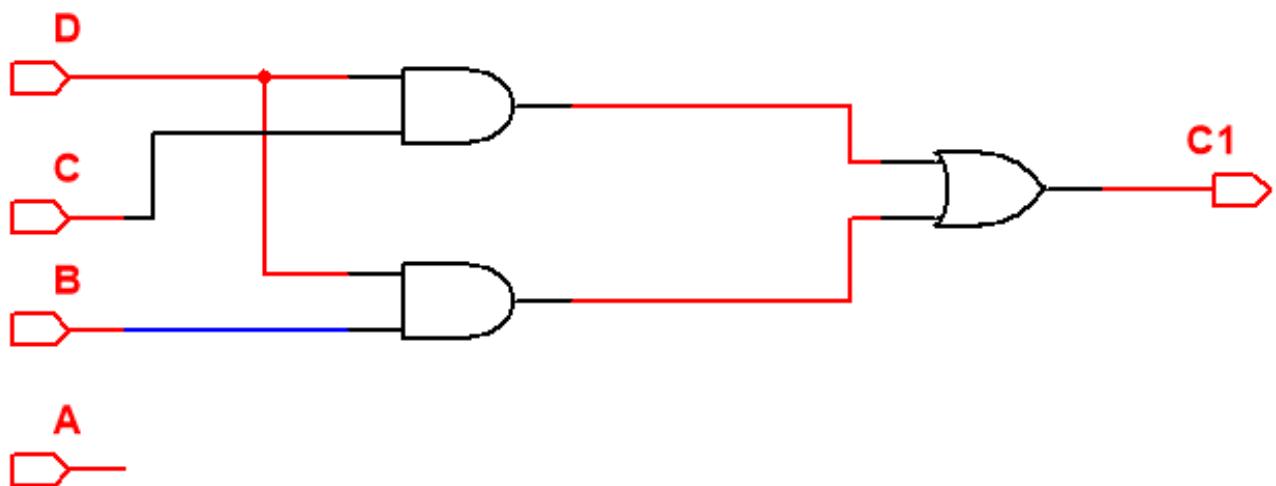
DEC	D	C	B	A	C_1
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 9: Tabela prawdy dla wyjścia C_1

		BA				
		00	01	11	10	
DC		00	0	0	0	0
		01	0	0	0	0
		11	1	1	1	1
		10	0	0	1	1

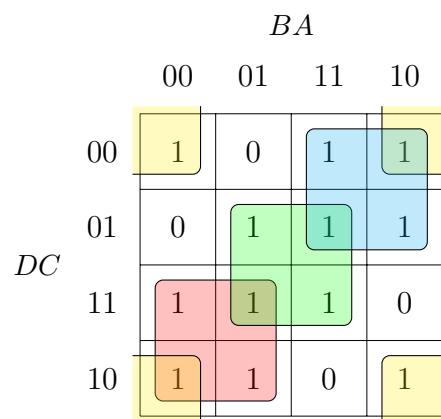
Rysunek 21: Tabela Karnaugh dla wyjścia C₁

$$C_1 = \overline{DC} + \overline{DB}$$

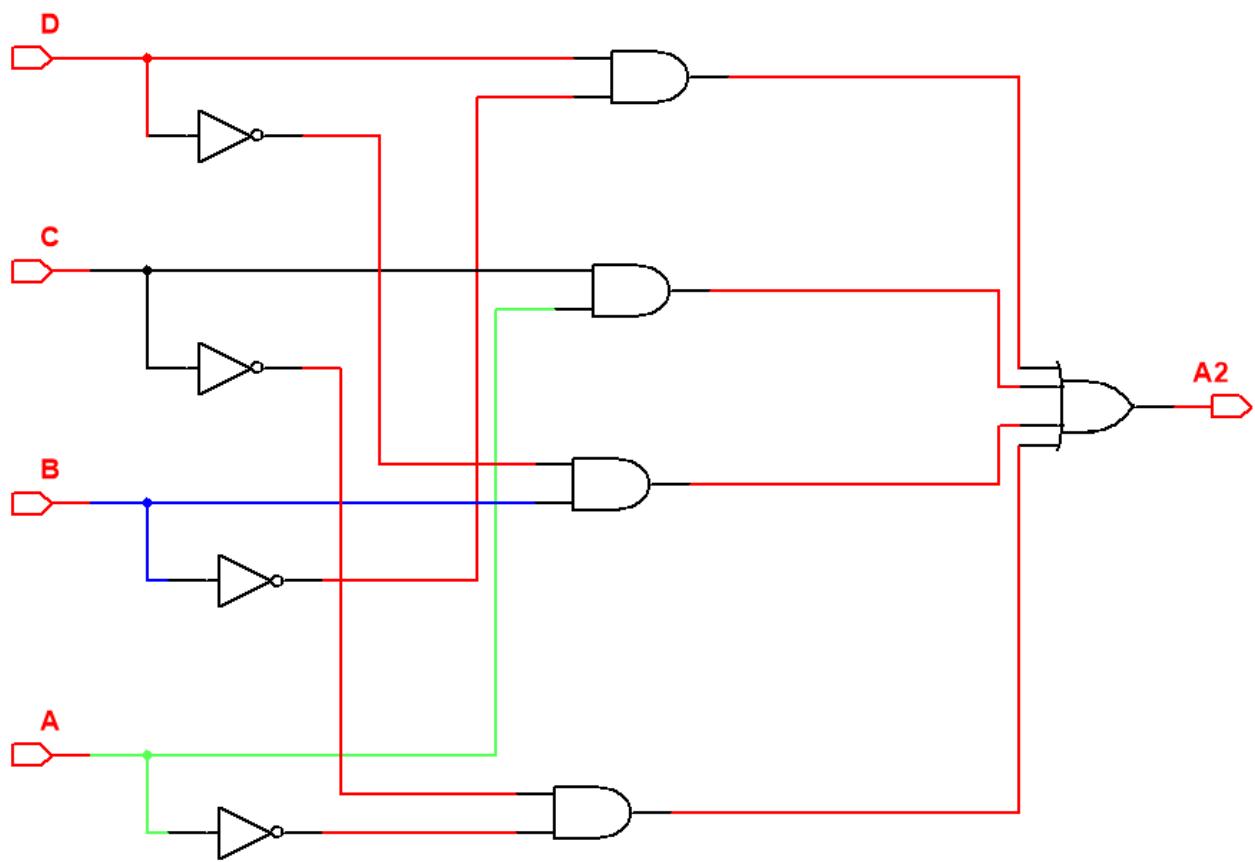
Rysunek 22: Projekt dla wyjścia C₁

4.3 Wyjście A₂

DEC	D	C	B	A	A ₂
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

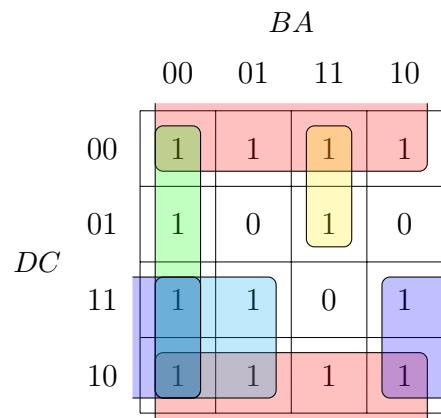
Tabela 10: Tabela prawdy dla wyjścia A₂Rysunek 23: Tabela Karnaugh dla wyjścia A₂

$$A_2 = D\bar{B} + CA + \bar{D}B + \bar{C}\bar{A}$$

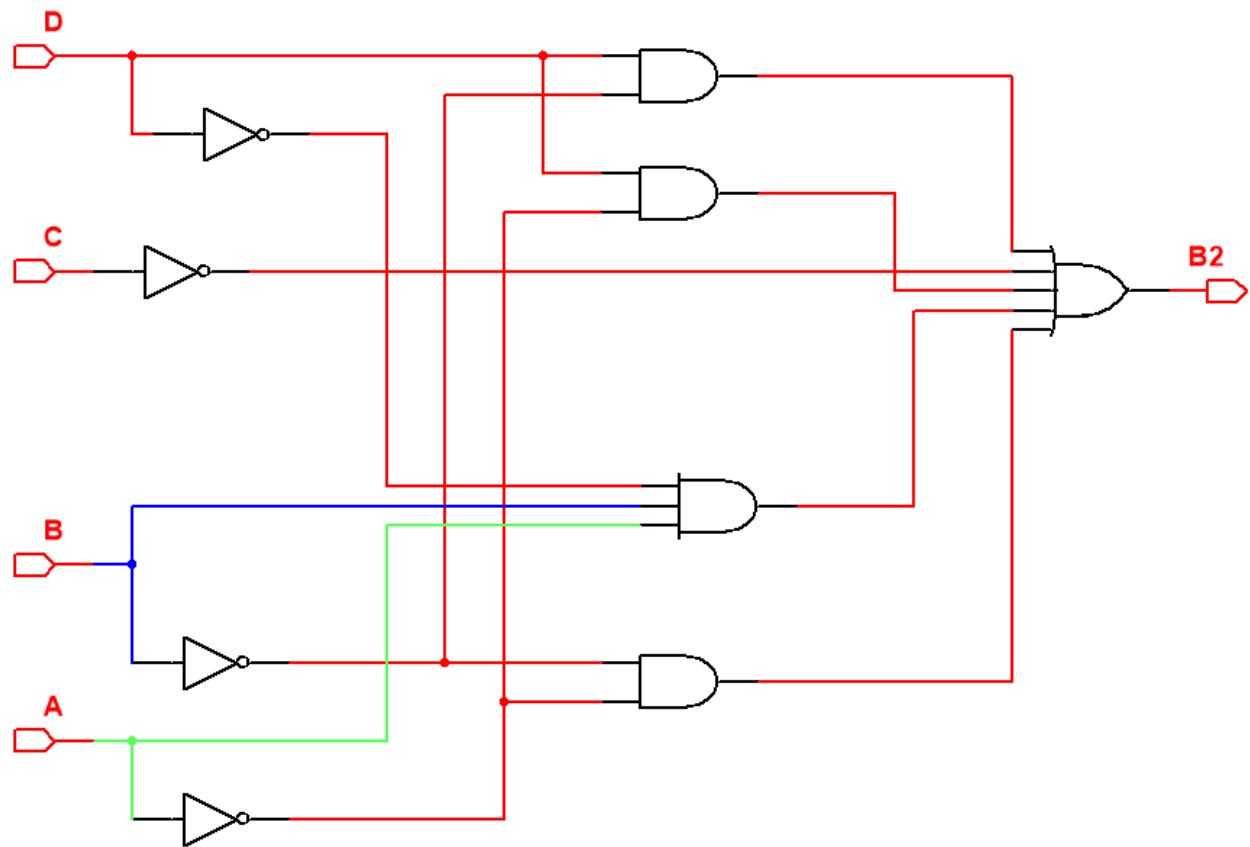
Rysunek 24: Projekt dla wyjścia A_2

4.4 Wyjście B₂

DEC	D	C	B	A	B ₂
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

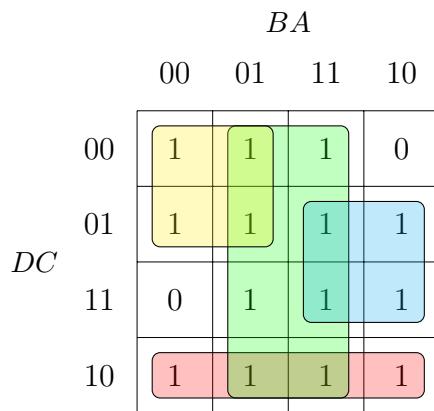
Tabela 11: Tabela prawdy dla wyjścia B₂Rysunek 25: Tabela Karnaugh dla wyjścia B₂

$$B_2 = \bar{C} + \bar{B}\bar{A} + D\bar{B} + D\bar{A} + \bar{D}BA$$

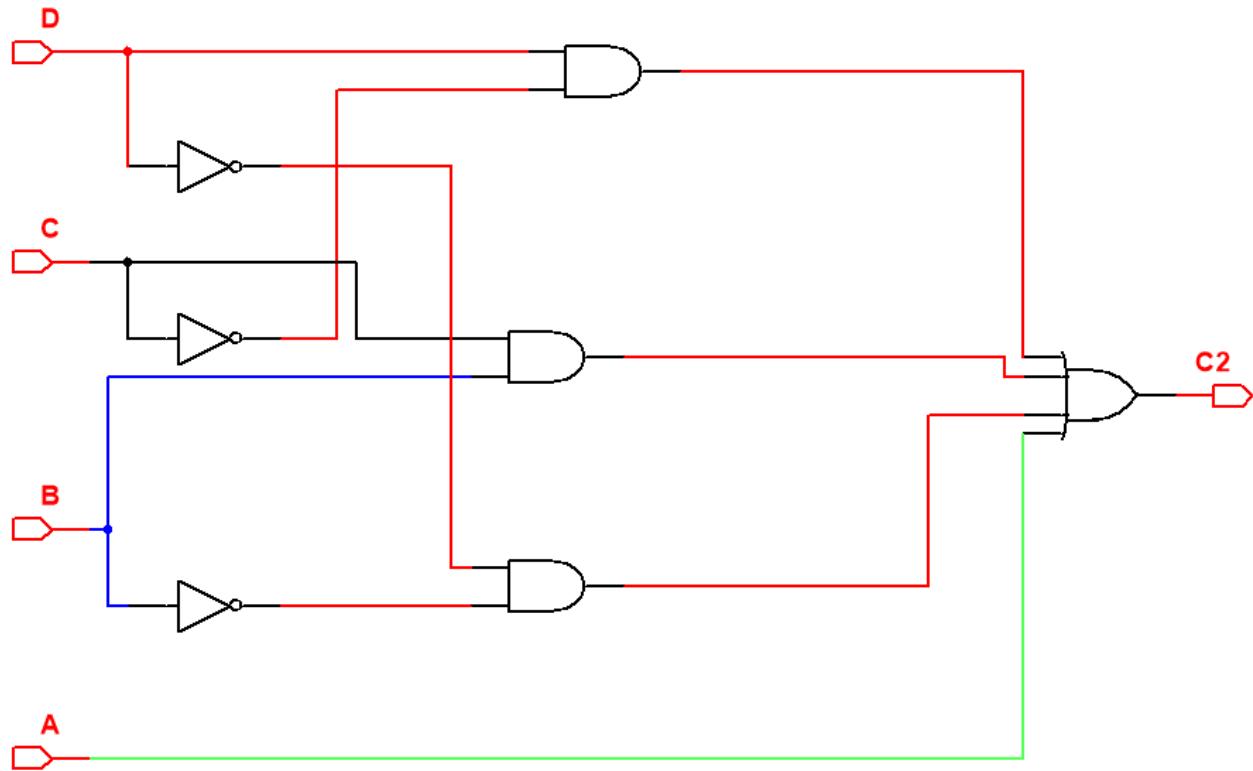
Rysunek 26: Projekt dla wyjścia B_2

4.5 Wyjście C₂

DEC	D	C	B	A	C ₂
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 12: Tabela prawdy dla wyjścia C₂Rysunek 27: Tabela Karnaugh dla wyjścia C₂

$$C_2 = D\bar{C} + A + CB + \bar{D}\bar{B}$$



Rysunek 28: Projekt dla wyjścia C₂

4.6 Wyjście D₂

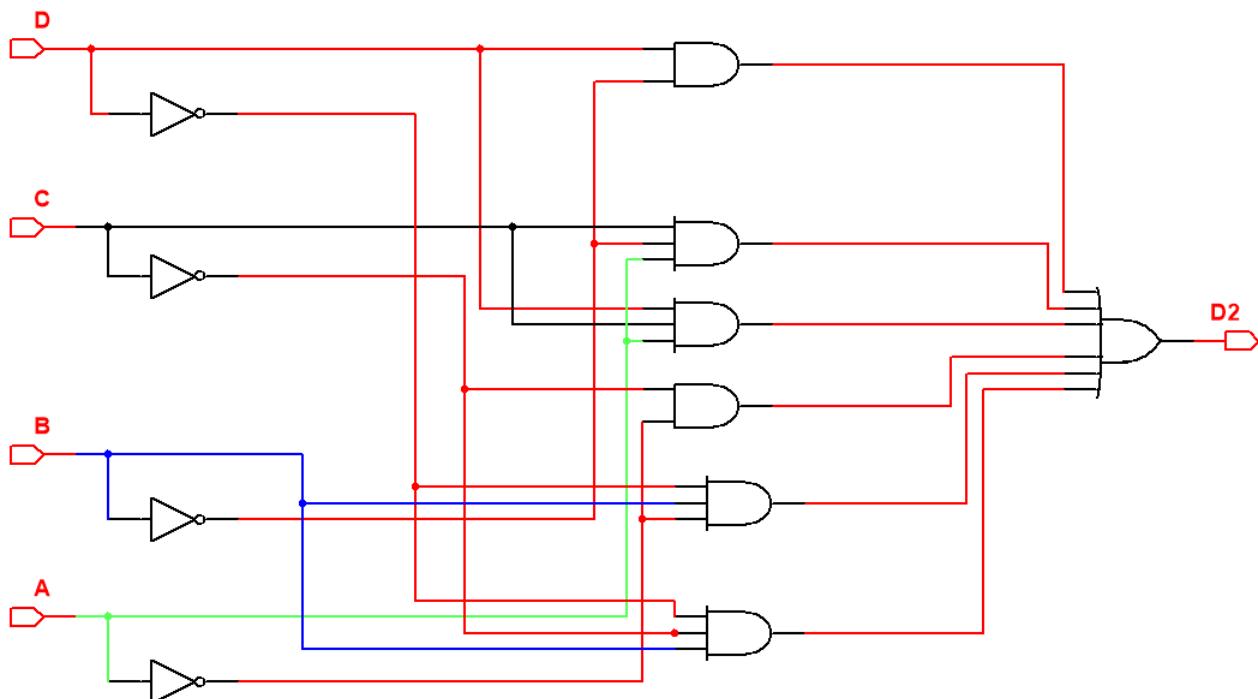
DEC	D	C	B	A	D_2
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

Tabela 13: Tabela prawdy dla wyjścia D₂

		BA			
		00	01	11	10
DC	00	1	0	1	1
	01	0	1	0	1
	11	1	1	1	0
	10	1	1	0	1

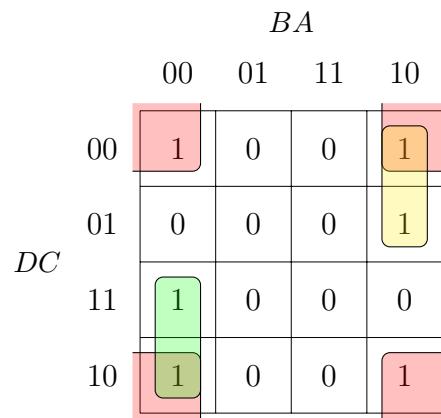
Rysunek 29: Tabela Karnaugh dla wyjścia D₂

$$D_2 = \overline{DB} + C\overline{BA} + DCA + \overline{CA} + \overline{DBA} + \overline{DCB}$$

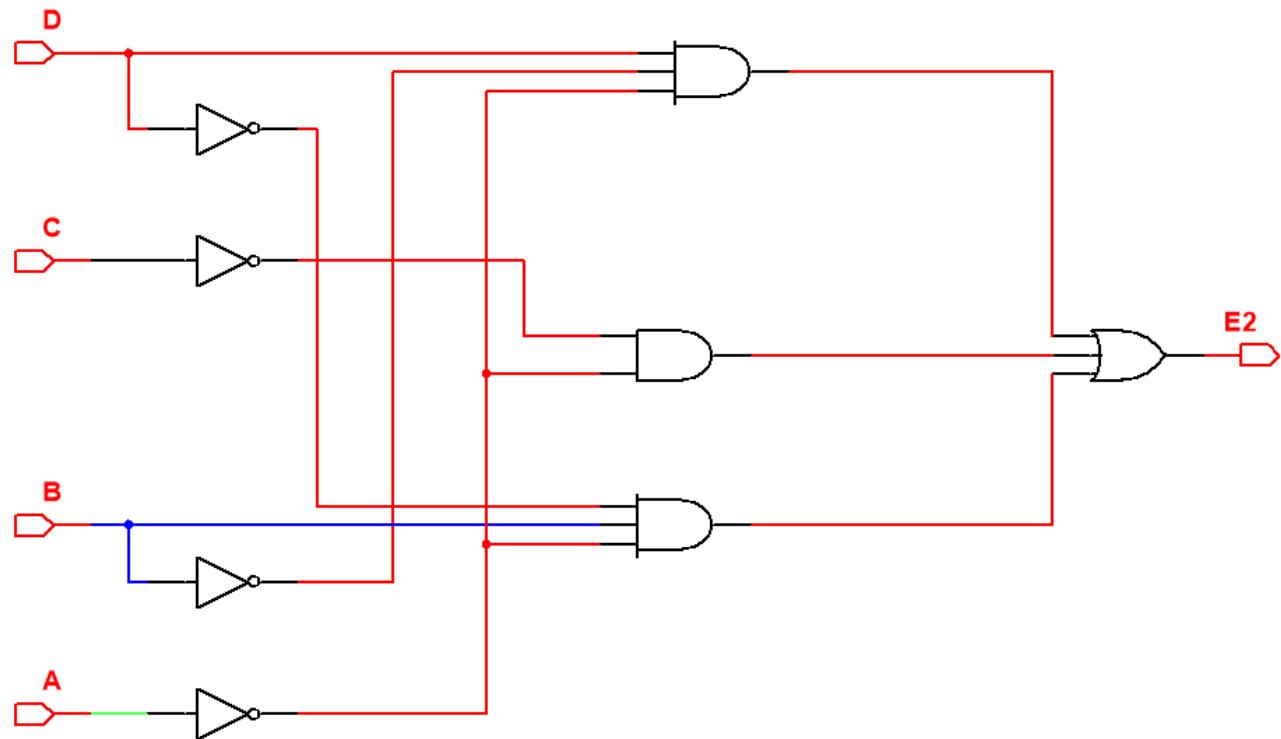
Rysunek 30: Projekt dla wyjścia D₂

4.7 Wyjście E₂

DEC	D	C	B	A	E ₂
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Tabela 14: Tabela prawdy dla wyjścia E₂Rysunek 31: Tabela Karnaugh dla wyjścia E₂

$$E_2 = D\bar{B}\bar{A} + \bar{C}\bar{A} + \bar{D}B\bar{A}$$

Rysunek 32: Projekt dla wyjścia E₂

4.8 Wyjście F₂

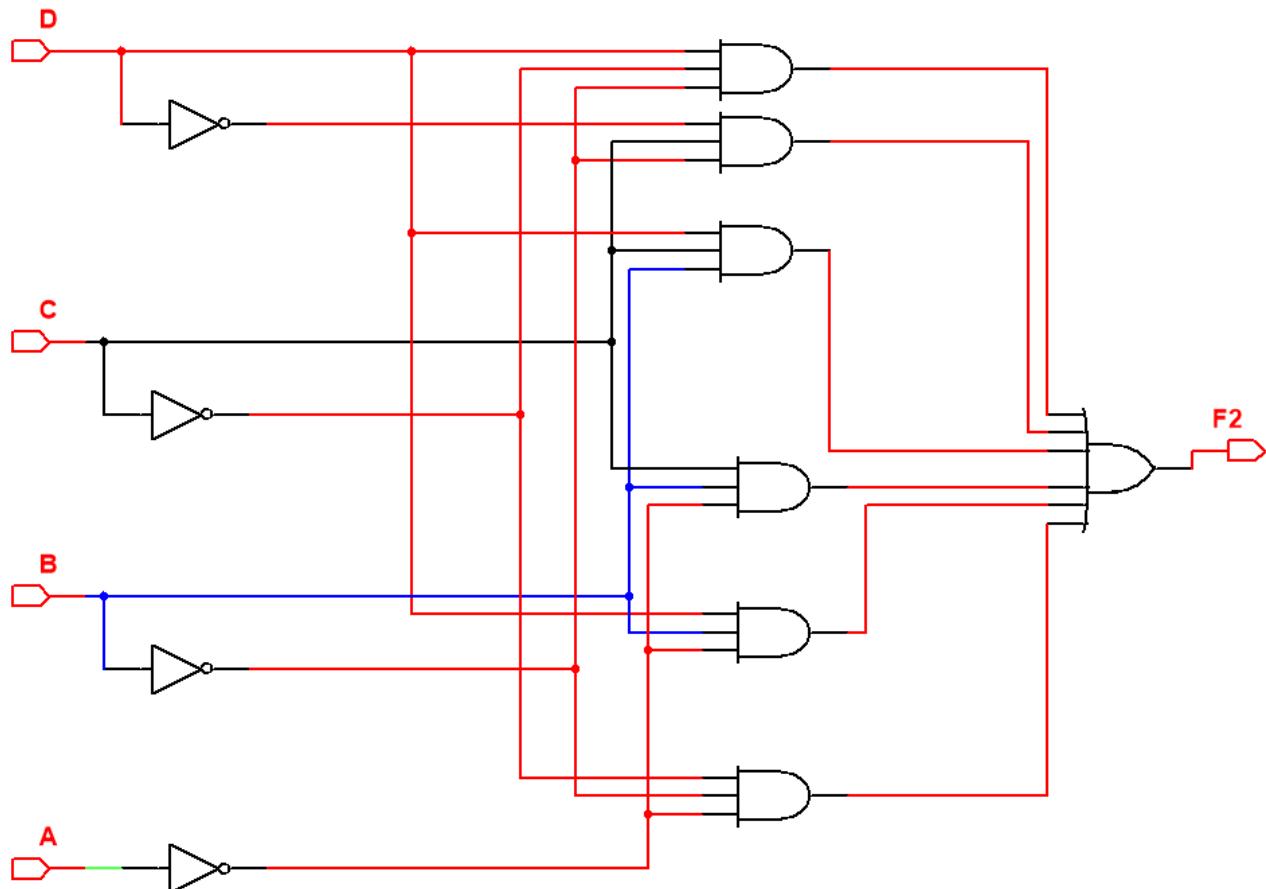
DEC	D	C	B	A	F ₂
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 15: Tabela prawdy dla wyjścia F₂

		BA				
		00	01	11	10	
		00	1	0	0	0
		01	1	1	0	1
		11	0	0	1	1
		10	1	1	0	1

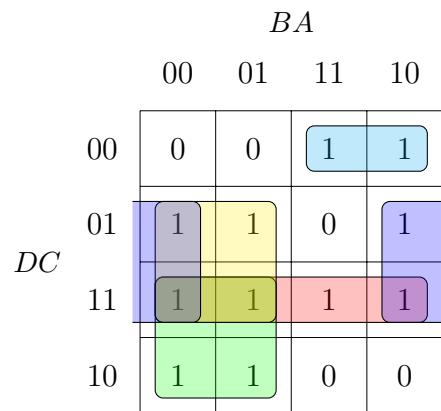
Rysunek 33: Tabela Karnaugh dla wyjścia F₂

$$F_2 = D\bar{C}\bar{B} + \bar{D}\bar{C}\bar{B} + DCB + CBA + DB\bar{A} + \bar{C}\bar{B}\bar{A}$$

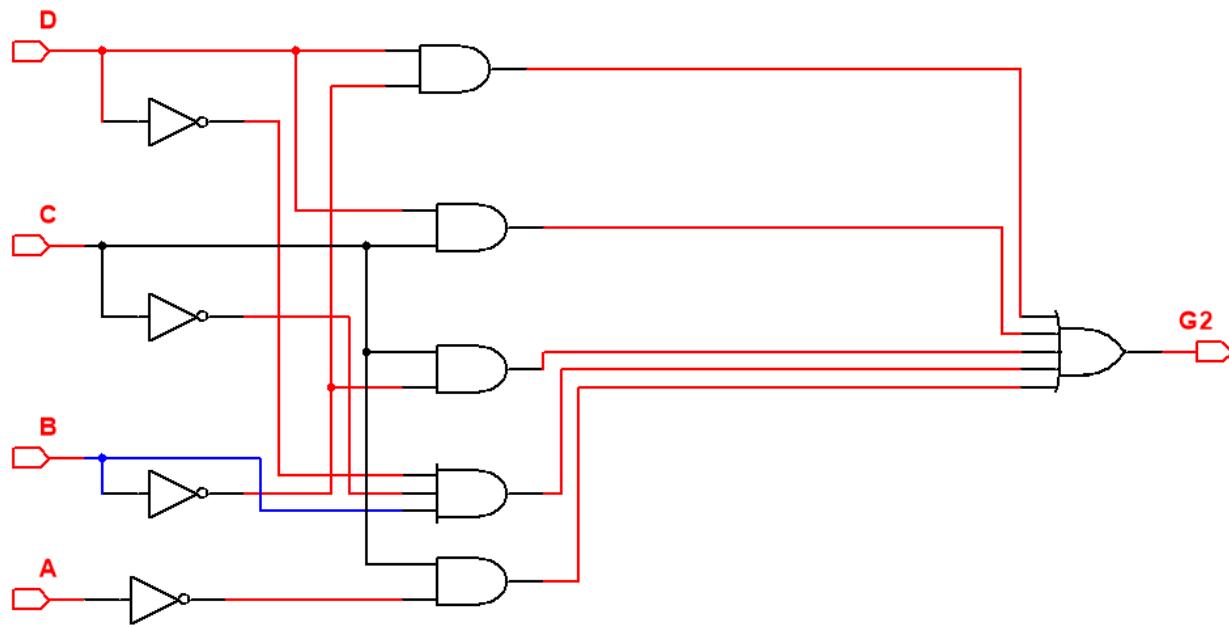
Rysunek 34: Projekt dla wyjścia F₂

4.9 Wyjście G₂

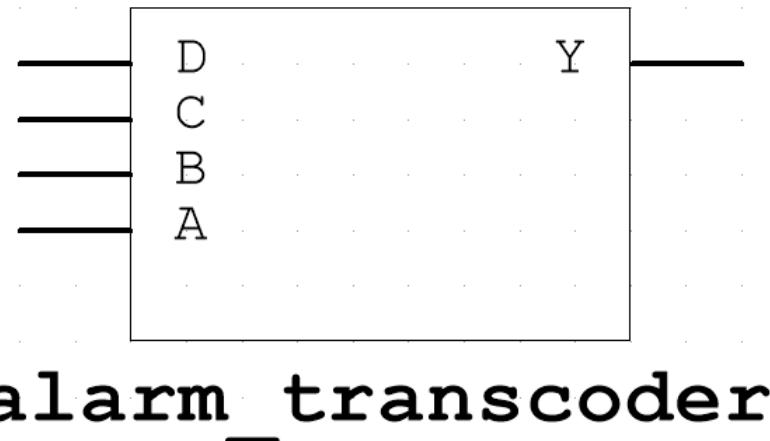
DEC	D	C	B	A	G ₂
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	1

Tabela 16: Tabela prawdy dla wyjścia G₂Rysunek 35: Tabela Karnaugh dla wyjścia G₂

$$G_2 = D\bar{B} + DC + C\bar{B} + \bar{D}\bar{C}B + \bar{A}C$$

Rysunek 36: Projekt dla wyjścia G_2

5 Transkoder dla alarmu

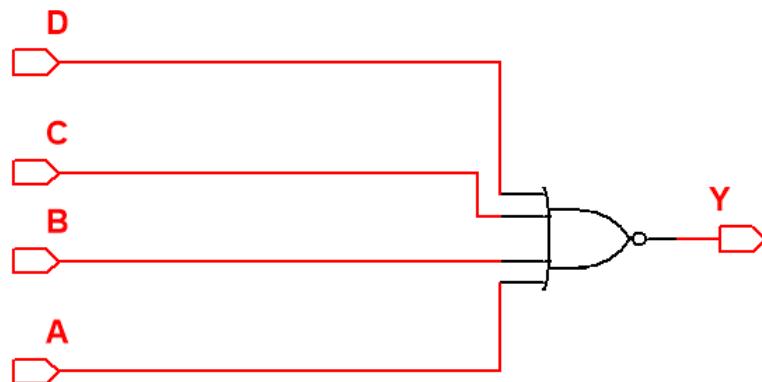


Rysunek 37: Makieta transkodera dla alarmu

DEC	D	C	B	A	Y
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Tabela 17: Tabela prawdy dla wyjścia Y

Łatwo zauważyc, że tabelę prawdy realizuje czterowejściowa bramka NOR.



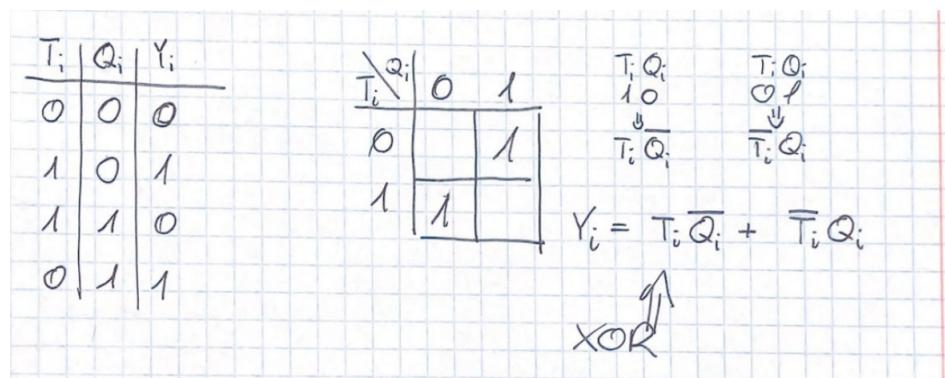
Rysunek 38: Schemat transkodera dla alarmu

6 Komparator

Komparator dla każdego wyjścia transkodera dla przerzutników (T_i) porównuje je z oczekiwanyym wyjściem (O_i) i jeżeli którakolwiek para bitów się różni na wyjściu pojawia się sygnał logiczny 1.

T_i	O_i	Y_i
0	0	0
1	0	1
1	1	0
0	1	1

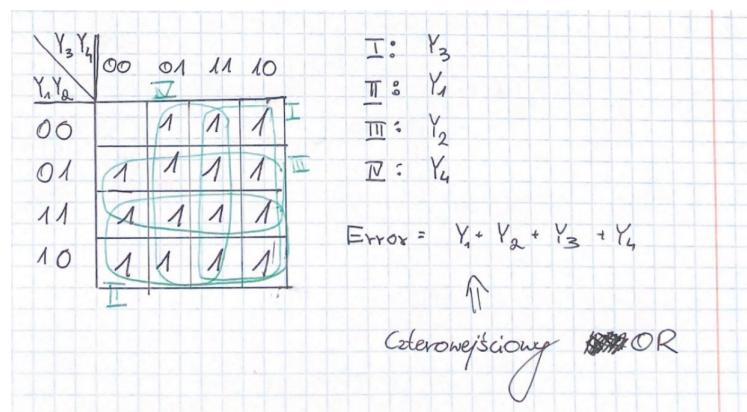
Tabela 18: Tabela prawdy dla wartości rzeczywistej T_i oraz oczekiwanej O_i dla $i \in \{1, 2, 3, 4\}$



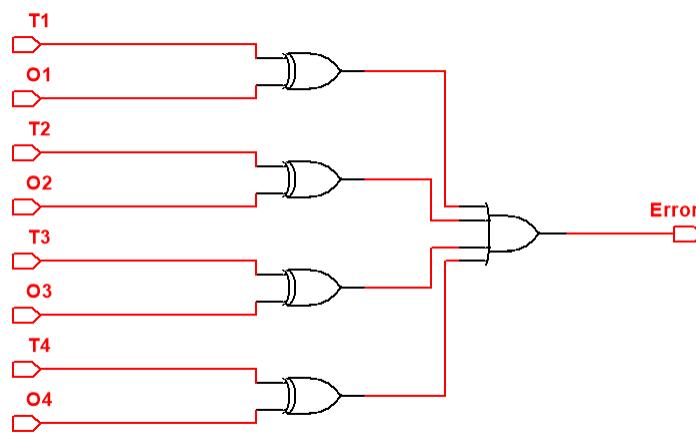
Rysunek 39: Tabela Karnaugh oraz wyprowadzenie funkcji

Y_1	Y_2	Y_3	Y_4	Error
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	0	1
1	1	1	1	1

Tabela 19: Tabela prawdy dla wyjścia Error

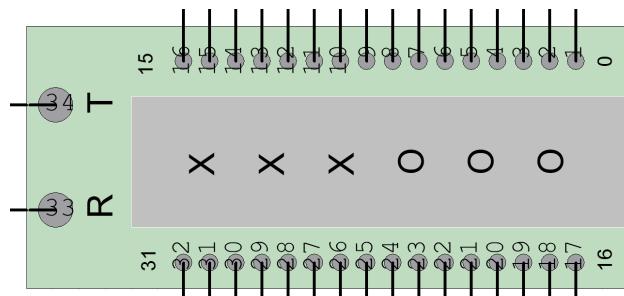


Rysunek 40: Tabela Karnaugh oraz wyprowadzenie funkcji

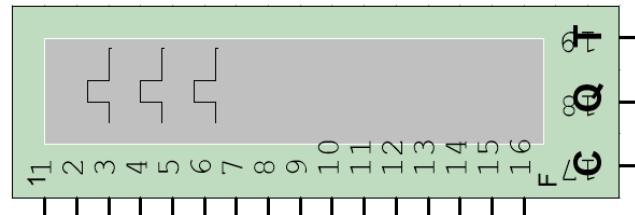


Rysunek 41: Projekt komparatora

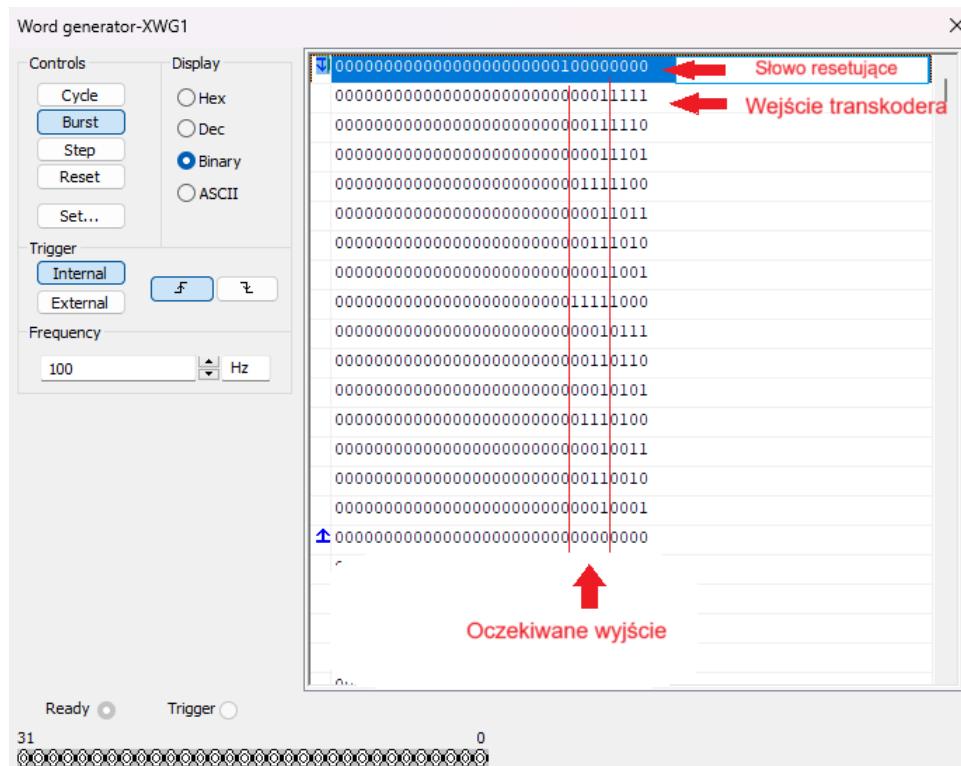
7 Układ testujący



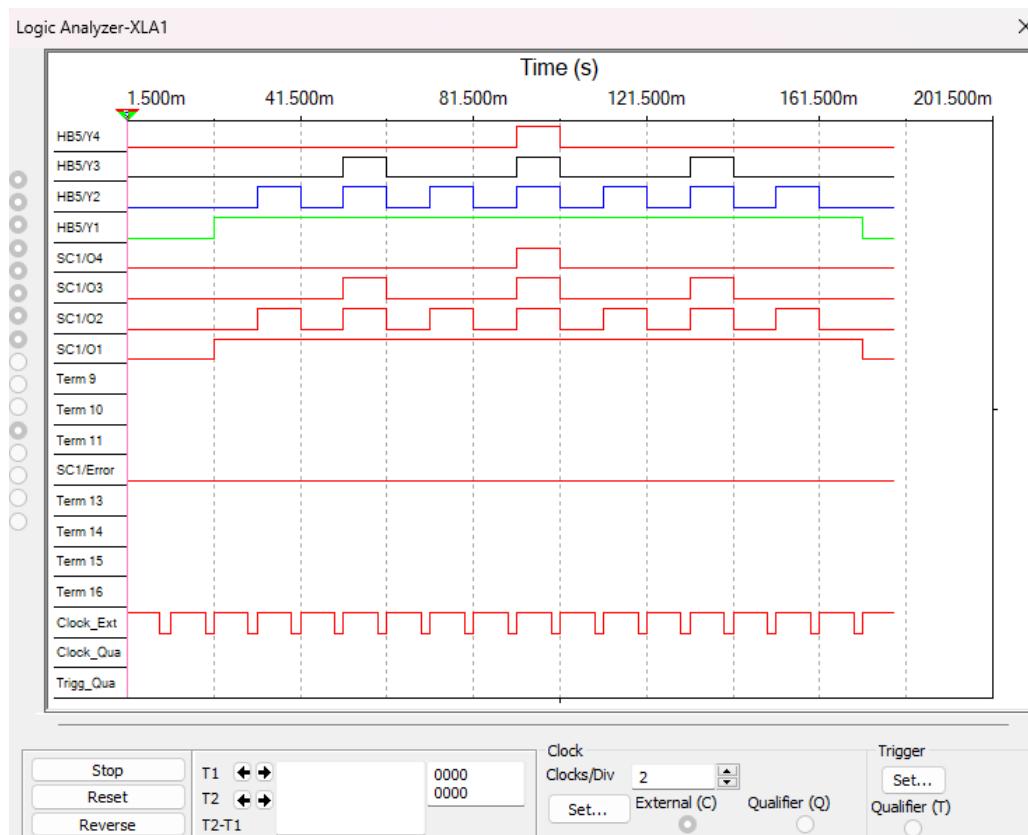
Rysunek 42: Generator słów



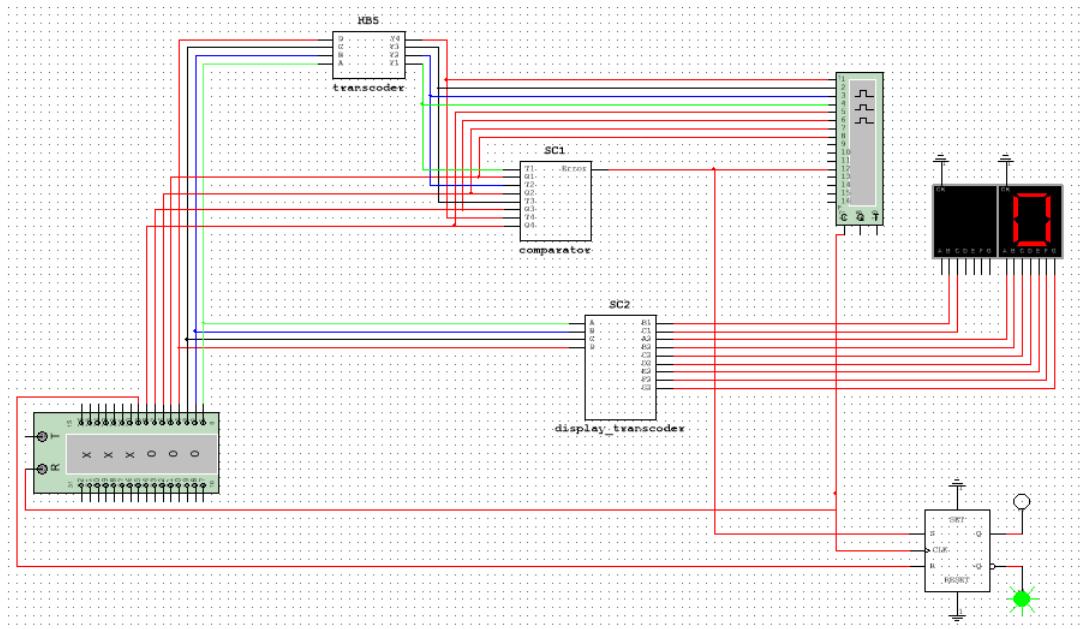
Rysunek 43: Analizator stanów logicznych



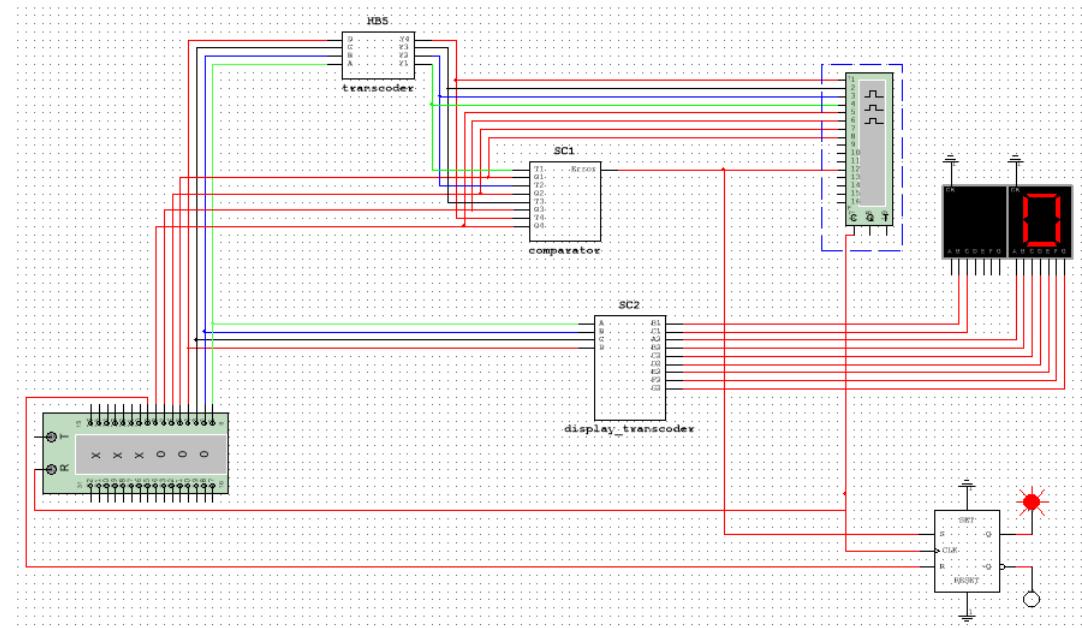
Rysunek 44: Ustawienia generatora słów



Rysunek 45: Wykres analizatora stanów logicznych



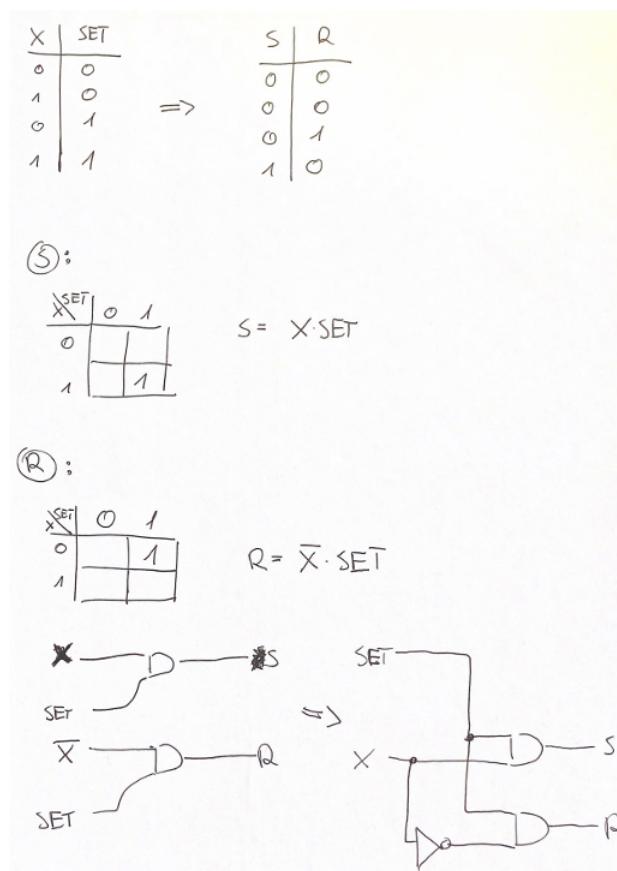
Rysunek 46: Wynik dla poprawnego transkodera



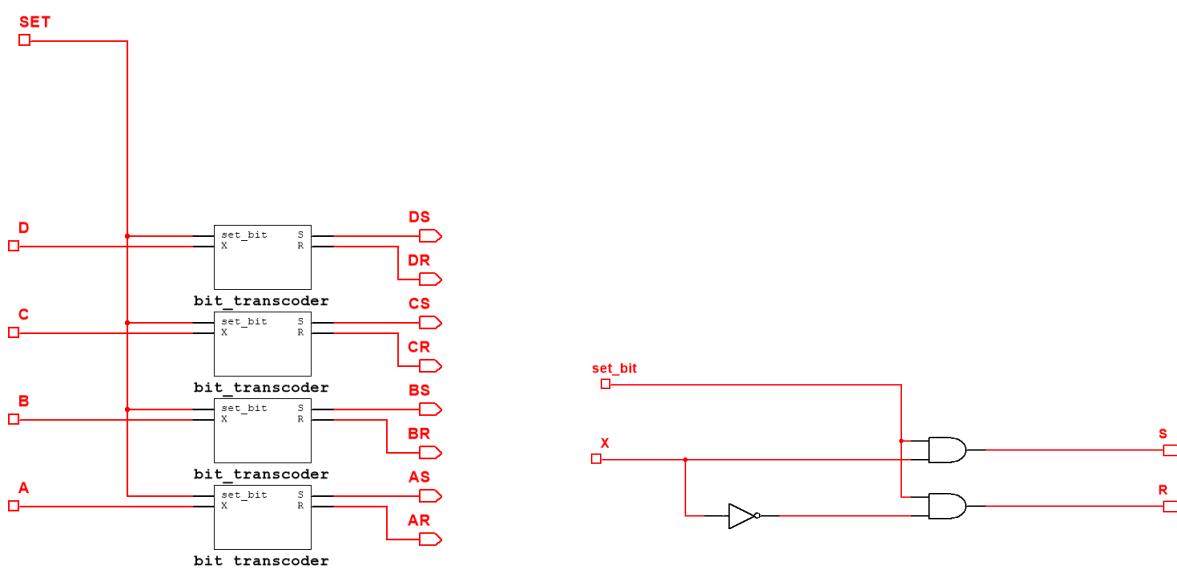
Rysunek 47: Wynik dla błędnego transkodera

Pozostałe komponenty testujemy w sposób analogiczny.

8 Ustawianie wartości początkowych



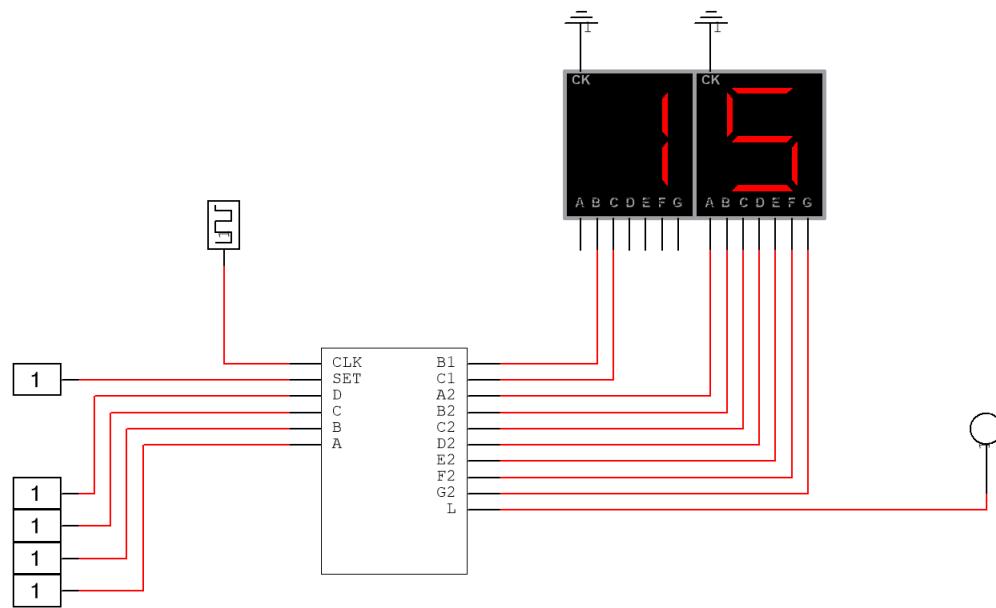
Rysunek 48: Wyprowadzenie schematu na setter



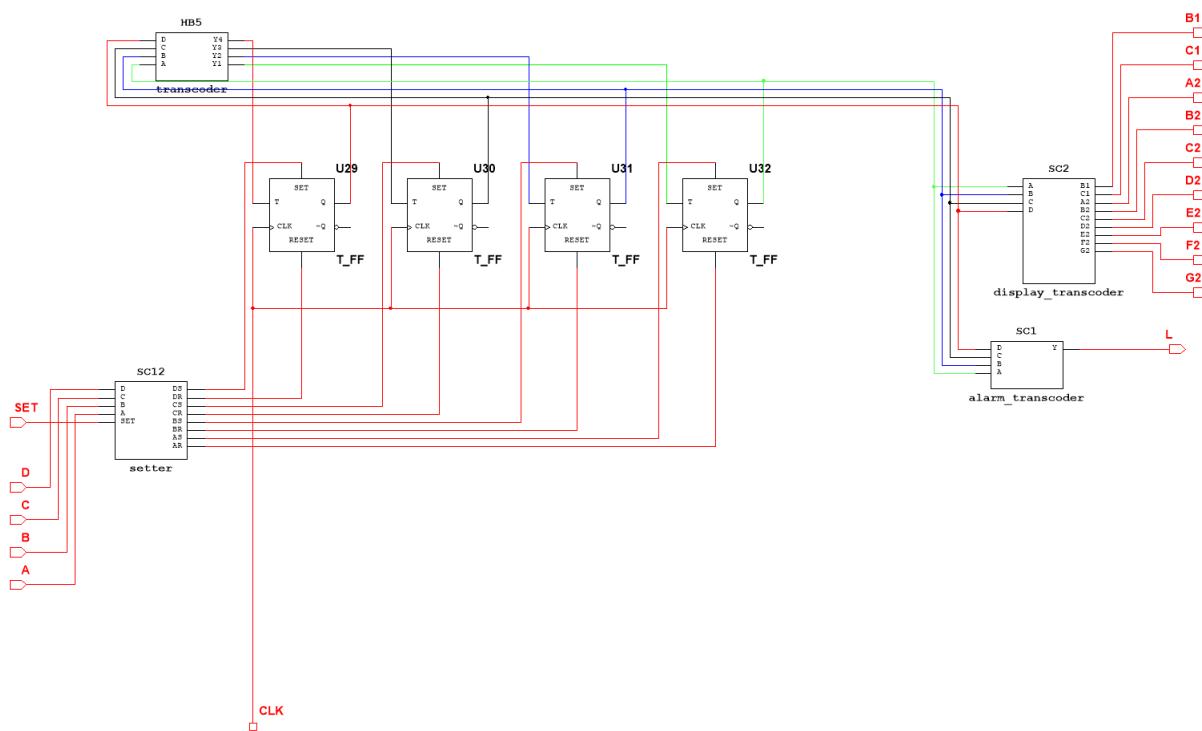
Rysunek 49: Projekt settera

Rysunek 50: Schemat dla jednego bitu wejścia

9 Cały układ licznika



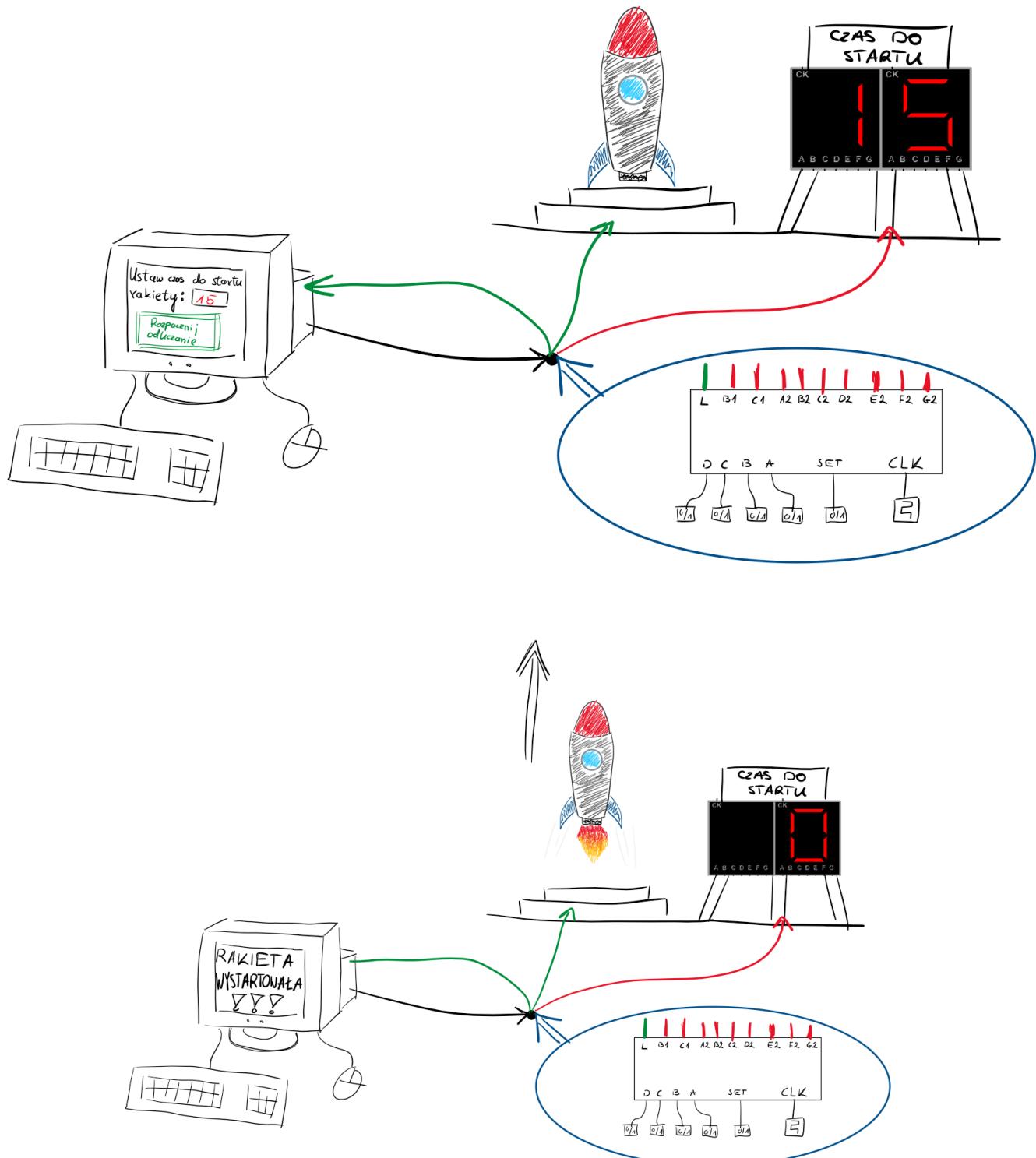
Rysunek 51: Końcowy układ licznika



Rysunek 52: Końcowy układ licznika

10 Zastosowania

10.1 Rakieta



10.2 Kuchenka elektryczna w DS3 Akropol

Aby rozpocząć korzystanie z kuchenki należy nacisnąć przycisk. Kuchenka wyłączy się automatycznie po 15 minutach.



CLK	B1
SET	C1
D	A2
C	B2
B	C2
A	D2
	E2
	F2
	G2
	L