



AKADEMIA GÓRNICZO HUTNICZA
IM. STANISŁAWA STASZICA
W KRAKOWIE

Technika cyfrowa

TIMER

DULEWICZ ANTONI
SMYDA TOMASZ

29 KWIETNIA 2024

Spis treści

1	Treść ćwiczenia	2
2	Opis rozwiązania	2
3	Projekt logiczny	3
3.1	Tabela prawdy	3
3.2	Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść	4
3.2.1	Wyjście Y_4	4
3.2.2	Wyjście Y_3	5
3.2.3	Wyjście Y_2	7
3.2.4	Wyjście Y_2	9

1 Treść ćwiczenia

Korzystając wyłącznie z wybranych przerzutników oraz dowolnych bramek logicznych, proszę zaprojektować czterobitowy układ TIMER, odmierzający ustawiany za pomocą przełączników czas (od 0 do 15).

Po wciśnięciu przycisku START, układ rozpoczyna odmierzenie czasu do tyłu (proszę dobrać częstotliwość tak, aby efekt był dobrze widoczny na ekranie). Po wyzerowaniu się licznika czasu, układ powinien się zatrzymać i włączyć alarm świetlny wykorzystujący diodę LED. Po ponownym wciśnięciu przycisku START, układ powinien wyłączyć alarm i ponownie rozpocząć odmierzenie ustawionego na przełącznikach czasu.

Aktualny wskazywany przez układ czas proszę pokazywać na wyświetlaczach siedmiosegmentowych.

2 Opis rozwiązania

Na początku tworzymy tabelę prawdy, która reprezentuje stany logiczne transkodera dla przerzutników typu T. Następnie przy pomocy tabel Karnaugh wyprowadzamy funkcje logiczne reprezentujące ten układ i przechodzimy do części projektowania układu w programie Multisim oraz testujemy go za pomocą układu testującego.

3 Projekt logiczny

3.1 Tabela prawdy

Przejście	D	C	B	A	D ₊	C ₊	B ₊	A ₊	Y ₄	Y ₃	Y ₂	Y ₁
15 → 14	1	1	1	1	1	1	1	0	0	0	0	1
14 → 13	1	1	1	0	1	1	0	1	0	0	1	1
13 → 12	1	1	0	1	1	1	0	0	0	0	0	1
12 → 11	1	1	0	0	1	0	1	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0	0	0	1
10 → 9	1	0	1	0	1	0	0	1	0	0	1	1
9 → 8	1	0	0	1	1	0	0	0	0	0	0	1
8 → 7	1	0	0	0	0	1	1	1	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0	0	0	1
6 → 5	0	1	1	0	0	1	0	1	0	0	1	1
5 → 4	0	1	0	1	0	1	0	0	0	0	0	1
4 → 3	0	1	0	0	0	0	1	1	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0	0	0	1
2 → 1	0	0	1	0	0	0	0	1	0	0	1	1
1 → 0	0	0	0	1	0	0	0	0	0	0	0	1
0 → 0	0	0	0	0	0	0	0	0	0	0	0	0

Tabela 1: Tabela prawdy dla transkodera

T	Q _t	Q _{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

Tabela 2: Tabela prawdy dla przerzutnika typu T

3.2 Tabele prawdy, tabele Karnaugh i schematy dla poszczególnych wyjść

Na podstawie tabeli prawdy tworzymy tabele Karnaugh dla wyjść transkodera. Zaznaczamy największe grupy pól z jedynkami i zapisujemy powstałą formułę. Szkicujemy schemat układu, następnie projektujemy w Multisimie.

3.2.1 Wyjście Y_4

Przejście	D	C	B	A	D ₊	C ₊	B ₊	A ₊	Y ₄
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	0
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	0
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	0
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	0
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	0
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	0
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 3: Tabela prawdy dla wyjścia Y_4

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	0	0	0	0
	11	0	0	0	0
	10	1	0	0	0

Rysunek 1: Tabela Karnaugh dla wyjścia Y_4

$$Y_4 = \overline{D}\overline{C}\overline{B}\overline{A}$$

3.2.2 Wyjście Y_3

Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_3
15 → 14	1	1	1	1	1	1	1	0	0
14 → 13	1	1	1	0	1	1	0	1	0
13 → 12	1	1	0	1	1	1	0	0	0
12 → 11	1	1	0	0	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	0
10 → 9	1	0	1	0	1	0	0	1	0
9 → 8	1	0	0	1	1	0	0	0	0
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	0
6 → 5	0	1	1	0	0	1	0	1	0
5 → 4	0	1	0	1	0	1	0	0	0
4 → 3	0	1	0	0	0	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	0
2 → 1	0	0	1	0	0	0	0	1	0
1 → 0	0	0	0	1	0	0	0	0	0
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 4: Tabela prawdy dla wyjścia Y_3

		BA			
		00	01	11	10
DC	00	0	0	0	0
	01	1	0	0	0
	11	1	0	0	0
	10	1	0	0	0

Rysunek 2: Tabela Karnaugh dla wyjścia Y_3

$$Y_3 = \overline{C}\overline{B}\overline{A} + D\overline{C}\overline{B}\overline{A}$$

3.2.3 Wyjście Y_2

Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_2
15 \rightarrow 14	1	1	1	1	1	1	1	0	0
14 \rightarrow 13	1	1	1	0	1	1	0	1	1
13 \rightarrow 12	1	1	0	1	1	1	0	0	0
12 \rightarrow 11	1	1	0	0	1	0	1	1	1
11 \rightarrow 10	1	0	1	1	1	0	1	0	0
10 \rightarrow 9	1	0	1	0	1	0	0	1	1
9 \rightarrow 8	1	0	0	1	1	0	0	0	0
8 \rightarrow 7	1	0	0	0	0	1	1	1	1
7 \rightarrow 6	0	1	1	1	0	1	1	0	0
6 \rightarrow 5	0	1	1	0	0	1	0	1	1
5 \rightarrow 4	0	1	0	1	0	1	0	0	0
4 \rightarrow 3	0	1	0	0	0	0	1	1	1
3 \rightarrow 2	0	0	1	1	0	0	1	0	0
2 \rightarrow 1	0	0	1	0	0	0	0	1	1
1 \rightarrow 0	0	0	0	1	0	0	0	0	0
0 \rightarrow 0	0	0	0	0	0	0	0	0	0

Tabela 5: Tabela prawdy dla wyjścia Y_2

		BA			
		00	01	11	10
DC	00	0	0	0	1
	01	1	0	0	1
	11	1	0	0	1
	10	1	0	0	1

Rysunek 3: Tabela Karnaugh dla wyjścia Y_2

$$Y_2 = \overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}\overline{A} + \overline{B}\overline{A}$$

3.2.4 Wyjście Y_2

Przejście	D	C	B	A	D_+	C_+	B_+	A_+	Y_1
15 → 14	1	1	1	1	1	1	1	0	1
14 → 13	1	1	1	0	1	1	0	1	1
13 → 12	1	1	0	1	1	1	0	0	1
12 → 11	1	1	0	0	1	0	1	1	1
11 → 10	1	0	1	1	1	0	1	0	1
10 → 9	1	0	1	0	1	0	0	1	1
9 → 8	1	0	0	1	1	0	0	0	1
8 → 7	1	0	0	0	0	1	1	1	1
7 → 6	0	1	1	1	0	1	1	0	1
6 → 5	0	1	1	0	0	1	0	1	1
5 → 4	0	1	0	1	0	1	0	0	1
4 → 3	0	1	0	0	0	0	1	1	1
3 → 2	0	0	1	1	0	0	1	0	1
2 → 1	0	0	1	0	0	0	0	1	1
1 → 0	0	0	0	1	0	0	0	0	1
0 → 0	0	0	0	0	0	0	0	0	0

Tabela 6: Tabela prawdy dla wyjścia Y_1

		<i>BA</i>			
		00	01	11	10
<i>DC</i>	00	0	1	1	1
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	1	1

Rysunek 4: Tabela Karnaugh dla wyjścia Y_1

$$Y_1 = D + C + B + A$$