



AKADEMIA GÓRNICZO HUTNICZA  
IM. STANISŁAWA STASZICA  
W KRAKOWIE

---

Technika cyfrowa  
TRANSKODER

---

DULEWICZ ANTONI  
SMYDA TOMASZ

14 KWIETNIA 2024

# Spis treści

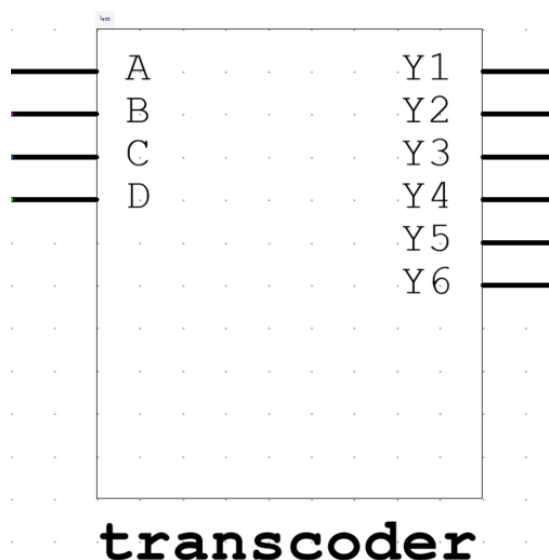
<b>1</b>	<b>Treść ćwiczenia</b>	<b>2</b>
<b>2</b>	<b>Opis rozwiązania</b>	<b>2</b>
<b>3</b>	<b>Wyprowadzenie funkcji logicznych</b>	<b>3</b>
3.1	Tabela prawdy . . . . .	3
3.2	Minimalizacja funkcji logicznych . . . . .	4
3.2.1	Minimalizacja dla wyjścia $Y_1$ . . . . .	4
3.2.2	Minimalizacja dla wyjścia $Y_2$ . . . . .	5
3.2.3	Minimalizacja dla wyjścia $Y_3$ . . . . .	6
3.2.4	Minimalizacja dla wyjścia $Y_4$ . . . . .	7
3.2.5	Minimalizacja dla wyjścia $Y_5$ . . . . .	8
3.2.6	Minimalizacja dla wyjścia $Y_6$ . . . . .	9
<b>4</b>	<b>Schemat układu</b>	<b>10</b>
4.1	Transkoder . . . . .	10
4.2	Komparator . . . . .	14
4.3	Generator słów oraz analizator stanów logicznych . . . . .	15
4.4	Przerzutnik i wyświetlacz . . . . .	19
4.5	Cały układ . . . . .	19

# 1 Treść ćwiczenia

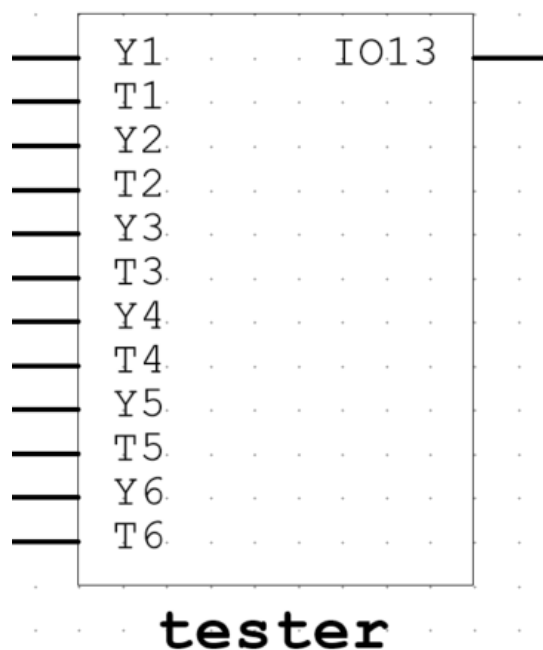
Bazując wyłącznie na bramkach NAND, zaprojektować, zbudować i przetestować układ kombinacyjny realizujący transkoder czterobitowej liczby naturalnej (wraz z zerem) na sześciobitową liczbę pierwszą. Układ taki powinien zatem zamieniać kolejne liczby: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15 na odpowiednie kolejne liczby pierwsze: 2, 3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 37, 41, 43, 47, 53. Do przetestowania układu należy wykorzystać m.in.: wyświetlacze siedmiosegmentowe, generator słów i analizator stanów logicznych. Do minimalizacji potrzebnych funkcji należy wykorzystać tablice Karnaugh.

## 2 Opis rozwiązania

Na początku tworzymy tabelę prawdy, a następnie przy pomocy tabel Karnaugh oraz praw de Morgana wyprowadzamy funkcje logiczne transkodujące czterobitową liczbę, na odpowiednią sześciobitową liczbę pierwszą i na ich podstawie tworzymy schemat układu, a następnie przechodzimy do części projektowania układu w programie Multisim oraz testujemy go za pomocą generatora słów, analizatora stanów logicznych, komparatora i przerzutnika.



Rysunek 1: Makieta układu transkodera



Rysunek 2: Makieta układu komparatora

### 3 Wyprowadzenie funkcji logicznych

#### 3.1 Tabela prawdy

A	B	C	D	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$
0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	0	1	0	1
0	0	1	1	0	0	0	1	1	1
0	1	0	0	0	0	1	0	1	1
0	1	0	1	0	0	1	1	0	1
0	1	1	0	0	1	0	0	0	1
0	1	1	1	0	1	0	0	1	1
1	0	0	0	0	1	0	1	1	1
1	0	0	1	0	1	1	1	0	1
1	0	1	0	0	1	1	1	1	1
1	0	1	1	1	0	0	1	0	1
1	1	0	0	1	0	1	0	0	1
1	1	0	1	1	0	1	0	1	1
1	1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	0	1	0	1

Tabela 1: Tabela prawdy

## 3.2 Minimalizacja funkcji logicznych

Aby zminimalizować potrzebne funkcje logiczne, dla każdego wyjścia tworzymy tabele Karnaugh oraz zaznaczamy największe grupy pól zawierających tylko wartości 1 (ich liczba musi być potęgą dwójki) i zapisujemy powstałą formułę. Następnie korzystając z prawa podwójnej negacji oraz II prawa De Morgana doprowadzamy formułę do postaci zanegowanych iloczynów.

### 3.2.1 Minimalizacja dla wyjścia $Y_1$

AB/CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	0

Tabela 2: Karnaugh dla  $Y_1$

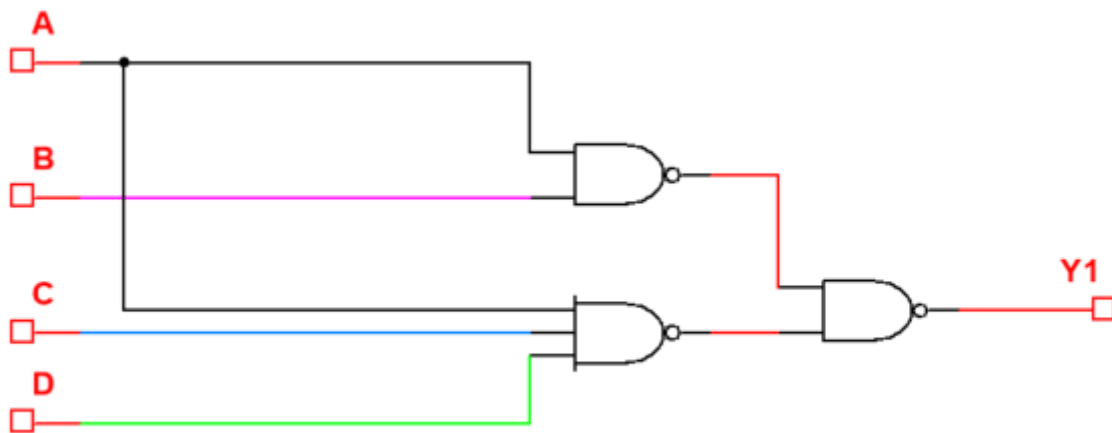
AB/CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	0	1	0

Tabela 3: Karnaugh dla  $Y_1$

$$Y_1 = AB + ACD$$

$$Y_1 = \overline{\overline{AB + ACD}}$$

$$Y_1 = \overline{\overline{AB} \cdot \overline{ACD}}$$



Rysunek 3: Schemat dla wyjścia  $Y_1$

### 3.2.2 Minimalizacja dla wyjścia $Y_2$

AB/CD	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	0	0	1	0
10	1	1	0	1

Tabela 4: Karnaugh dla  $Y_2$

AB/CD	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	0	0	1	0
10	1	1	0	1

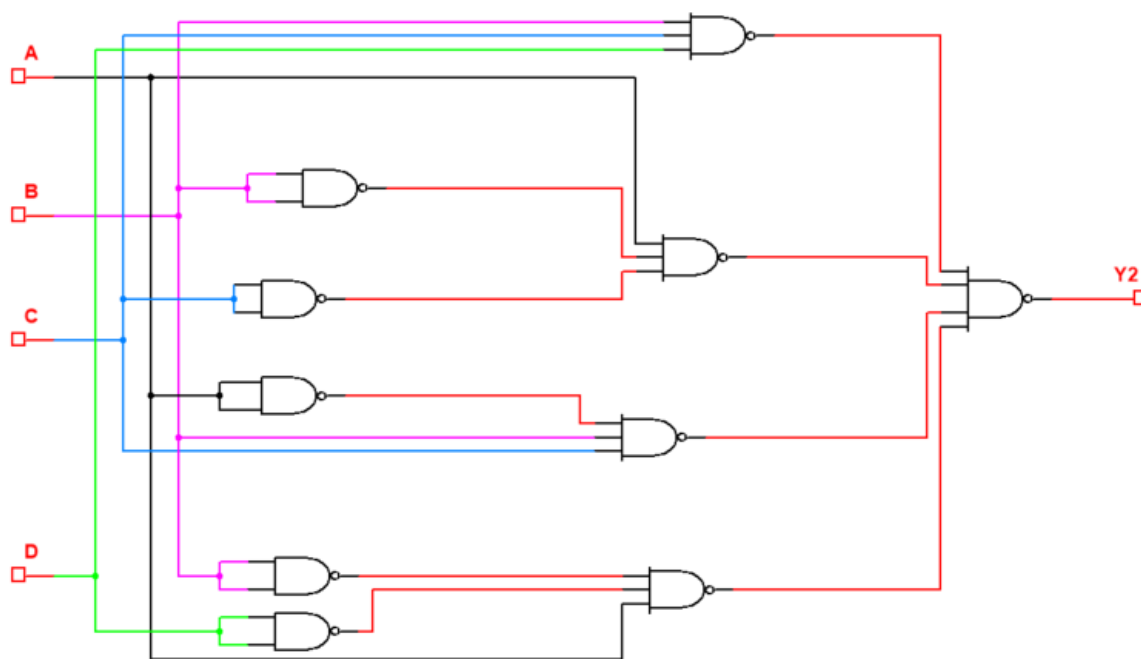
Tabela 5: Karnaugh dla  $Y_2$

$$Y_2 = \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}\overline{C} + BCD + \overline{A}BC$$

$$Y_2 = \overline{\overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}\overline{C} + BCD + \overline{A}BC}$$

$$Y_2 = \overline{\overline{A}\overline{B}\overline{D} \cdot \overline{A}\overline{B}\overline{C} \cdot BCD \cdot \overline{A}BC}$$

$$Y_2 = \overline{\overline{A} \overline{B} \overline{D} \cdot \overline{A} \overline{B} \overline{C} \cdot BCD \cdot \overline{A}BC}$$



Rysunek 4: Schemat dla wyjścia  $Y_2$

### 3.2.3 Minimalizacja dla wyjścia $Y_3$

AB/CD	00	01	11	10
00	0	0	0	0
01	1	1	0	0
11	1	1	0	1
10	0	1	0	1

Tabela 6: Karnaugh dla  $Y_3$

AB/CD	00	01	11	10
00	0	0	0	0
01	1	1	0	0
11	1	1	0	1
10	0	1	0	1

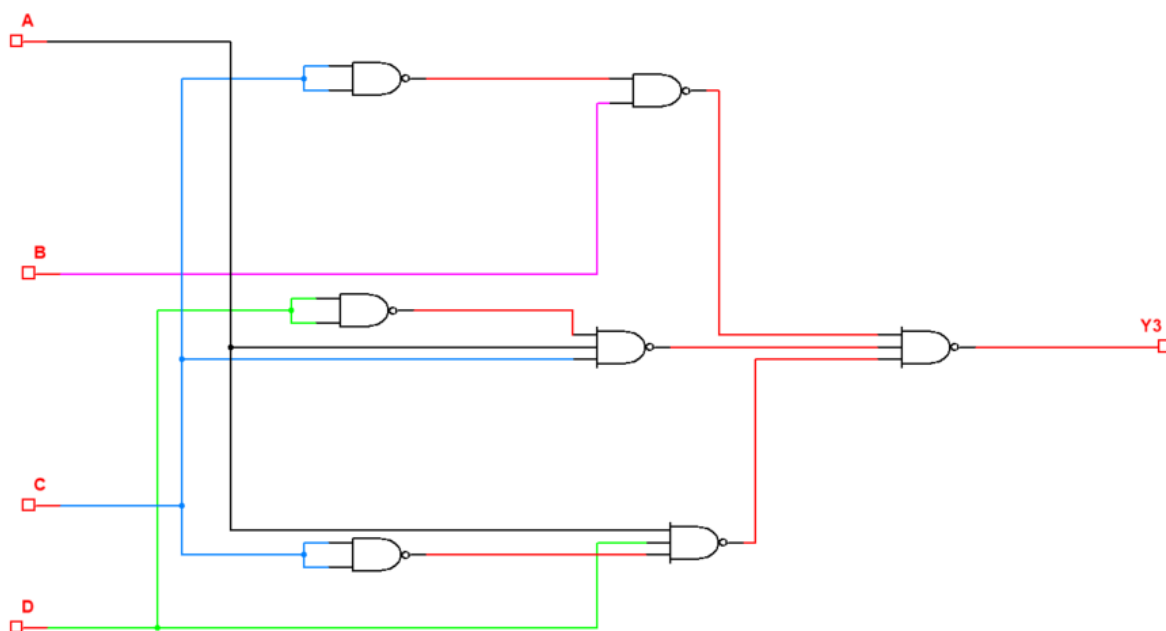
Tabela 7: Karnaugh dla  $Y_3$

$$Y_3 = AC\bar{D} + A\bar{C}D + B\bar{C}$$

$$Y_3 = \overline{AC\bar{D} + A\bar{C}D + B\bar{C}}$$

$$Y_3 = \overline{AC\bar{D}} \cdot \overline{A\bar{C}D} \cdot \overline{B\bar{C}}$$

$$Y_3 = \overline{AC} \cdot \overline{D} \cdot \overline{D} \cdot \overline{A} \cdot \overline{C} \cdot \overline{D} \cdot \overline{B} \cdot \overline{C} \cdot \overline{C}$$



Rysunek 5: Schemat dla wyjścia  $Y_3$

### 3.2.4 Minimalizacja dla wyjścia $Y_4$

AB/CD	00	01	11	10
00	0	0	1	1
01	0	1	0	0
11	0	0	1	1
10	1	1	1	1

Tabela 8: Karnaugh dla  $Y_4$

AB/CD	00	01	11	10
00	0	0	1	1
01	0	1	0	0
11	0	0	1	1
10	1	1	1	1

Tabela 9: Karnaugh dla  $Y_4$

AB/CD	00	01	11	10
00	0	0	1	1
01	0	1	0	0
11	0	0	1	1
10	1	1	1	1

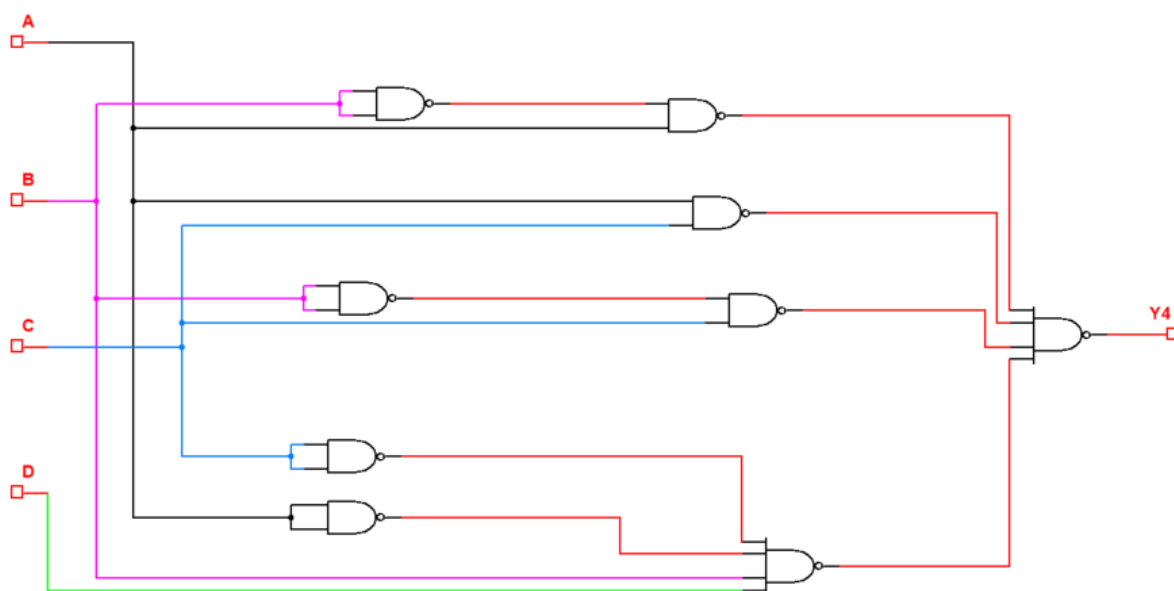
Tabela 10: Karnaugh dla  $Y_4$

$$Y_4 = \bar{A}\bar{B}\bar{C}D + A\bar{B} + AC + \bar{B}C$$

$$Y_4 = \overline{\bar{A}\bar{B}\bar{C}D + A\bar{B} + AC + \bar{B}C}$$

$$Y_4 = \overline{\bar{A}\bar{B}\bar{C}D} \cdot \overline{A\bar{B}} \cdot \overline{AC} \cdot \overline{\bar{B}C}$$

$$Y_4 = \overline{\bar{A}\bar{B}\bar{C}D} \cdot \overline{A\bar{B}} \cdot \overline{AC} \cdot \overline{\bar{B}C}$$



Rysunek 6: Schemat dla wyjścia  $Y_4$



### 3.2.5 Minimalizacja dla wyjścia $Y_5$

AB/CD	00	01	11	10
00	1	1	1	0
01	1	0	1	0
11	0	1	0	1
10	1	0	0	1

Tabela 11: Karnaugh dla  $Y_5$

AB/CD	00	01	11	10
00	1	1	1	0
01	1	0	1	0
11	0	1	0	1
10	1	0	0	1

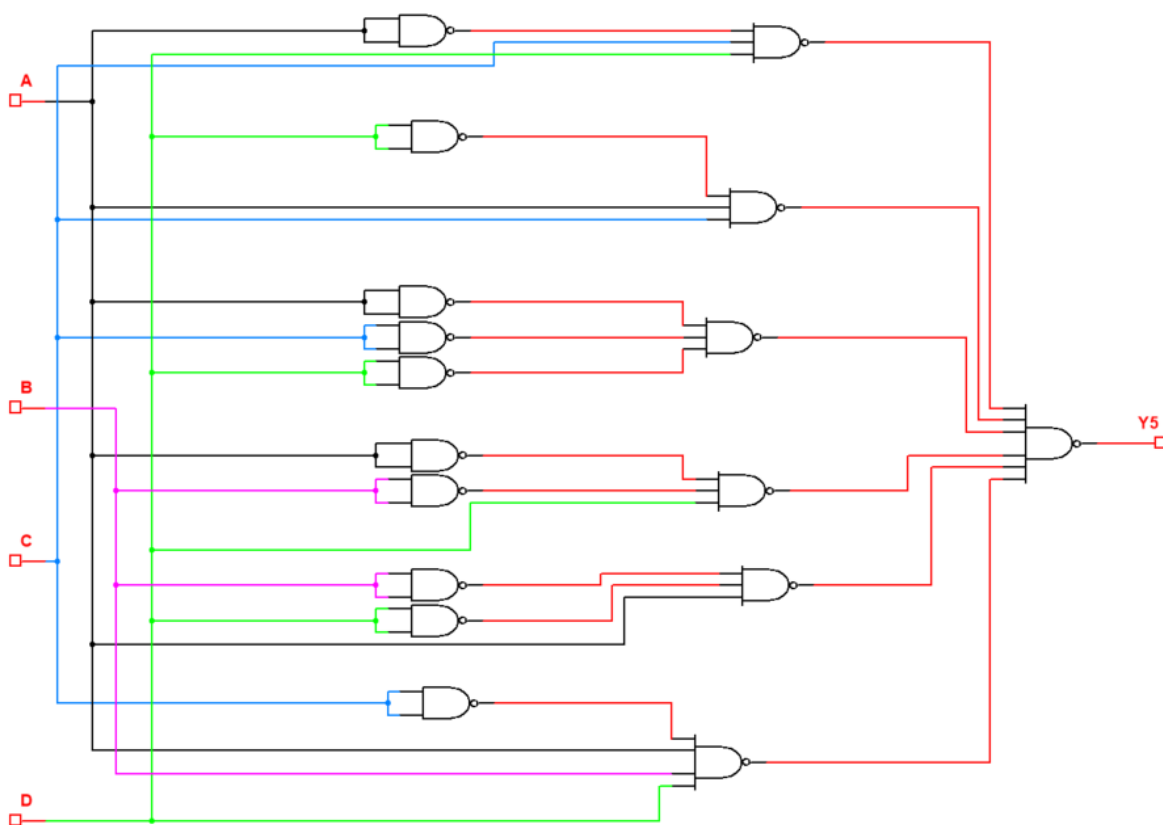
Tabela 12: Karnaugh dla  $Y_5$

$$Y_5 = ABC\bar{D} + A\bar{B}\bar{D} + \bar{A}\bar{B}D + AC\bar{D} + \bar{A}CD + \bar{A}\bar{C}\bar{D}$$

$$Y_5 = \overline{ABC\bar{D} + A\bar{B}\bar{D} + \bar{A}\bar{B}D + AC\bar{D} + \bar{A}CD + \bar{A}\bar{C}\bar{D}}$$

$$Y_5 = \overline{ABC\bar{D} \cdot A\bar{B}\bar{D} \cdot \bar{A}\bar{B}D \cdot AC\bar{D} \cdot \bar{A}CD \cdot \bar{A}\bar{C}\bar{D}}$$

$$Y_5 = \overline{AB\bar{C}\bar{C}D \cdot \bar{A}\bar{B}\bar{B}\bar{D}D \cdot \bar{A}\bar{A}\bar{B}BD \cdot AC\bar{D}D \cdot \bar{A}\bar{A}CD \cdot \bar{A}\bar{A}\bar{C}\bar{C}D}$$



Rysunek 7: Schemat dla wyjścia  $Y_5$

### 3.2.6 Minimalizacja dla wyjścia $Y_6$

AB/CD	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

Tabela 13: Karnaugh dla  $Y_6$

AB/CD	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

Tabela 14: Karnaugh dla  $Y_6$

AB/CD	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

Tabela 15: Karnaugh dla  $Y_6$

AB/CD	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

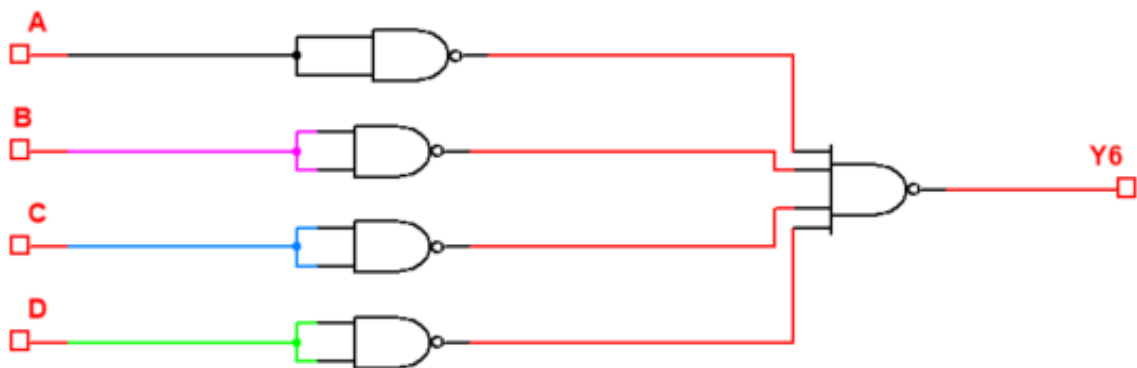
Tabela 16: Karnaugh dla  $Y_6$

$$Y_6 = A + B + C + D$$

$$Y_6 = \overline{\overline{A + B + C + D}}$$

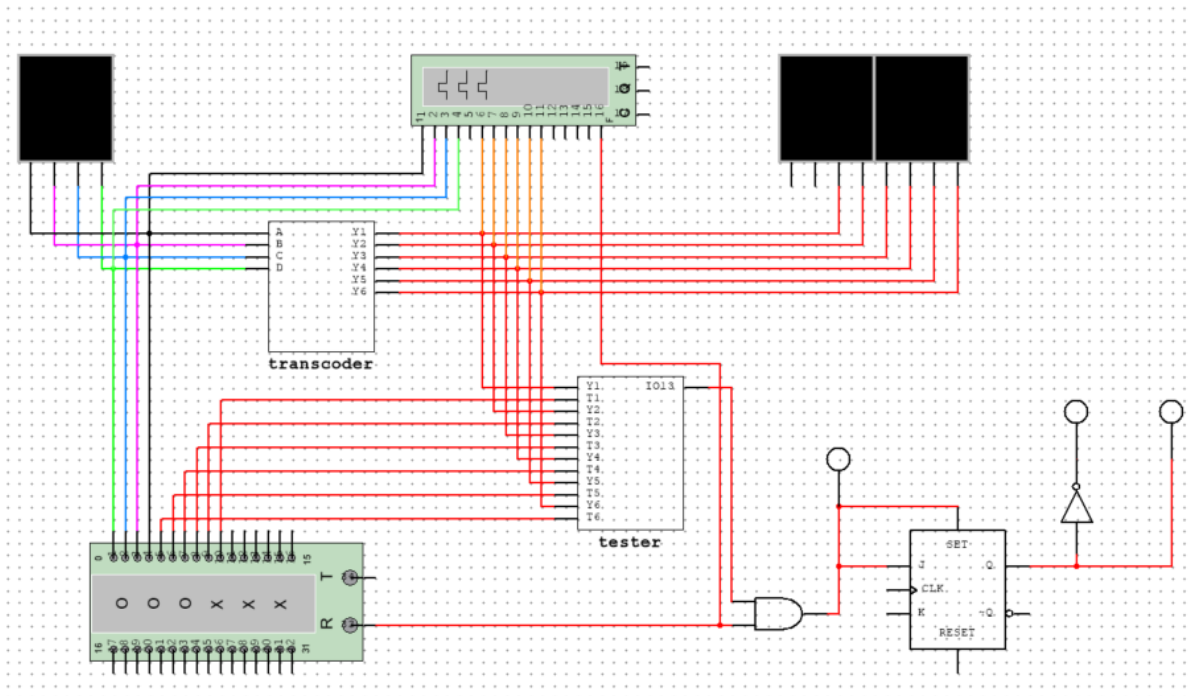
$$Y_6 = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}}$$

$$Y_6 = \overline{\overline{AA} \cdot \overline{BB} \cdot \overline{CC} \cdot \overline{DD}}$$



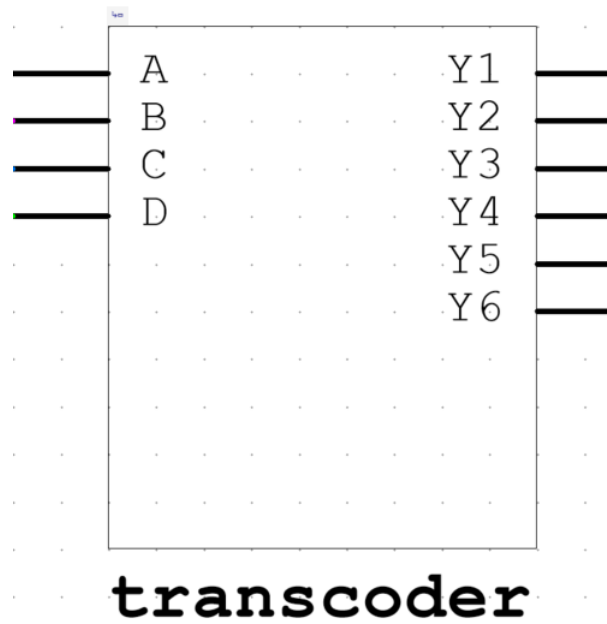
Rysunek 8: Schemat dla wyjścia  $Y_6$

## 4 Schemat układu

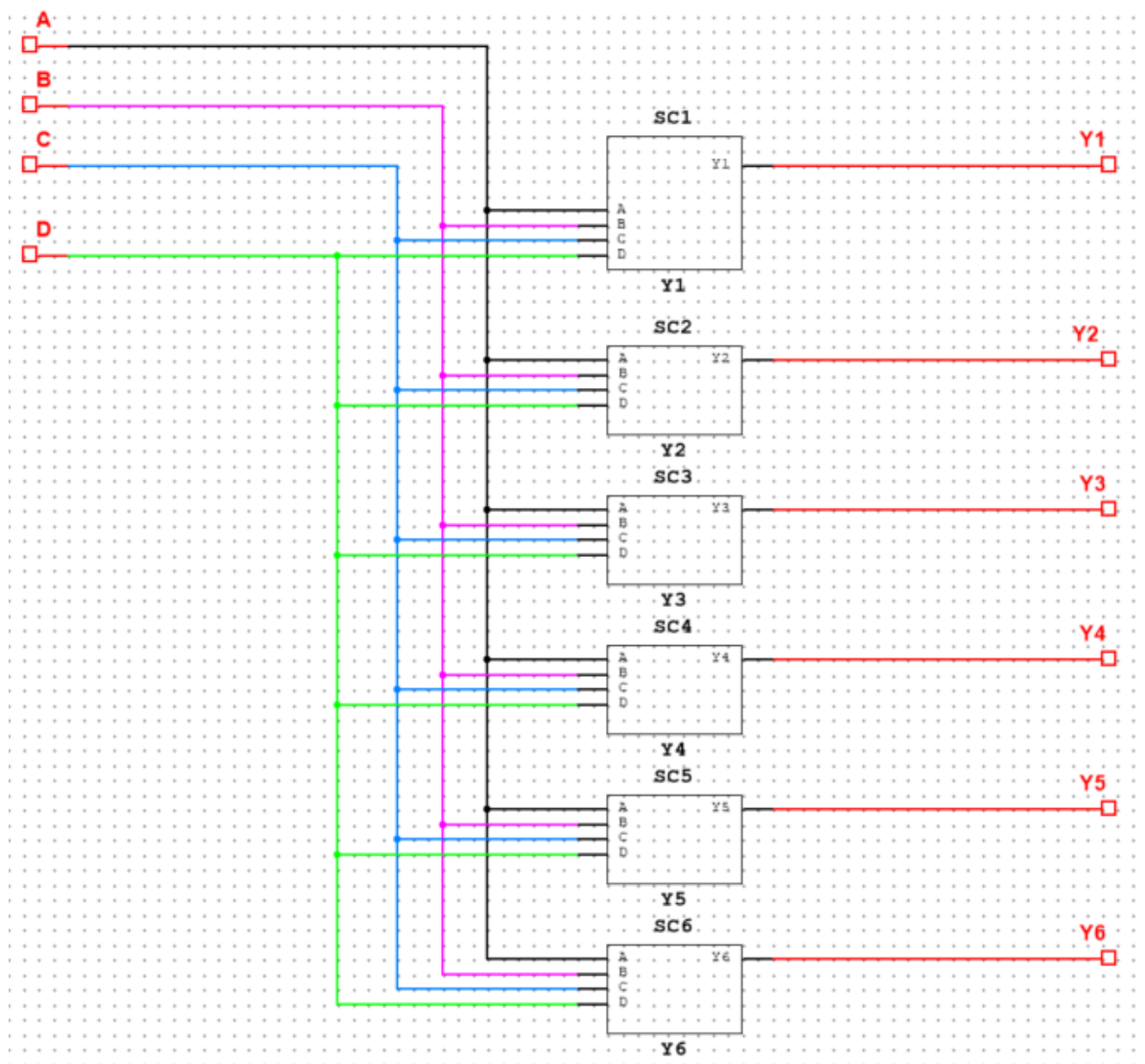


Rysunek 9: Schemat całego układu

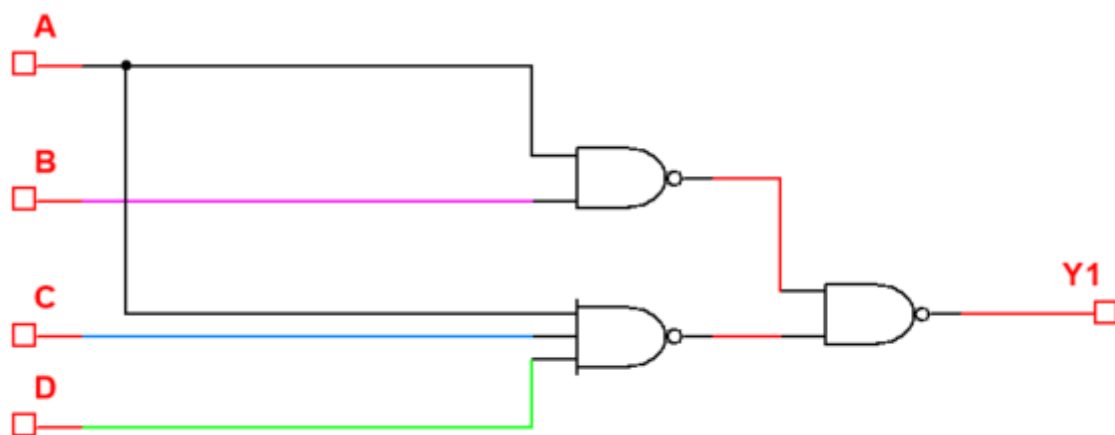
### 4.1 Transkoder



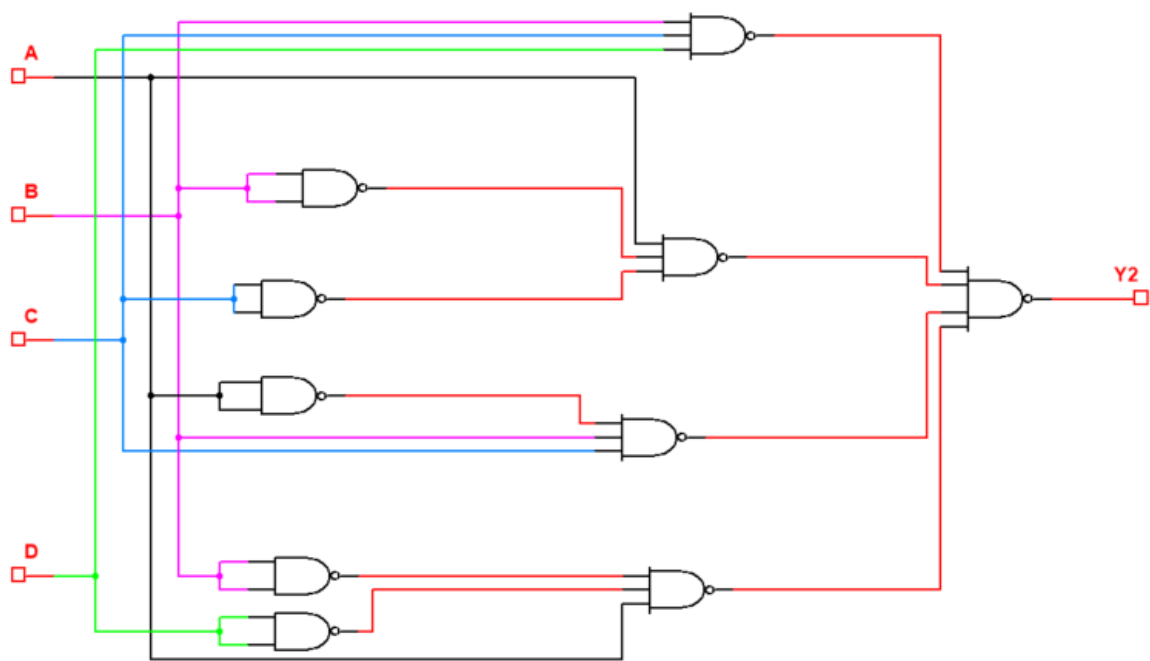
Rysunek 10: Transkoder



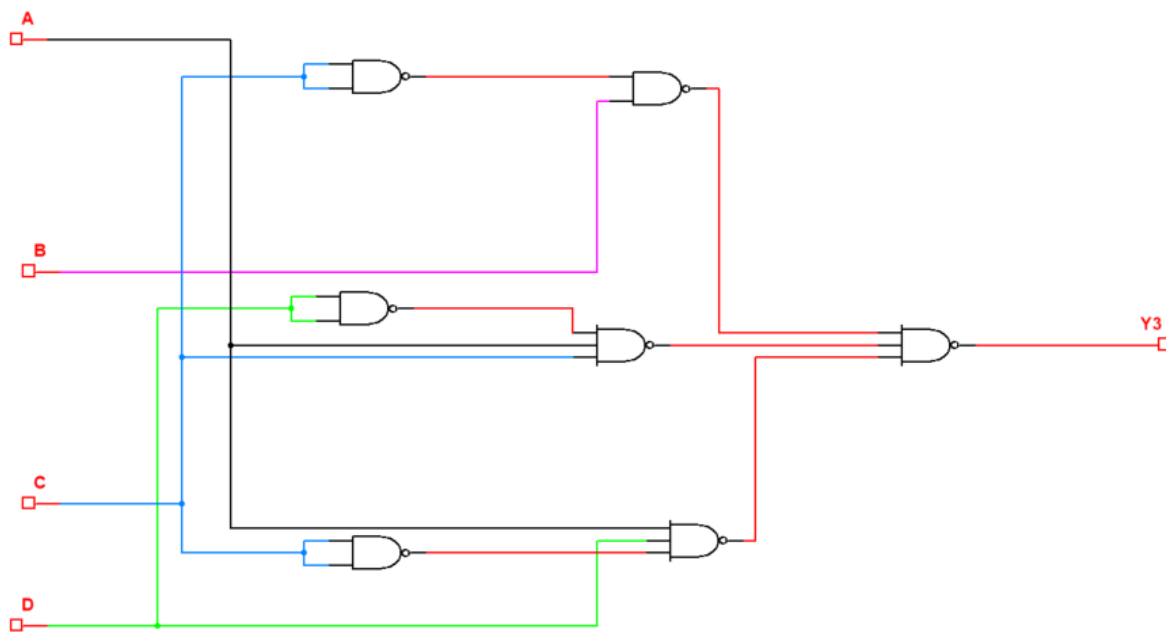
Rysunek 11: Schemat podukładów transkodera



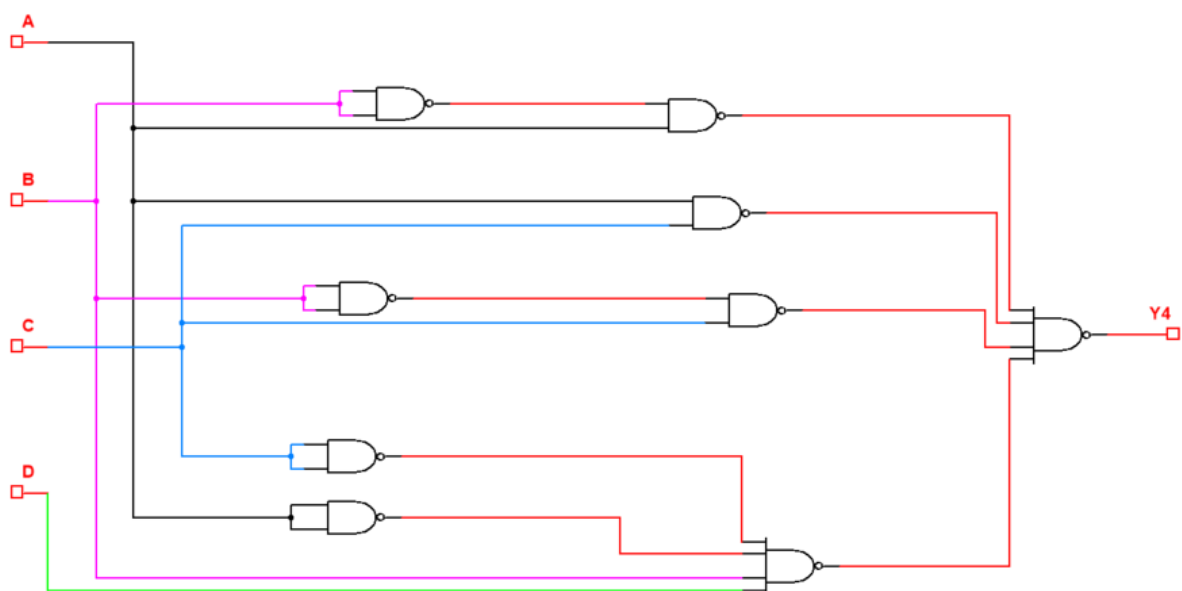
Rysunek 12: Schemat podukładu transkodera dla wyjścia  $Y_1$



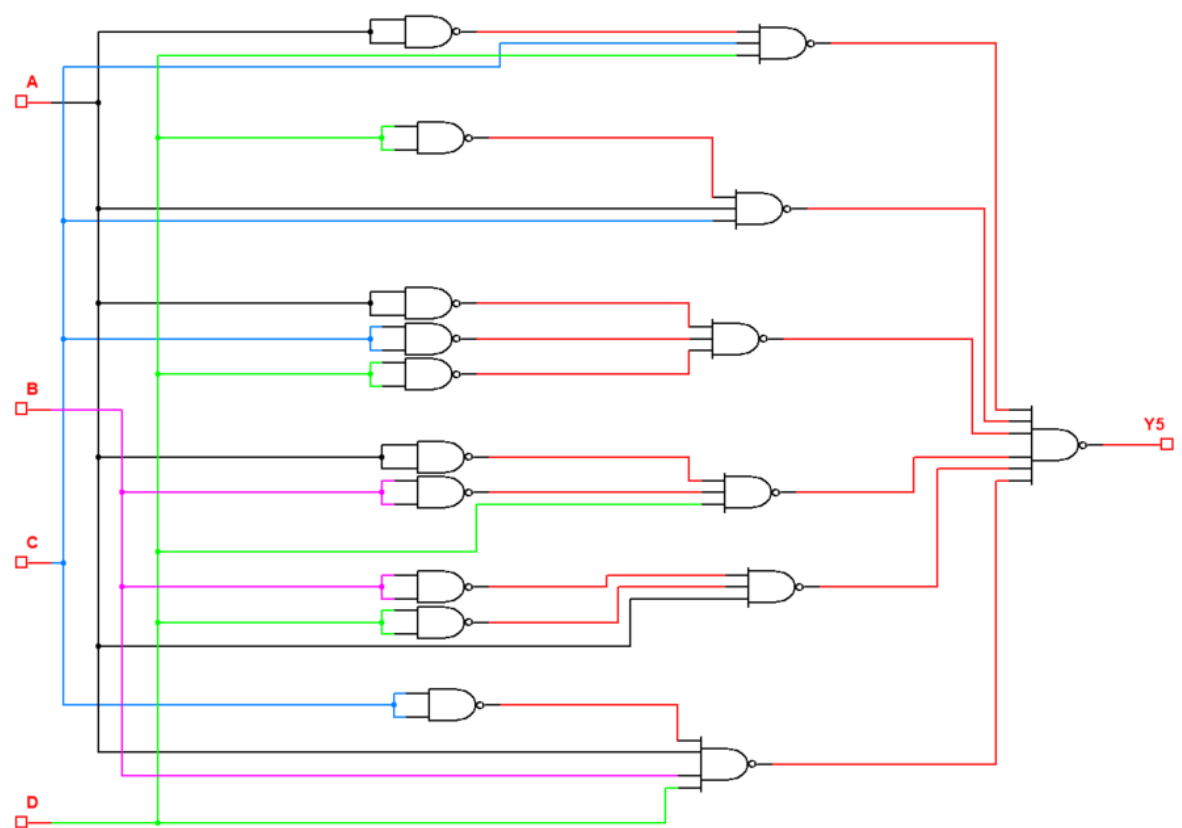
Rysunek 13: Schemat podukładu transkodera dla wyjścia  $Y_2$



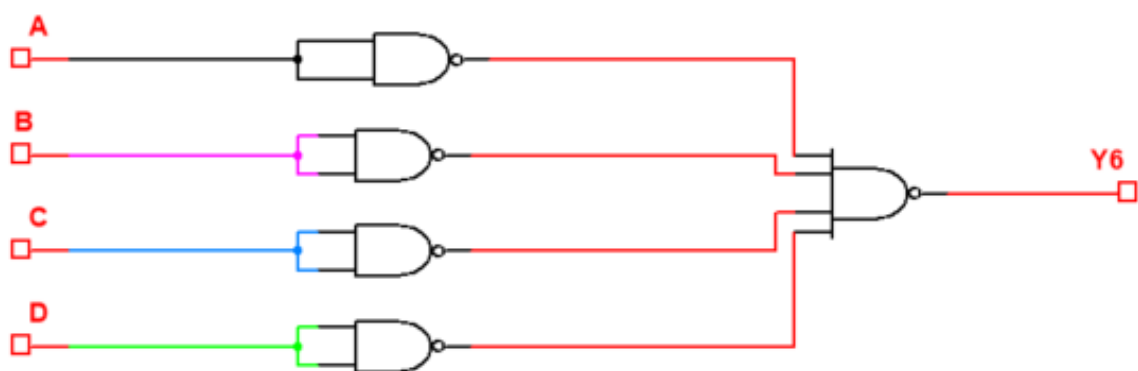
Rysunek 14: Schemat podukładu transkodera dla wyjścia  $Y_3$



Rysunek 15: Schemat podukładu transkodera dla wyjścia  $Y_4$

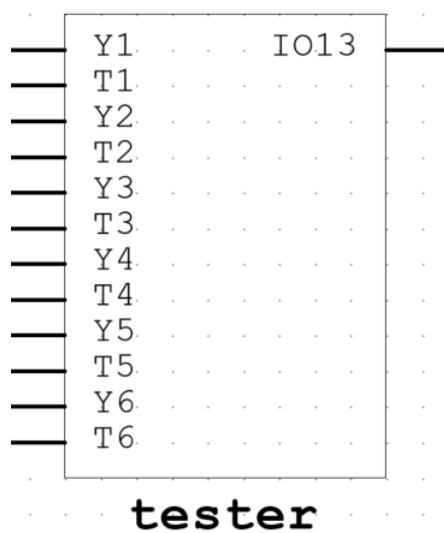


Rysunek 16: Schemat podukładu transkodera dla wyjścia  $Y_5$

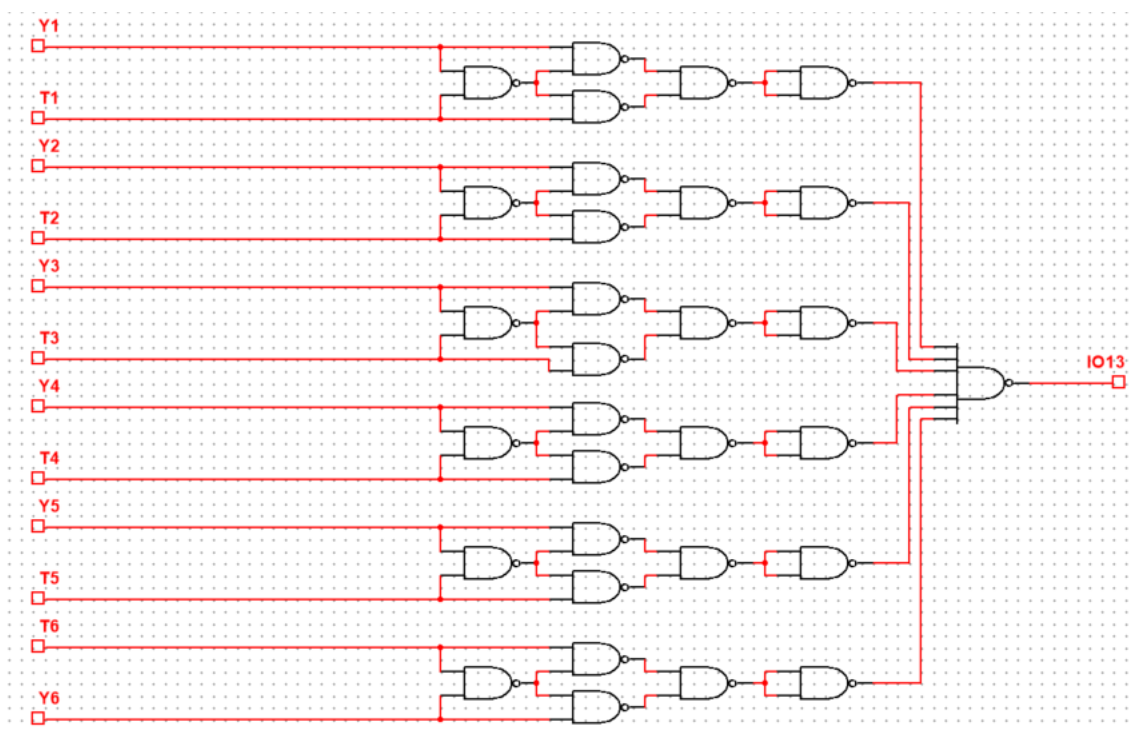


Rysunek 17: Schemat podukładu transkodera dla wyjścia  $Y_6$

## 4.2 Komparator

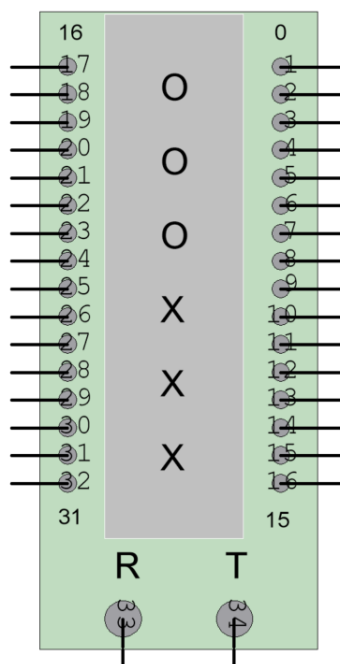


Rysunek 18: Komparator

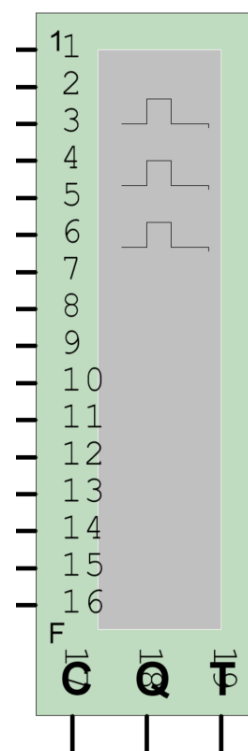


Rysunek 19: Schemat komparatora

### 4.3 Generator słów oraz analizator stanów logicznych



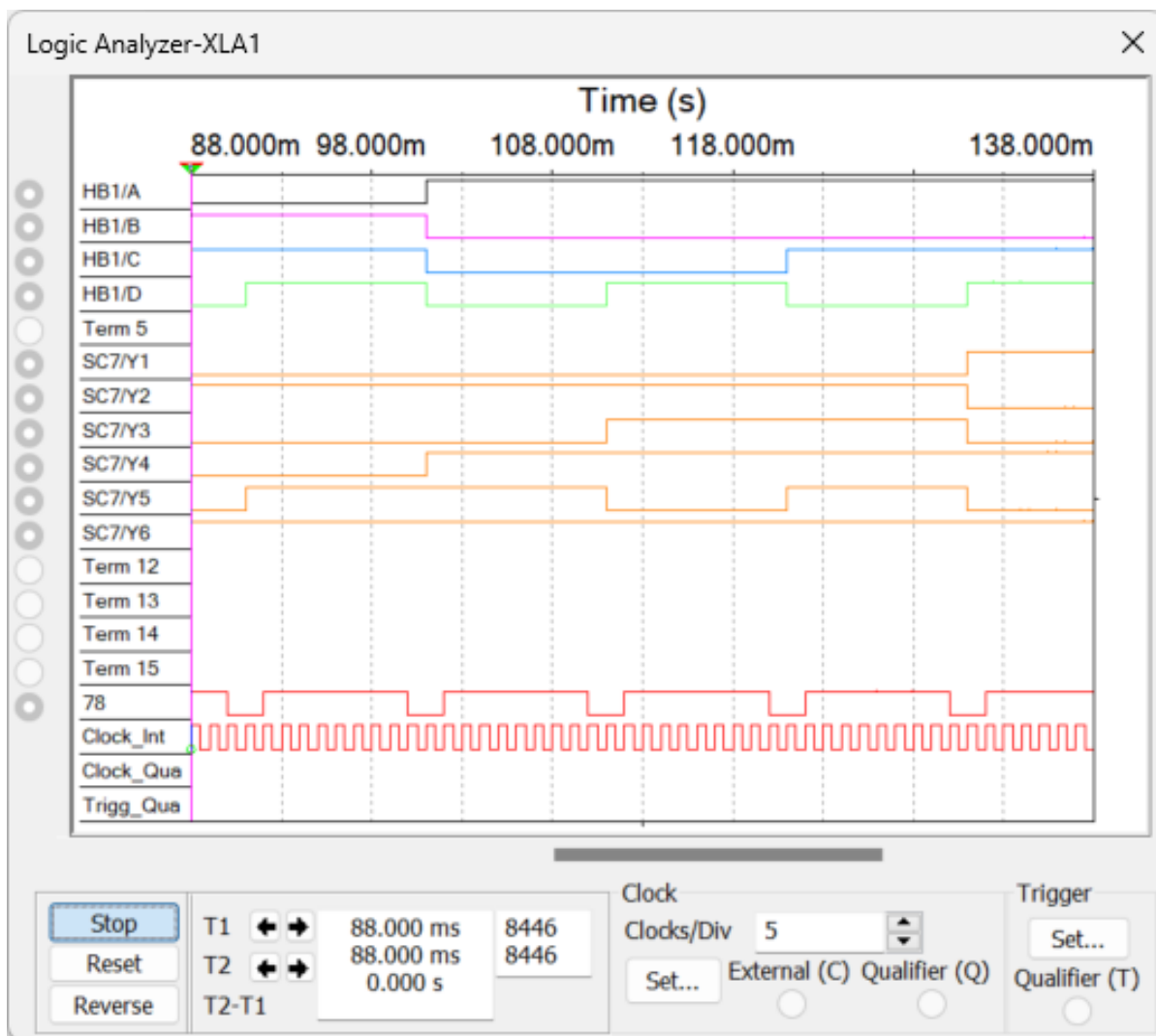
Rysunek 20: Generator słów



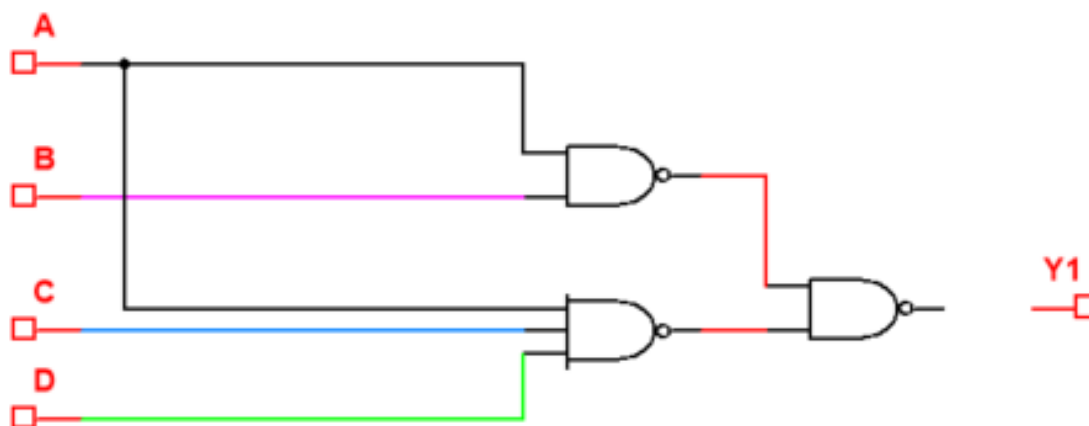
Rysunek 21: Analizator stanów logicznych



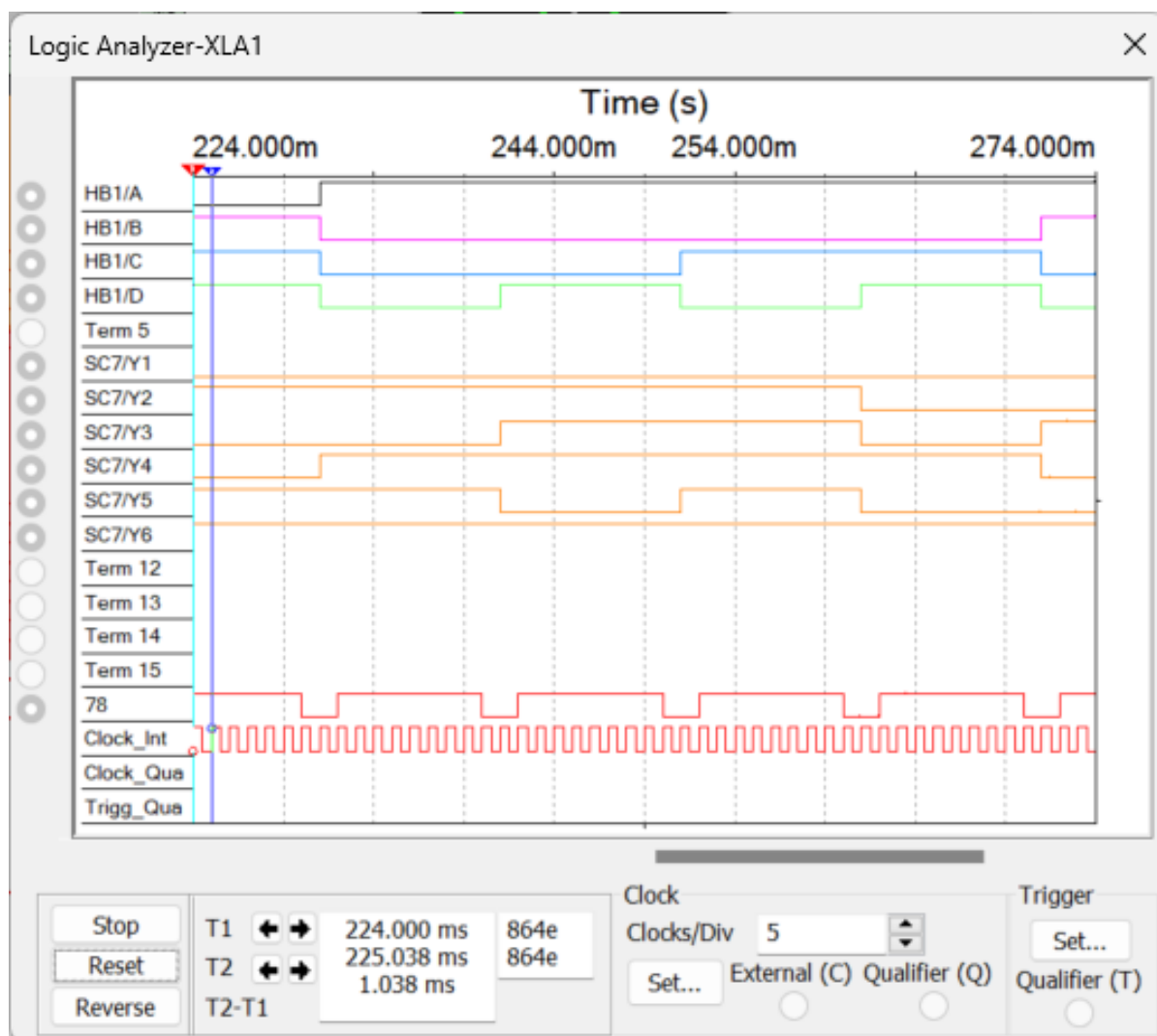




Rysunek 23: Wykres analizatora stanów logicznych dla poprawnego transkodera

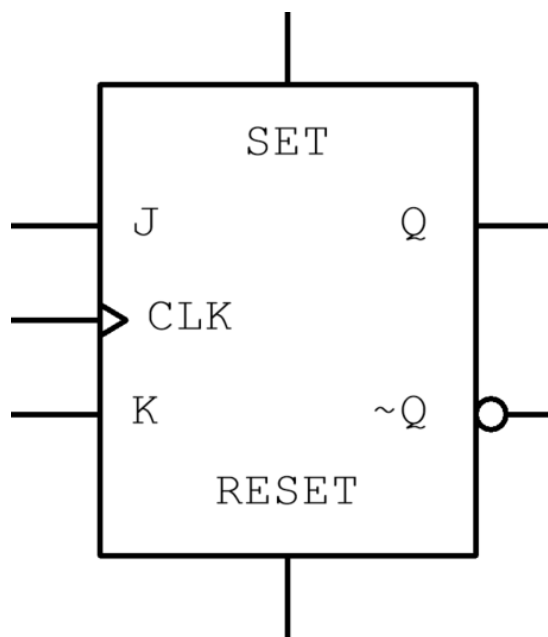


Rysunek 24: Symulacja niepoprawnego transkodera

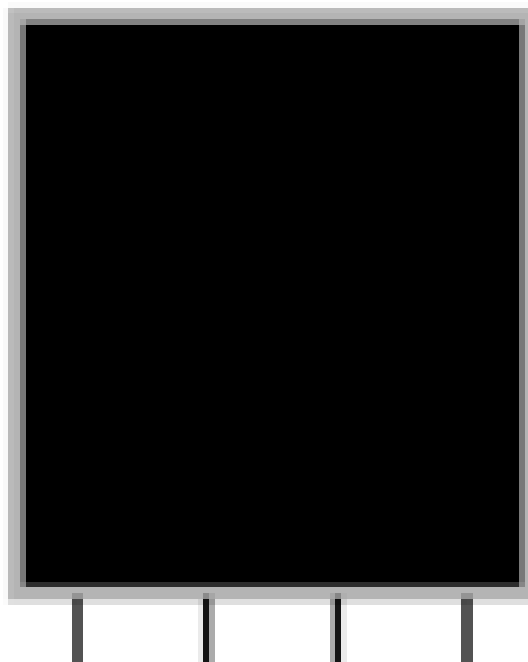


Rysunek 25: Wykres analizatora stanów logicznych dla niepoprawnego transkodera

## 4.4 Przerzutnik i wyświetlacz

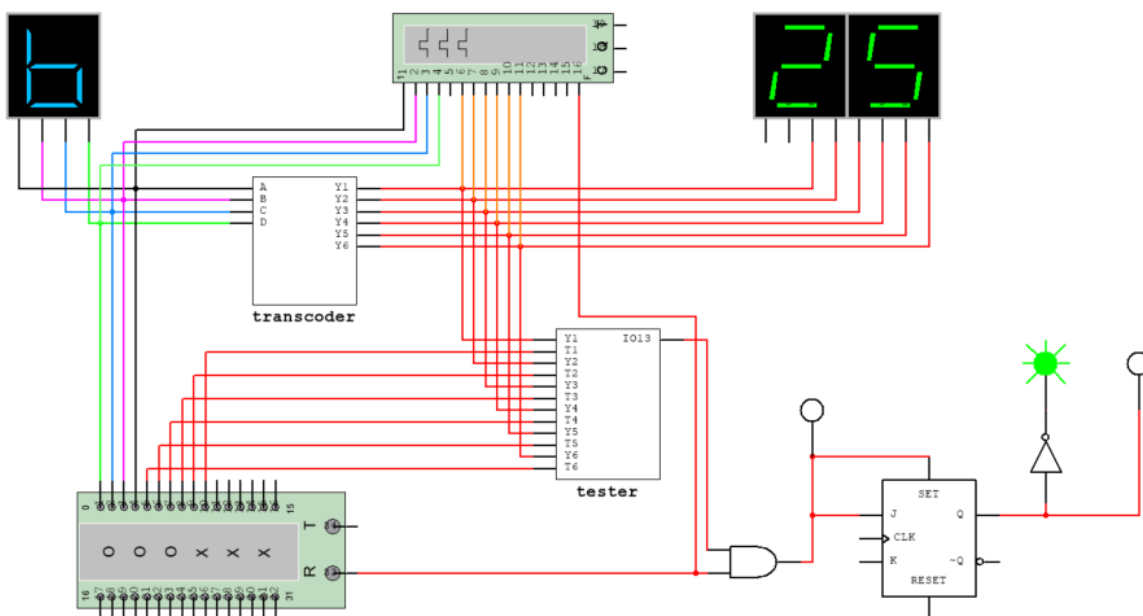


Rysunek 26: Przerzutnik JK

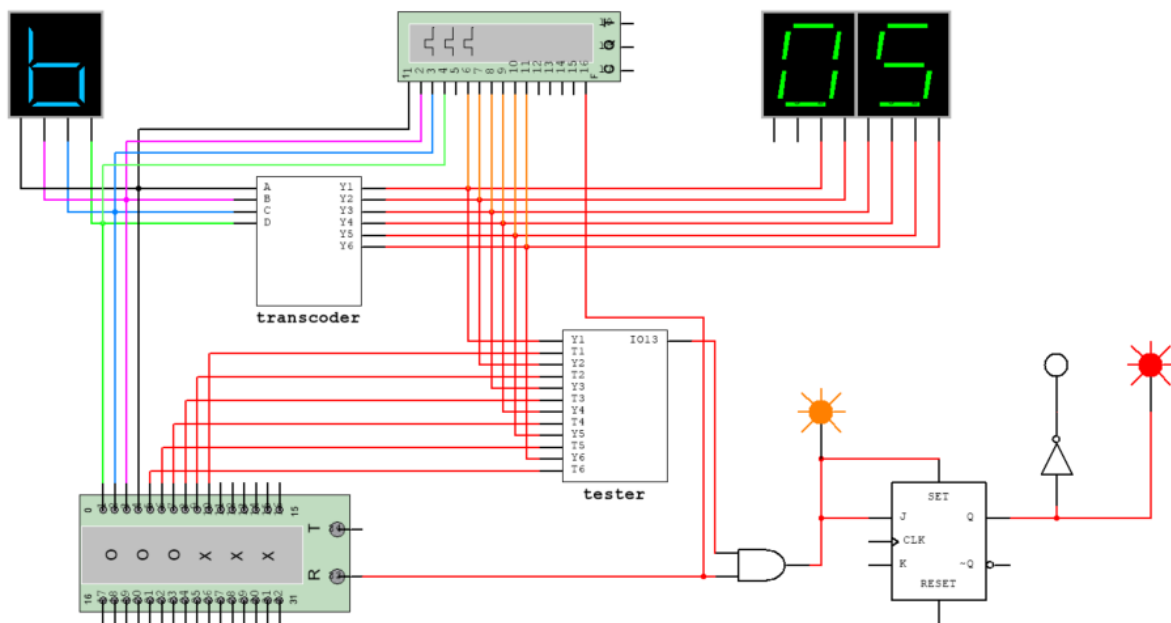


Rysunek 27: Cyfrowy wyświetlacz heksadecymalny, siedmosegmentowy

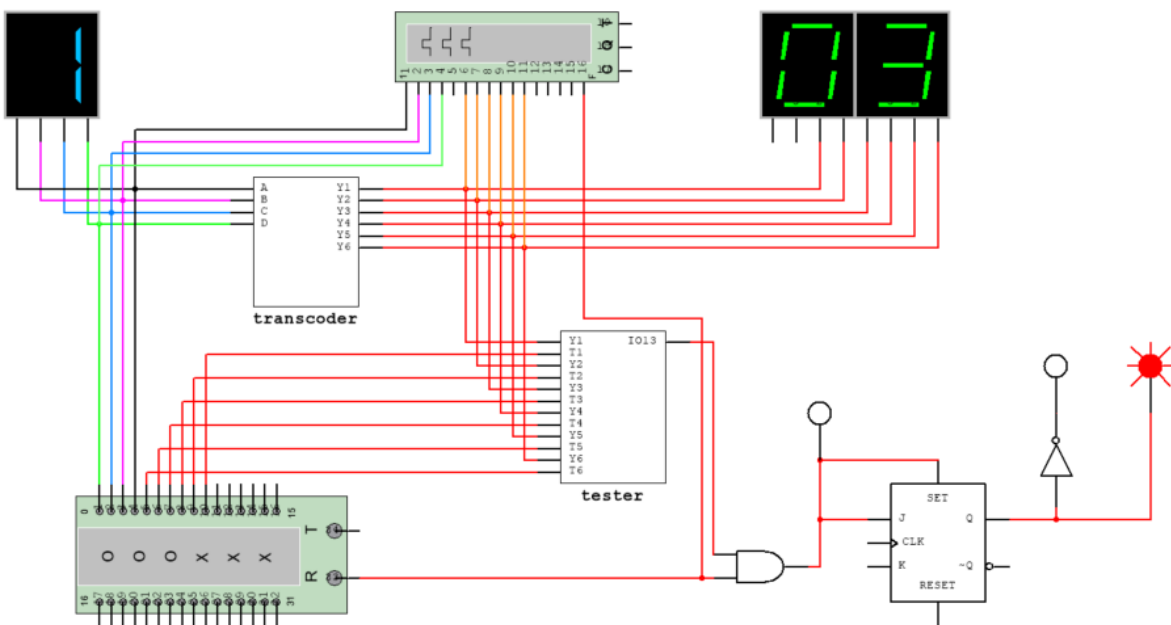
## 4.5 Cały układ



Rysunek 28: Schemat układu dla poprawnego transkodera



Rysunek 29: Schemat układu dla niepoprawnego transkodera w dla złej konwersji



Rysunek 30: Schemat układu dla niepoprawnego transkodera dla dobrej konwersji