

AN code 可靠度實驗

為了比較一維與二維 AN code 解碼器的可靠度，我利用 matlab 內建的 simulink 建立了 PBSK hard decision 的通訊模型，通道雜訊是可加式高斯白雜訊(AWGN)。

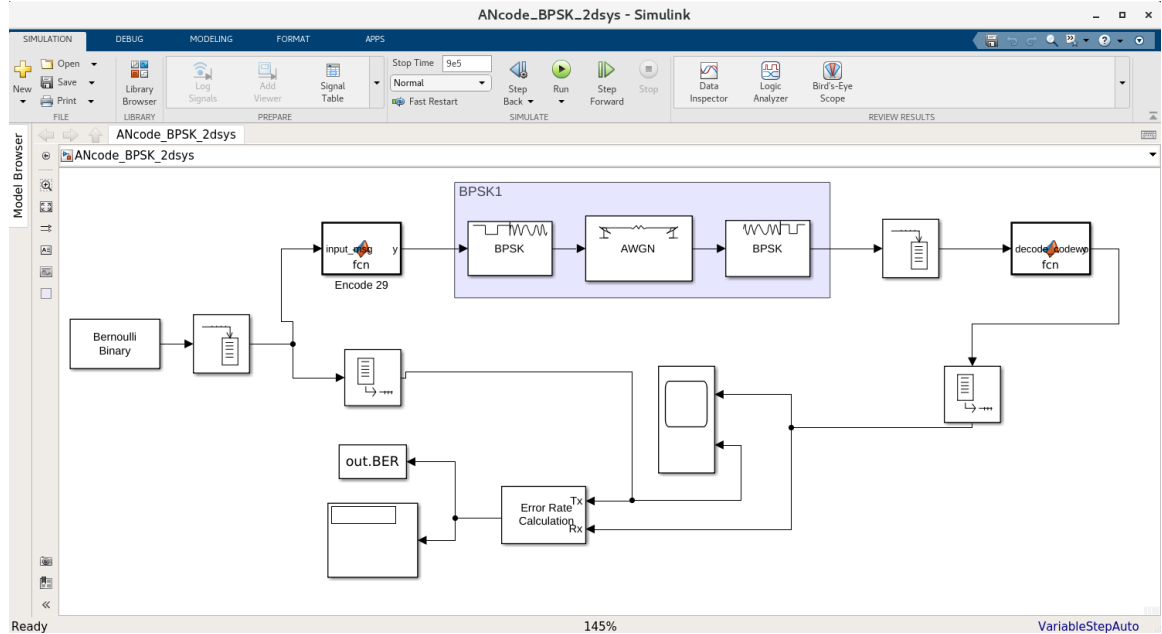


Figure 1 System Diagram

AN code 一維解碼器是每一個收到的 codeword 都經過解碼器解碼，相對的 AN code 二維解碼器的模擬方式是在接收的 10 個 codeword 之中，挑選若干個 codeword 來做 AN code 的解碼，其餘未被挑選到的直接除以 A 當作輸出。

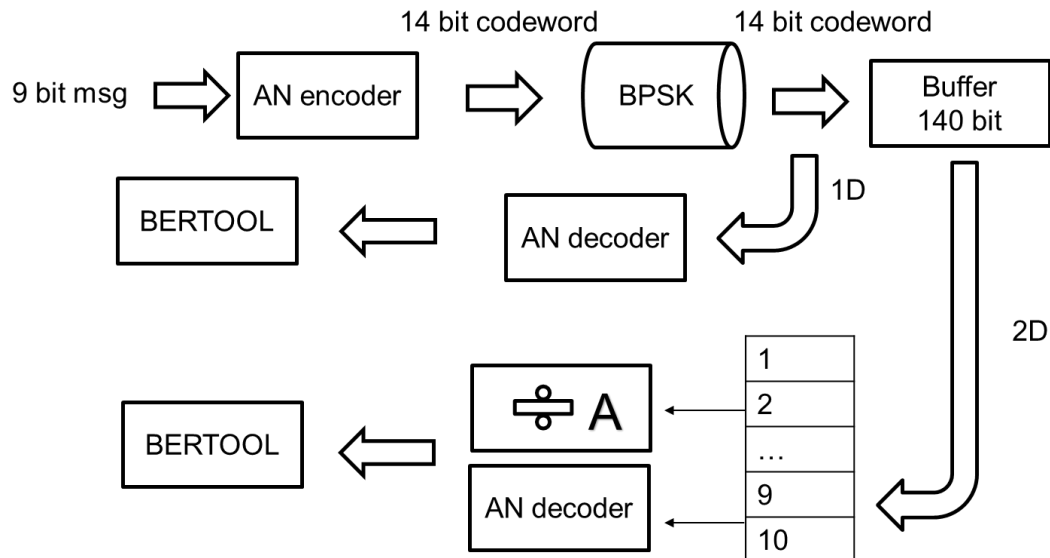


Figure 2 One D vs Two D Decode Phase

實驗結果顯示二維的解碼器就算 10 個 codeword 有 9 個使用 AN decoder，1 個直接除以 A 輸出，在任何 SNR 下 Bit error rate 都比一維的高出許多，甚至比 uncode 還要差。

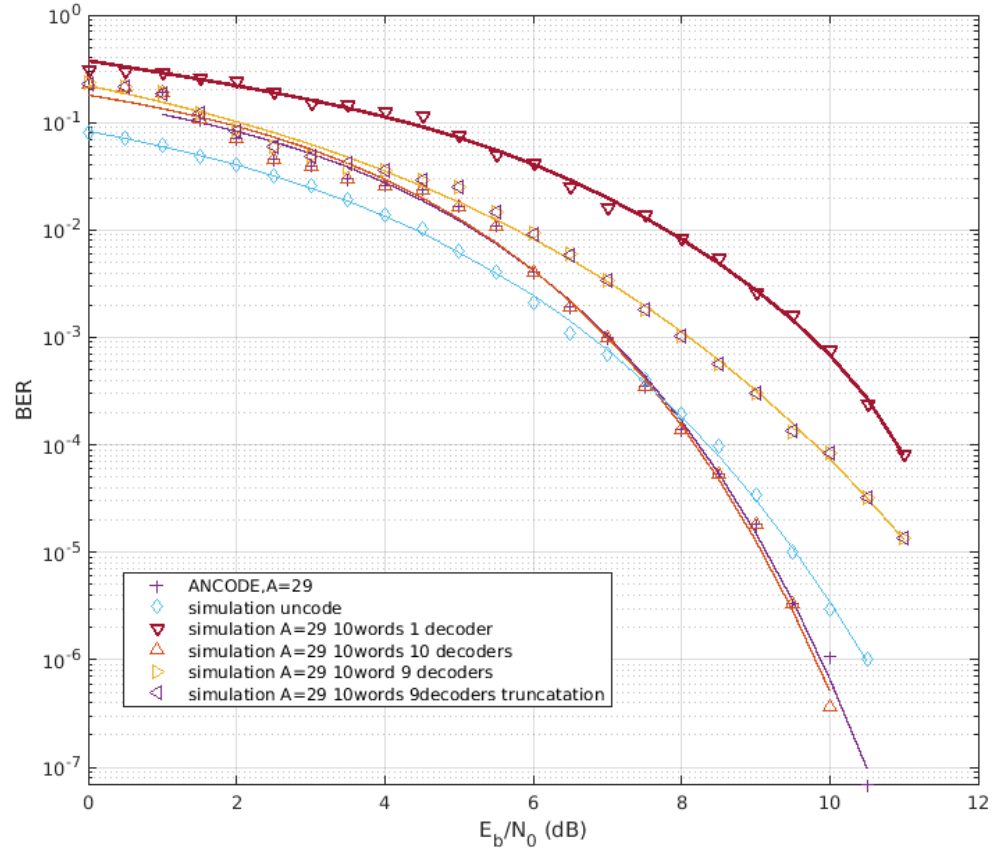


Figure 3 BER/SNR One D vs Two D

我認為要展現二維解碼的可靠度只能假設在錯誤非常少的情況，比如輸出 10 個 codeword 只有 1 個 codeword 有錯，這樣一維解碼與二維解碼在解碼結果上沒有任何差別，並且面積更少。

MACC Error Insertion

在人工智慧的領域，要展現提出的方法能夠有效提升神經網路硬體可靠度，需要操作圖樣相依(Pattern dependence)的實驗才是可信的，這是由於神經網路中，有些 bit 對於準確度會有很高的影響，有些則不會改變結果，倘若單單僅看 bit error rate 來判斷方法是否有效是不可信的。

根據 [1]，一個 mobile net 所需要 600 萬個 Adaptive Logic Module (ALM)才能夠合出一個硬體電路，倘若利用軟體模擬假設每一個邏輯閘(Logic gate)或者接線(Net)錯誤發生機率並利用軟體模擬準確度結果，模擬軟體是無法在可接受時間內得出運算結果的。

為了要證明 AN code 能夠在神經網路的硬體上提升可靠度，我做了以下實驗:

一個神經網路的最小單元是一個 MAC(Multiply-accumulate operation)，一個 MAC 在神經網路中會有兩個輸入，一個輸出用來處理神經網路中參數的乘累加。

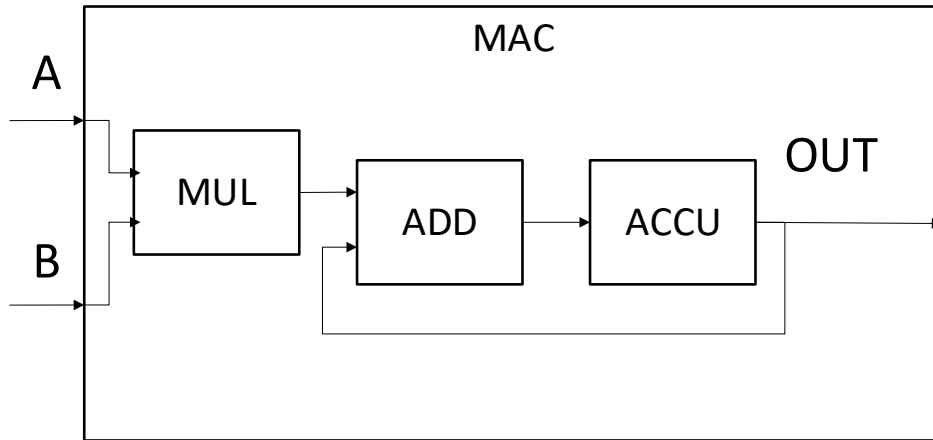


Figure 4 MAC

在我們團隊所提出的 TCB 加入神經網路，並且把權重嵌入神經網路硬體中，可以把一個 MAC 化為 MAC_TCB。如此能夠將乘法轉為加法和位移並且不需要去記憶體拿取資料。

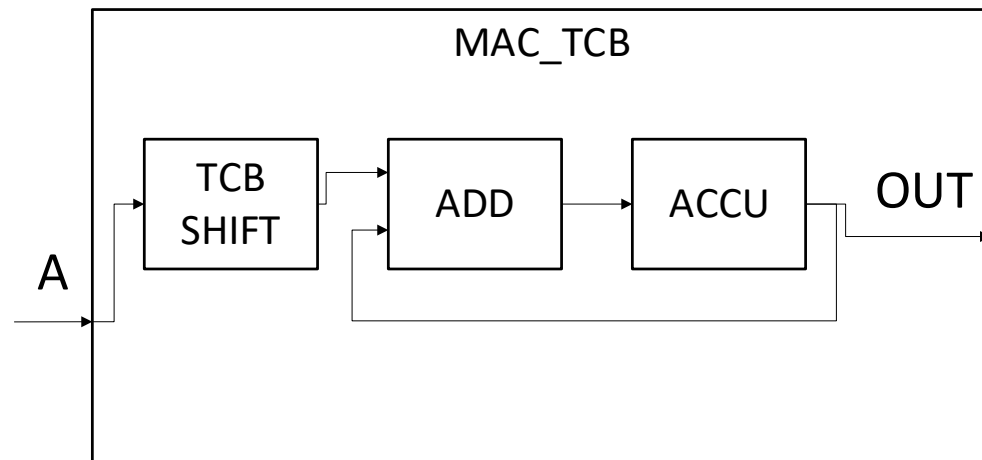


Figure 5 MAC_TCB

但是為了模擬硬體可能發生的 soft error，我在 Vivado2022.1 合成 MAC_TCB 的 netlist 當中，加入了 Error Insertion Unit 來模擬硬體電路中可能發生的錯誤。

Error Insertion Unit 中常數的部分，目前是由外部輸入，用來控制錯誤可能發生的機率，以方便觀察與控制錯誤，在以下的模擬當中，是假設錯誤百分之百會發生。

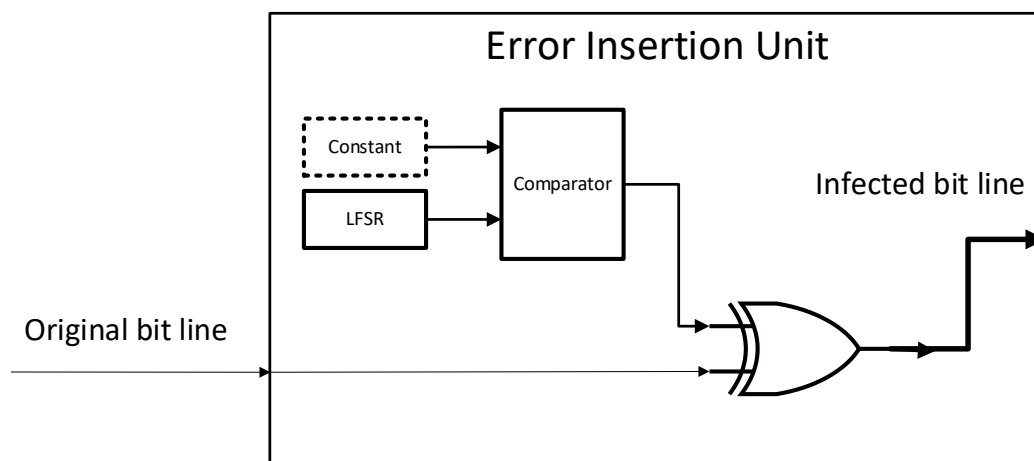


Figure 6 Error Insertion Unit

我隨機挑選錯誤可能發生的位置，結果選到累加器的其中一條 net 上。

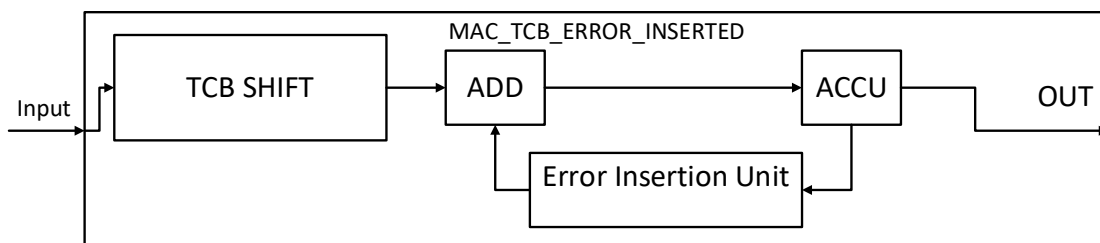


Figure 7 MAC TCB Error Insertion Unit

圖為 Vivado 2022.1 的 schematic 包含了 EI(Error Insertion) 以及累加器。

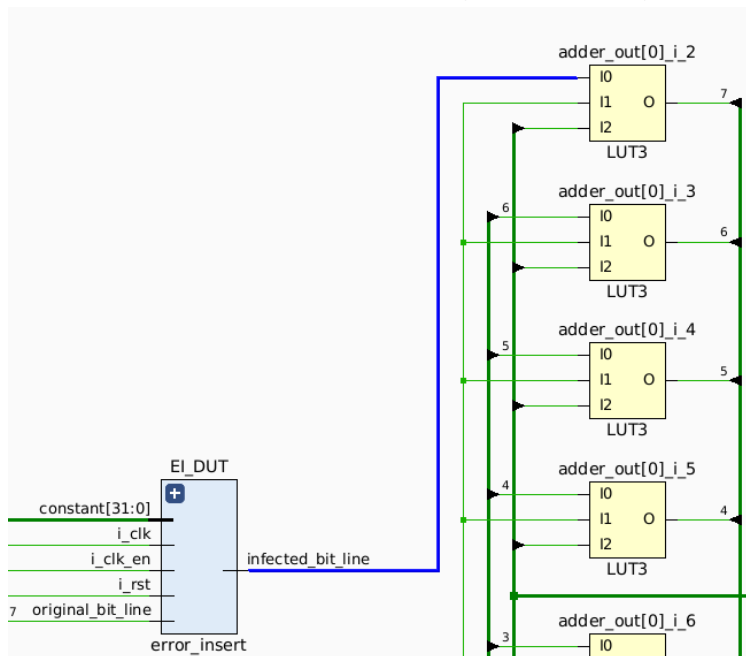


Figure 8 Error Insertion in Schematic

為了展現 AN code 的可靠度，我在 MAC_TCB_ERROR_INSERTION module 後面加上了 AN DECODER 用來更正 EI 所產生的錯誤。

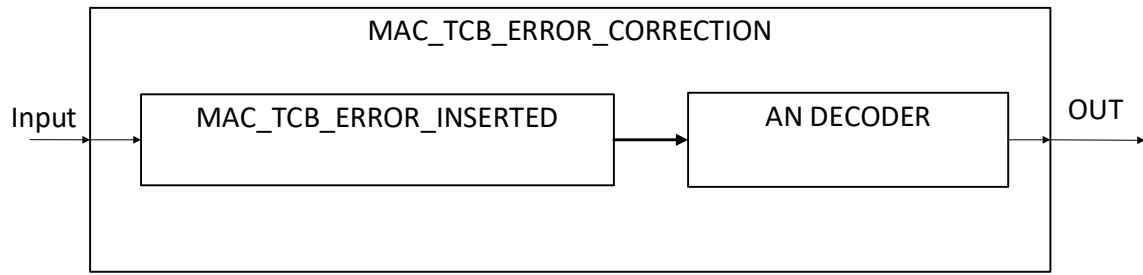


Figure 9 MAC TCB Error Correction

圖為 RTL 以及 netlist 所產生的模擬結果，名稱中有包含 synthesis 的為利用 Vivado 2022.1 所產生 Netlist 所模擬的電路結果，會較 RTL 模擬結果有更長的延遲時間。

所有錯誤皆產生在 2 的 7 次方這個位置。所以才會每次結果都是相差 128。

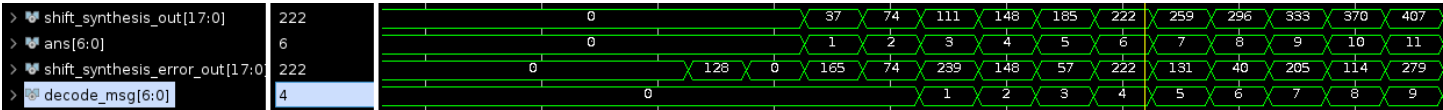


Figure 10 RTL Waveform

- ans 為傳輸正確 output 端應該要有的結果
- shift_synthesis_error_out 為加入錯誤而造成的 output value
- decoder_msg 為更正錯誤之後，所產生的結果。

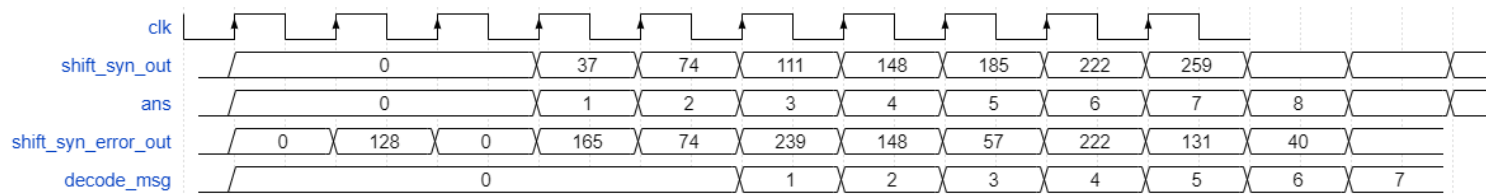


Figure 11 RTL Waveform in Wavedrom

以上這個實驗展示了 AN decoder 能夠在硬體架構中更正錯誤並且提高硬體可靠度。

Reference

- [1] J. Meng, S. K. Venkataramanaiah, C. Zhou, P. Hansen, P. Whatmough and J. -s. Seo, "FixyFPGA: Efficient FPGA Accelerator for Deep Neural Networks with High Element-Wise Sparsity and without External Memory Access," 2021 31st International Conference on Field-Programmable Logic and Applications (FPL),