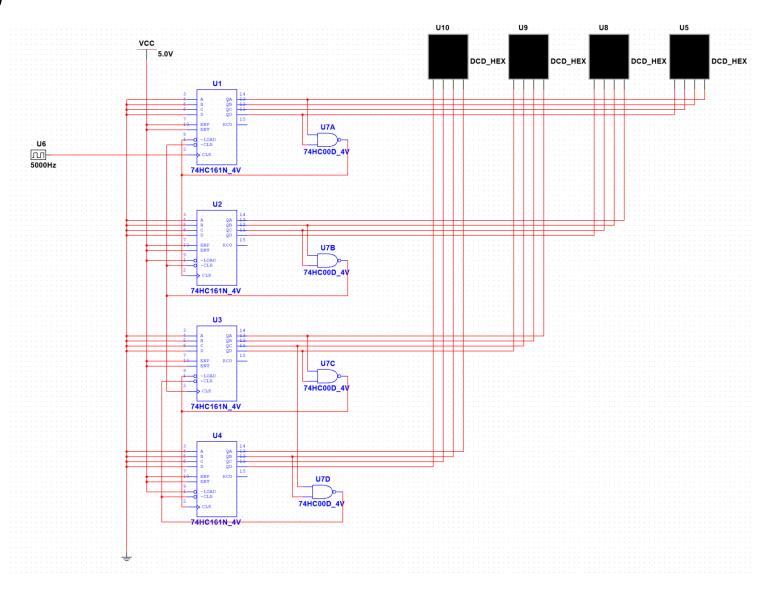
Contras HDL Simulator 硬件描述语言功能仿真工具

程序设计基础及语言 || 课程设计

JS221102常睿心 JS221103董懿璇 JS221114田昊冬 JS221116倪哲振

1 契机



2核心功能 – 硬件描述语言 CDL

```
@Body
AND4.cdL
# 从 AND.cdl 中模块化导入 AND 芯片
                                    # 指定 AND 1 芯片的输入输出引脚
import AND from "AND"
                                    AND1(a = a, b = b) \Rightarrow (out = ab)
                                    AND2(a = c, b = d) \Rightarrow (out = cd)
@Head
                                    AND3(a = ab, b = cd) => (out = result)
NAME AND4
# 实例化三个 AND 芯片
                                    @End
                                    # 设置输出引脚
AND AND1, AND2, AND3
# 声明输入输出引脚
                                    out = result
INPUT a, b, c, d
OUTPUT out
```

2核心功能 – 功能仿真工具

```
AND4.in
```

@Case

a = 0

b = 0

c = 1

d = 1

out = ?

@End

@Case

a = 01001

b = 00111

c = 01001

d = 10111

out = ?

@End

2核心功能 - 功能仿真工具

```
AND4.out

@Case

a[0] = 0

b[0] = 0

c[0] = 1

d[0] = 1
```

out[0] = 0

```
@Case
    a[0] = 01001
    b[0] = 00111
    c[0] = 01001
    d[0] = 10111
out[0] = 00001
```

3设计思路 - 系统设计

技术难点:

- 1. CDL 文件语义分析
- 2. 将单文件的元件 CDL 文件转换为实例化的 C++ 对象

3设计思路 – 系统设计

• 用户编写的原始 CDL 文件 std::regex Raw CDL 正则表达式 **Symbol** • 经过语法检查的元件解释文件 contras::pin **Description** 自定义引脚类 **Symbol** • 经过类型检查的元件定义文件 **Definition** Runtime • 实例化的可执行对象 Instance

3 设计思路 – Symbol Definition

CDL 导入结构:有向无环图(DAG)

拓扑排序

3 设计思路 – Runtime Instance

• 使用 std::map 构建元件名与 Symbol Definition 的映射

3 设计思路 – Utils

- 自定义日志输出工具
- 自定义异常处理

```
__CONTRAS_LOG(debug, "Put your debug messages here");
__CONTRAS_THROW(contras::exception_type::invalid_argument,
"Throw an exception");
int main(int argc, char *argv[]) {
#ifdef CONTRAS_USE_LOGGER
    contras::use_logger();
#endif
...
```

4 演示

• 使用 CMake 构建

```
mkdir build
cd build
cmake .. -G Ninja -DCONTRAS_USE_LOGGER=true
cmake --build .
cd ../bin
```

```
mkdir build
cd build
cmake .. -G Ninja -DCONTRAS_USE_LOGGER=false
cmake --build .
cd ../bin
```

4 演示

```
cd bin
./contras And4.cdl test/And4.in test/And4.out
./contras Or4.cdl test/Or4.in test/Or4.out
```

5 改进空间

- 1. 语义分析
- 2. 时序逻辑电路不稳定状态的仿真

Thank you!

- GitHub Repo
- Coursera: Nand2Tetris
- From Nand To Tetris