

МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
им. Н.Э.Баумана (национальный исследовательский университет)

С.Б. Спиридонов

«Схемотехника дискретных устройств»

*Методические указания
по выполнению лабораторных работ по дисциплине
«Схемотехника дискретных устройств»*

Москва
2023 год.

УДК 004.3(075.8)
ББК

Автор:

Спиридонов Сергей Борисович,
доцент кафедры «Системы обработки информации
и управления» МГТУ им. Н.Э. Баумана
(e-mail: spirid@bmstu.ru)

Рецензент:

Мурашов Михаил Владимирович,
д.т.н., профессор кафедры «Компьютерные системы
автоматизации производства»
МГТУ им. Н.Э. Баумана

Спиридонов С.Б.

Схемотехника дискретных устройств.

Методические указания по выполнению лабораторных
работ. М.: Издательство «Спутник +», 2023. - 124 с.

ISBN

Приведён краткий теоретический материал по темам лабораторных работ, приведены примеры создания схем моделей исследуемых устройств и узлов, сформулированы задания по каждой теме лабораторных работ. Методические указания содержат контрольные вопросы для защиты лабораторных работ и требования по содержанию материала в отчётах по лабораторным работам.

Предназначены для студентов вузов, обучающихся по направлению подготовки «Информатика и вычислительная техника» специальности «Автоматизированные системы обработки информации и управления».

Содержание

Введение.....	6
Лабораторная работа № 1. Исследование логических элементов и схем на логических элементах.....	9
Часть 1. Освоение навыков работы с программой Electronics Workbench.	
Исследование поведения логических элементов.....	10
1. Краткая характеристика объекта исследования.....	10
2. Задание на выполнения лабораторной работы.....	23
3. Содержание отчета	26
4. Контрольные вопросы.....	26
Часть 2. Синтез комбинационных схем на логических элементах.....	27
1. Краткие теоретические сведения об объекте исследования.....	27
2. Методика подготовки схем для исследования.....	39
3. Задание на выполнение лабораторной работы.....	44
4. Содержание отчёта	45
5. Контрольные вопросы.....	46
Лабораторная работа № 2. Исследование узлов на основе логических элементов.....	47
Часть 1. Исследование дешифраторов, шифраторов, мультиплексоров, демультиплексоров.....	48
1. Краткие теоретические сведения об объекте исследования.....	48
2. Методика подготовки схем для исследования.....	59
3. Задание на выполнение лабораторной работы	59
4. Содержание отчета	60
Контрольные вопросы.....	60
Часть 2. Исследование триггеров.....	61
1. Краткие теоретические сведения об объекте исследования	61
2. Методика подготовки схем для исследования	68
3. Задание на выполнение лабораторной работы.....	76

4. Содержание отчета	78
5. Контрольные вопросы.....	78
Лабораторная работа № 3. Исследование устройств на основе триггеров.....	80
Часть 1. Исследование регистров.....	81
1. Краткие теоретические сведения об объекте исследования.....	81
2. Методика подготовки схем для исследования.....	85
3. Задание на выполнение лабораторной работы	92
4. Содержание отчёта	92
5. Контрольные вопросы.....	92
Часть 2. Исследование счётчиков.....	94
1. Краткие теоретические сведения об объекте исследования	94
2. Методика подготовки схем для исследования.....	102
3. Задание на выполнение лабораторной работы.....	104
4. Содержание отчета	105
5. Контрольные вопросы.....	105
Лабораторная работа № 4. Исследование арифметических устройств.....	106
Часть 1. Исследование сумматоров, вычитателей, инкременторов, декременторов.....	107
1. Краткие теоретические сведения об объекте исследования.....	107
2. Методика подготовки схем для исследования	108
3. Задание на выполнение лабораторной работы.....	109
4. Содержание отчета.....	112
5. Контрольные вопросы.....	112
Часть 2. Исследование сумматоров дополнительного и обратного кодов.....	113
Исследование компараторов.....	113
1. Краткие теоретические сведения об объекте исследования.....	113

2. Методика подготовки схем для исследования.....	121
3. Задание на выполнение лабораторной работы.....	121
4. Содержание отчета.....	122
5. Контрольные вопросы.....	123
Литература.....	124

Введение

Курс «Схемотехника дискретных устройств» посвящён изучению студентами основ логического и схемотехнического построения типовых узлов и блоков, встречающихся в электронно-вычислительной технике, системах цифровой автоматики, телекоммуникаций, измерений и т.д.

Задача цикла лабораторных работ по указанному курсу состоит в практическом освоении методик проектирования функциональных и комбинационных схем, основывающихся на применении математического аппарата булевых функций. Закрепление теоретического материала, изложенного на лекциях, на основе проведения моделирования поведения конкретных функциональных узлов вычислительной техники при задании множества входных сигналов и оценивания поведения узлов и схем по выходным характеристикам и сигналам.

Направление исследований в процессе выполнения лабораторных работ включает моделирование и исследование поведения исследуемых схем и узлов с помощью программы Electronics Workbench или Multisim на персональных компьютерах в учебных классах.

В результате выполнения цикла лабораторных работ по курсу «Схемотехника дискретных устройств» студент должен приобрести следующие знания, умения и владения соответствующие компетенциям образовательных программ:

Студент должен знать:

- Состав и назначение основных базовых элементов и узлов компьютеров. Основные характеристики и выполняемые функции основных базовых элементов и узлов компьютеров;
- Иерархию построения узлов компьютеров из изучаемых базовых компонентов;
- Основы дискретной математики применительно к задачам проектирования узлов компьютеров.

Студент должен уметь:

- объяснить место и назначение отдельного базового элемента и типового узла компьютера в их типовой архитектуре;
- делать выбор рационального варианта проектного решения на базовых элементах компьютера;
- производить синтез топологии схем и узлов компьютеров с применением программных средств моделирования

Студент должен приобрести навыки:

- построения узлов компьютеров по заданным функциям описания функционирования
- моделирования и анализа элементов и узлов компьютеров
- принятия рациональных решений при эксплуатации вычислительных средств широкого класса.

Общий объём цикла лабораторных работ – 34 часа.

В составе цикла 4 темы лабораторных работ длительностью по 8 часов каждая, состоящая из двух частей.

В состав цикла входят следующие темы лабораторных работ:

Лабораторная работа 1. «Исследование логических элементов и схем на логических элементах».

Часть 1. «Освоение навыков работы с программой Electronics Workbench». Исследование поведения логических элементов».

Часть 2. «Синтез логических схем на элементах комбинационного типа».

Лабораторная работа 2. «Исследование узлов на логических элементах».

Часть 1. «Исследование дешифраторов, шифраторов, мультиплексоров, демультиплексоров».

Часть 2. «Исследование триггеров».

Лабораторная работа 3. «Исследование устройств на основе триггеров»

Часть 1 «Исследование регистров».

Часть 2. «Исследование счетчиков».

Лабораторная работа 4. «Исследование арифметических устройств»

Часть 1. «Исследование сумматоров, вычитателей, инкременторов и декременторов».

Часть 2. «Исследование сумматоров дополнительного и обратного кодов. Исследование компараторов».

Состав материалов, предоставляемых в отчётах, перечислен для каждой темы лабораторной работы. Для самостоятельной подготовки к защите лабораторной работе по каждой теме приводится перечень типовых вопросов в разделах «контрольные вопросы».

Лабораторная работа №1.

**«Исследование логических
элементов и схем на
логических элементах»**

Часть 1. «Освоение навыков работы с программой Electronics Workbench».

Часть 2. Синтез комбинационных схем на логических элементах.

Часть 1. «Освоение навыков работы с программой Electronics Workbench. Исследование поведения логических элементов». **(Учётный шифр: Л 1.1)**

Цель лабораторной работы – изучение возможностей программы и пользовательского интерфейса программы Electronics Workbench (EWB). Изучение панели инструментов пользователя, имеющихся библиотечных электронных, логических и вспомогательных компонентов, необходимых для исследования схем широкого назначения. В результате проведения практического построения схем студент должен провести анализ получаемых результатов и выполнить задание по поиску аналогии поведения электрической переключательной схемы и булевой функцией, воспроизводимой соответствующим логическим элементом. Составить таблицы поведения булевой функции от всех комбинаций подаваемых сигналов на соответствующий логический элемент.

Продолжительность работы – 4 часа.

1. Краткая характеристика объекта исследования.

Программный комплекс EWB разработан фирмой Interactive Image Technologies (Канада) для схемотехнического моделирования цифровых и аналоговых радиоэлектронных устройств.

Предварительное исследование электронной схемы с применением компьютерного моделирования позволяет найти оптимальные параметры для работы исследуемого устройства, не прибегая к его практической реализации. Исследование на программной модели позволяет ознакомиться с возможностями проверки правильности построения схем. При разработке сложных схем физическое моделирование бывает просто невозможно из-за чрезвычайной сложности устройства.

Особенность программы EWB в наличии в ней контрольно-измерительных приборов, по внешнему виду, органам управления и характеристикам максимально приближенных к их промышленным аналогам.

В данном руководстве рассматривается версия EWB5PRO и EWB v.5.12.

1.1 Структура окна и система меню.

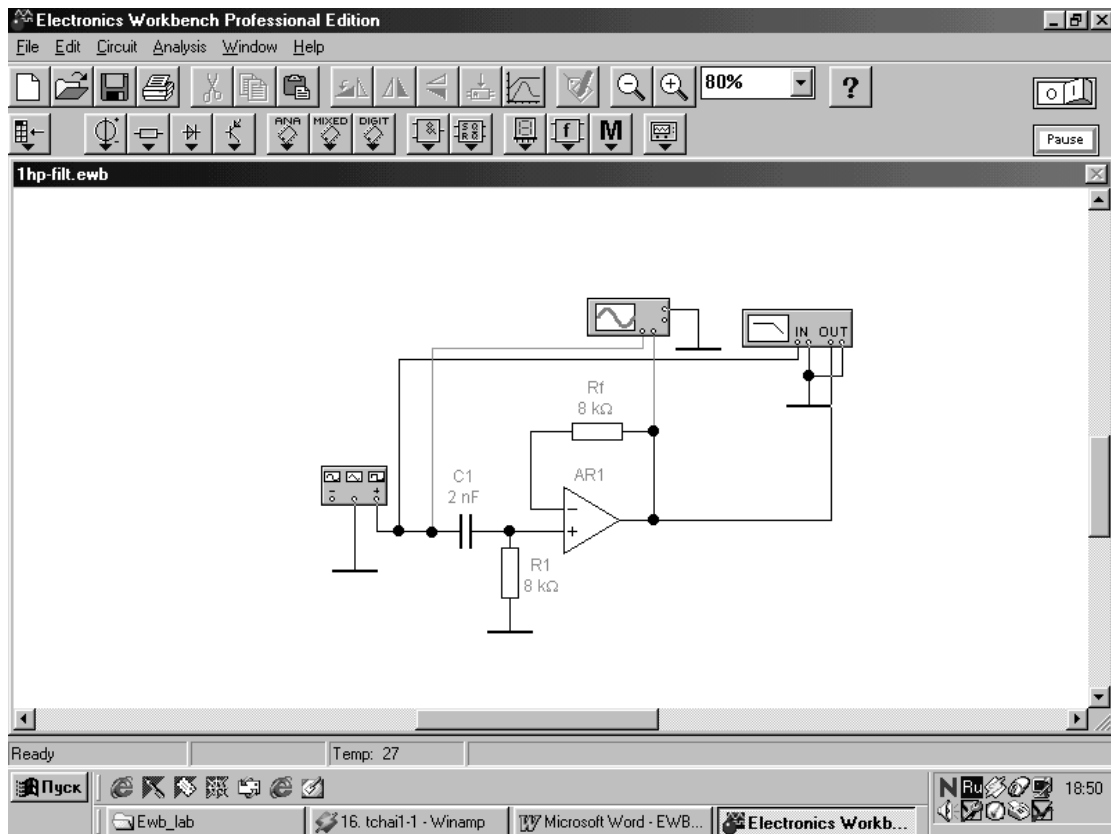


Рис. 1.1 Окно программы EWB 5.x.

Окно содержит строку команд меню, строку основных типовых электронных устройств, поле для составления исследуемой схемы и полосы управления прокруткой.

1.2 Основные команды меню:

Меню File:

первые четыре команды меню типовые и пояснений не требуют.

- **Revert to Saved** - стирание всех изменений, внесенных в текущем сеансе редактирования, и восстановление схемы в первоначальном виде.

- **Install** - установка дополнительных программ с жёстких дисков.

- **Import** - импорт текстовых файлов описания схемы .

- **Export** - составление текстового описания схемы и задания на моделирование в формате SPICE.

Меню Edit:

- **CUT** - стирание (вырезание) выделенной части схемы с сохранением в буфере обмена. Выделение одного компонента производится щелчком мыши на изображении компонента. Для выделения части схемы или нескольких компонентов курсор мыши в левый угол воображаемого прямоугольника, охватывающего выделяемую часть, нажать левую кнопку мыши и, не отпуская её, протянуть курсор по диагонали этого прямоугольника, контуры которого появляются уже в начале движения мыши, и затем отпустить кнопку. Выделенные компоненты окрашиваются в красный цвет.

- **COPY** - копирование выделенной части схемы в буфер обмена.

- **PAST**- вставка содержимого буфера обмена на рабочее поле программы. Фрагмент затем ещё будучи отмеченным перетаскивается с помощью мыши в нужное место.

- **DELETE** - стирание выделенной части схемы.

- **SELECT ALL** - выделение всей схемы.

- **COPYBITS** - команда превращает курсор мыши в крестик, которым по правилу прямоугольника можно выделить нужную часть экрана, после отпускания левой кнопки мыши выделенная часть копируется в буфер обмена, после чего его содержимое может быть импортировано в любое приложение Windows. Копирование всего экрана производится нажатием клавиш Print Screen; копирование активной в данный момент части экрана, например, диалогового окна - комбинацией Alt+Print Screen.

- **Show Clipboard**- показать содержимое буфера обмена.

- **Copy as Bitmap** - копирует выделенный участок в буфер обмена.

Меню Circuit - используется при подготовке схем, а также для задания параметров моделирования.

- **Activat** - запуск моделирования.

- **Stop** - остановка моделирования. Эти две команды дублируются нажатием кнопки выключателя, расположенного в правом верхнем углу экрана.

- **Pause** - прерывание моделирования.

- **Label** - ввод позиционного обозначения выделенного компонента с помощью диалогового окна.

- **Value** - изменение номинального значения параметра компонента с помощью диалогового окна.

- **Model** - выбор модели компонента, команда выполняется также двойным щелчком по компоненту. Работа с меню, как и во всех

других подобных случаях, заканчивается нажатием кнопок **Accept** или **Cancel**

- с сохранением или без сохранения введённых изменений.

- **Zoom** - раскрытие (развёртывание) выделенной подсхемы или контрольно-измерительного прибора, команда выполняется также двойным щелчком мыши по иконке компонента или прибора.

- **Rotate**- вращение выделенного компонента.

- **Fault** - имитация неисправности выделенного компонента путём введения:

 - leakage- сопротивления утечки,

 - short - короткого замыкания,

 - open - обрыва,

 - none - отсутствие неисправности (включено по умолчанию).

- **Subcircuit** - преобразование предварительно выделенной части схемы в подсхему.

- **Wire Color** - изменение цвета предварительно выделенного проводника. Расцветка проводников важна в случае применения логического анализатора, в этом случае цвет проводника определяет цвет временной диаграммы.
- **Preferences**- выбор элементов оформления схемы в соответствии с меню.

1.3 Технология создания электрических и электронных схем.

Для создания схем, рассматриваемых в рамках лабораторных работ по курсу «Схемотехника дискретных устройств» достаточно воспользоваться имеющимися типовыми компонентами.

Для открытия нужной библиотеки компонентов нужно подвести курсор мыши к соответствующей иконке и нажать один раз её левую кнопку. В выпадающем множестве выбирается необходимый значок, и передвигается при удержании левой клавиши мыши на рабочее поле программы. Для установки параметров необходимо двойным нажатием левой кнопкой мыши раскрыть меню настройки параметров компонента. Выбор подтверждается нажатием кнопкой **Accept** и клавишей **Enter**.

После размещения компонентов производится соединение их выводов проводниками. При этом необходимо учитывать, что к выводу компонента можно подключить только один проводник.

Для выполнения подключения курсор мыши подводится к выводу компонента и после появления прямоугольной площадки синего цвета, нажимается левая кнопка и появляющийся при этом проводник протягивается к выводу другого компонента до появления на нём такой же прямоугольной площадки, после чего кнопка мыши отпускается и соединение готово. При необходимости подключения к этим выводам других проводников в библиотеке **Passive** выбирается точка (символ соединения) и переносится на ранее установленный проводник. После удачной постановки точки к проводнику подсоединяется ещё два проводника.

Если необходимо переместить отдельный сегмент проводника, к нему подводится курсор, нажимается левая кнопка и после появления в

вертикальной или горизонтальной плоскости двойного курсора производятся нужные перемещения.

Подключение к схеме контрольно-измерительных приборов производится аналогично. Причём для таких приборов, как осциллограф или логический анализатор, соединения целесообразно проводить цветными проводниками, поскольку их цвет определяет соответствующую осциллограмму.

1.4 Основные компоненты пакета EWB.

Компонент - **Выход из EWB.**



Вспомогательные компоненты -**группа SOURCES:**



- заземление (метка) точка нулевого потенциала в схеме.



- источник фиксированного напряжения +5 вольт



- генератор однополярных прямоугольных импульсов (амплитуда, частота, коэффициент заполнения).

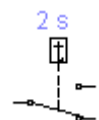
Основные пассивные элементы - **группа BASIC:**



- точка соединения проводников.



- переключатель, управляемый нажатием задаваемой клавиши клавиатуры (в квадратных скобках), по умолчанию - клавиша пробела.



- переключатель, автоматически срабатывающий через заданное время на включение и выключение (время в секундах).

Индикаторные приборы - группа **INDICATORS**.



- светоиндикатор (свет свечения может быть настроен красным, зелёным и синим).



- семи сегментный индикатор с дешифратором.



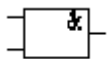
- семи сегментный индикатор.

10 W/12 V

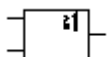


- лампа накаливания.

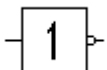
Логические элементы - группа **LOGIC GATES**



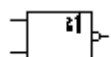
- логический элемент "И"



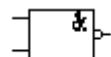
- логический элемент "ИЛИ"



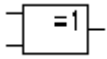
- логический элемент "НЕ"



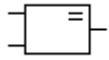
- логический элемент "ИЛИ-НЕ"



- логический элемент "И-НЕ"

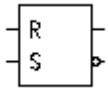


- логический элемент исключающее “ИЛИ”

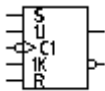


- логический элемент импликация

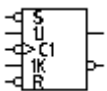
Комбинированные цифровые компоненты.



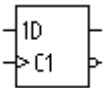
- асинхронный RS-триггер



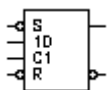
- универсальный JK-триггер с прямым тактовым входом и входами предустановки



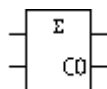
- универсальный JK-триггер с инверсным тактовым входом и инверсными входами предустановки



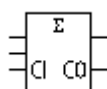
- D-триггер без предустановки



- D- со входами предустановки



- полусумматор



- полный сумматор

Приборы, группа **INSTRUMENTS:**

- логический анализатор

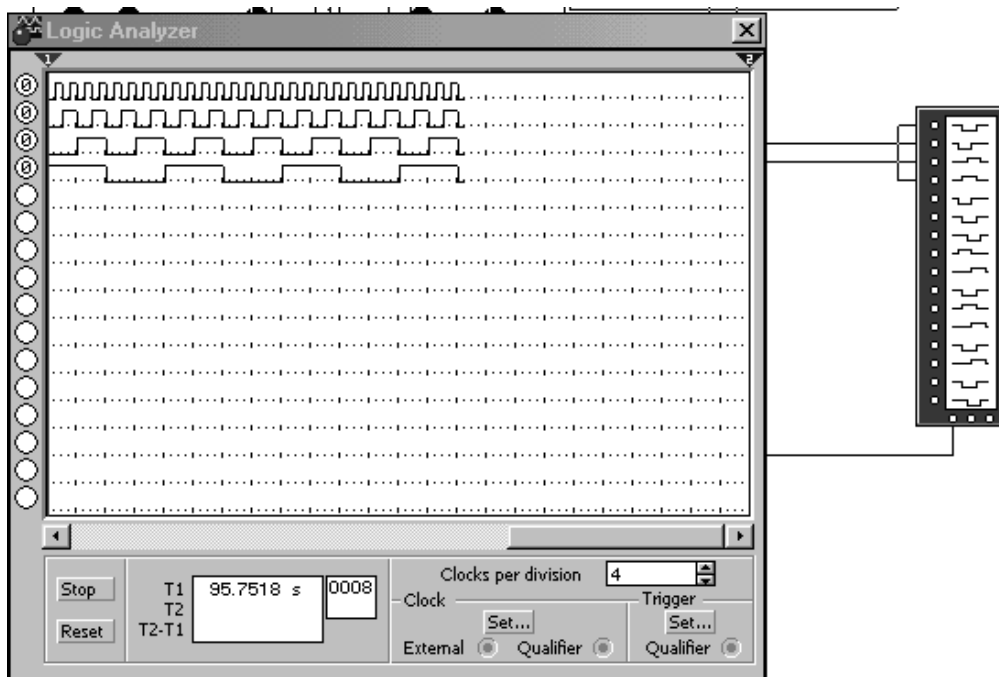


Рис. 1.2 Развёрнутое информационное поле логического анализатора.

- генератор слова Word Generator.

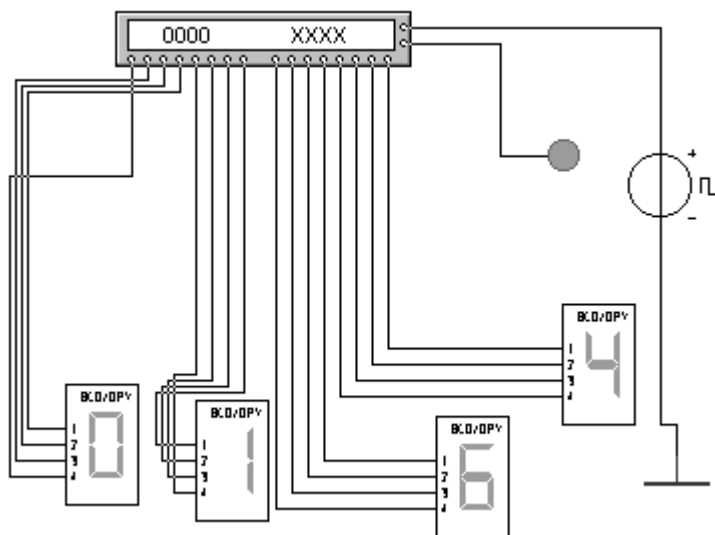
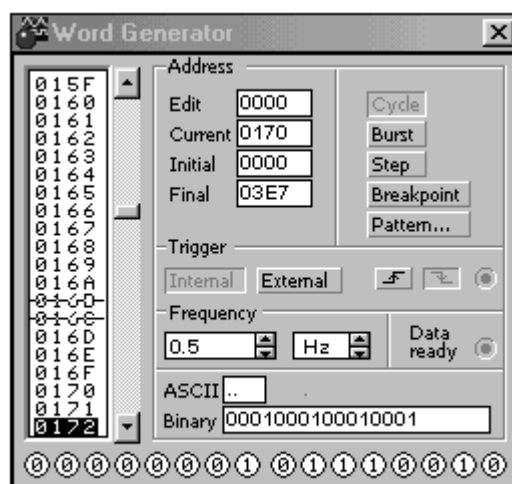


Рис. 1.3 Свернутая панель генератора кодов Word Generator.



- генератор слова - **Word Generator**

Рис. 1.4 Развернутая панель прибора Word Generator

На рис. 1.3 показан генератор слова с подключенными семи сегментными индикаторами и внешним генератором синхроимпульсов.

На рис. 1.4. генератор слова показан в развёрнутом виде.

Генератор (или кодовый генератор) предназначен для генерации

16-ти разрядных двоичных слов, которые набираются пользователем на экране, расположенным в левой части лицевой панели. Для набора двоичных комбинаций необходимо щёлкнуть мышью на соответствующем разряде и затем ввести с клавиатуры число в десятичном коде.

Сформированные слова выдаются на шестнадцать расположенных в нижней части прибора выходных клемм-индикаторов:

- с индикацией в двоичном коде в строке окна binary;
- в пошаговом (step), циклическом (cycle) или с выбранного слова до конца (при нажатии кнопки BURST) при заданной частоте посылок (установка заданием частоты в окнах FREQUENCY);
- при внутреннем или внешнем запуске (при нажатии кнопки EXTERNAL, справа верхняя клемма служит для подключения сигнала синхронизации);
- при запуске по переднему или заднему фронту сигнала синхронизации служит кнопка



- на правую нижнюю клемму выдается выходной синхронизирующий импульс.

Логический преобразователь - **Logic Converter**.

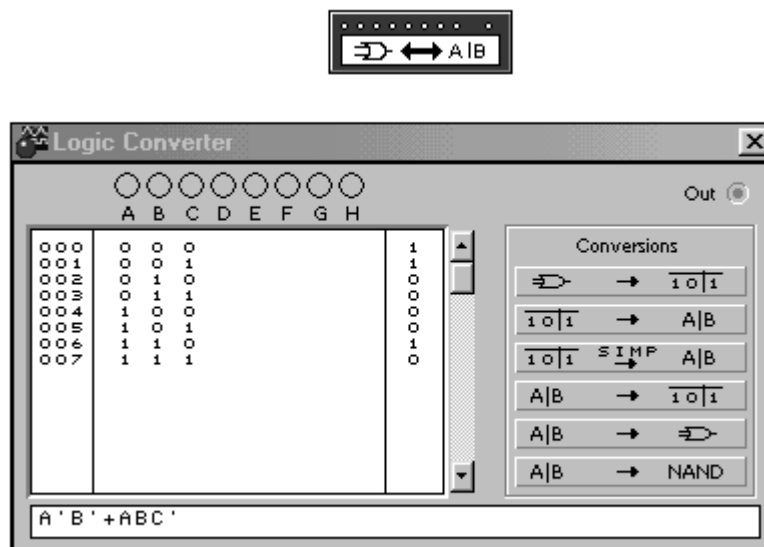
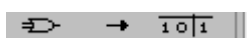


Рис. 1.5 Логический преобразователь - **Logic Converter**.

На лицевой панели преобразователя показаны клеммы-индикаторы входов A,B,.....H и одного выхода OUT, экран для отображения таблицы истинности исследуемой схемы, экран-строка для отображения её булевого выражения (в нижней части).

Логический анализ n-входового устройства с одним выходом может осуществлять следующие действия, используя кнопки управления:

1.



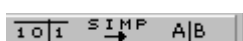
- таблицу истинности исследуемого устройства;

2.



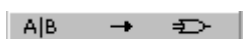
- булево выражение, реализуемое устройством;

3.



- минимизированное булево выражение;

4.



- схему устройства на логических элементах без ограничения их типа;

5.

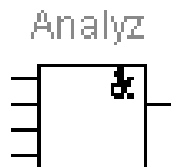


- схему устройства только на логических элементах И-НЕ.

1.5 Описание технологии и пример составления схемы для исследования.

Пусть требуется собрать схему анализа логического элемента "И".

В группе Logic Gates, выбирается логический элемент "И".

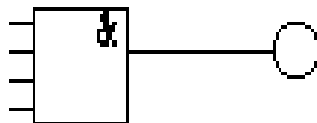


Двумя щелчками мыши на изображении логического элемента переходим к настройкам параметров логического

элемента "И". Выбираем количество входов, например 4.

Можно присвоить название логическому элементу.

К выходу логического элемента присоединяем из группы **INDICATORS**



красный светодиод.

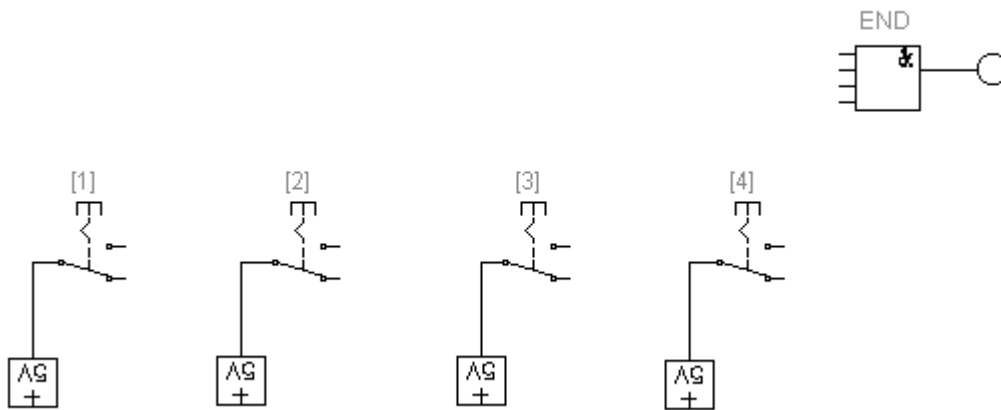
Для получения логического сигнала (0 или 1) удобно воспользоваться источником напряжения



и переключателем



Затем набираем 4 источника и 4 переключателя



При этом присваиваем каждому переключателю клавишу переключения.

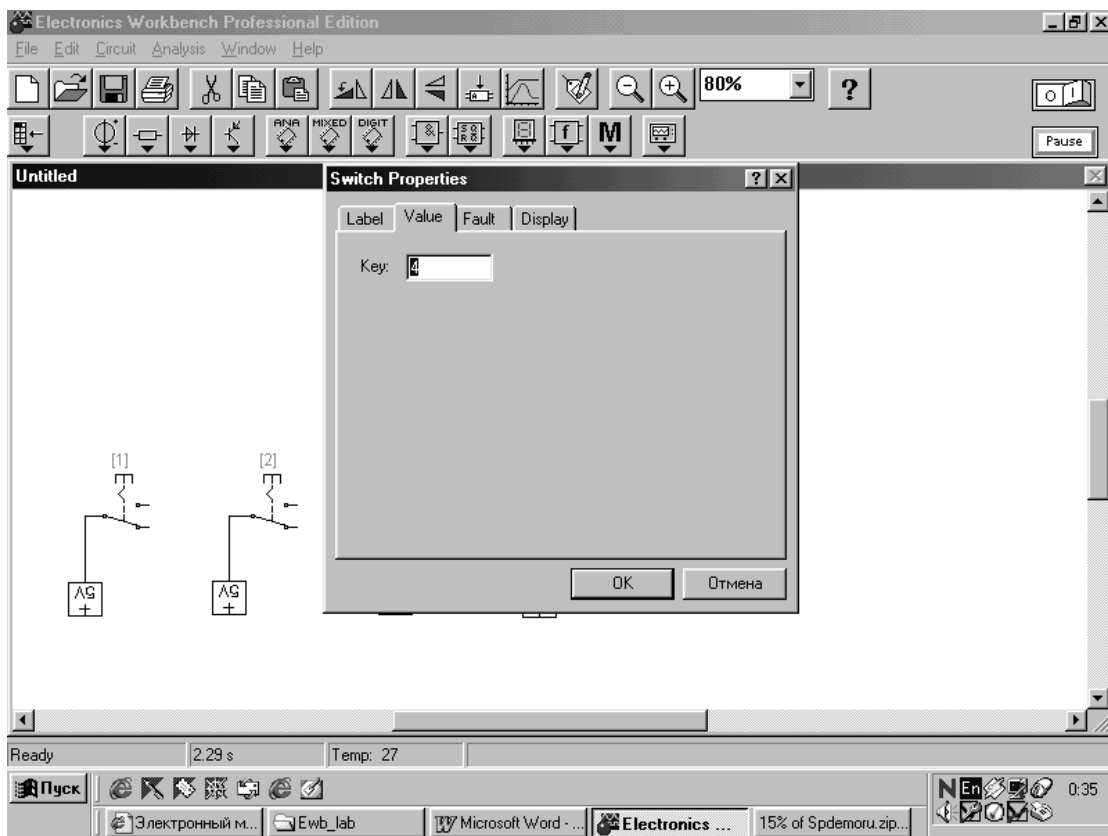


Рис. 1.6. Меню назначения управляющих клавиш.

Затем соединяем входы логической схемы "И" с каждым из переключателей.

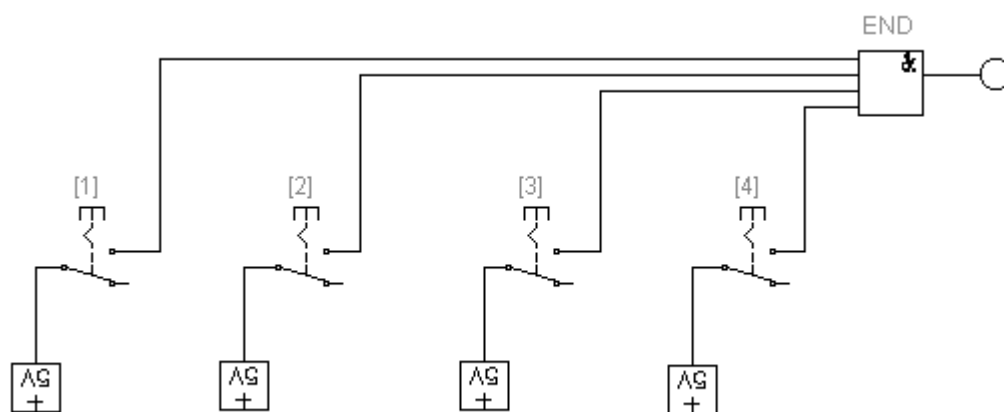


Рис. 1.7 Схема исследования функционирования логического элемента «И» (END) при значениях «0» на всех входах.

Проверка состоит в подаче различных кодовых комбинаций кодов на входы логического элемента «И».

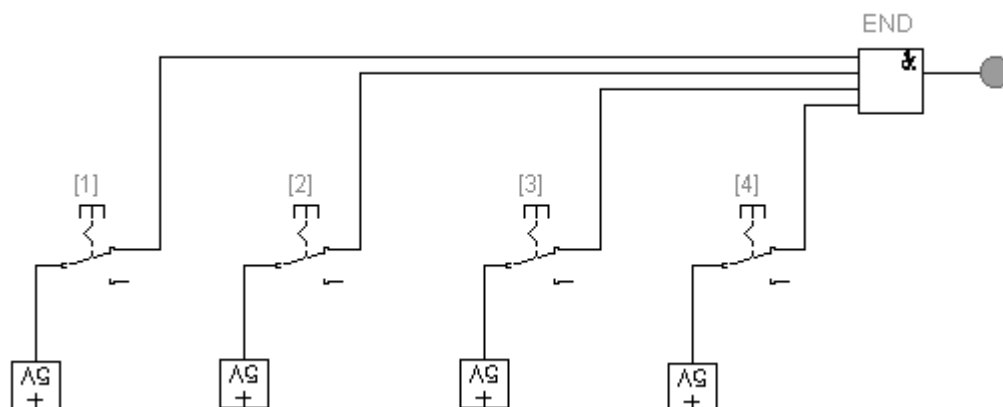


Рис. 1.8 Схема исследования функционирования логического элемента «И» при значениях «1» на всех входах.

На выходе логической схемы «И» появляется логическая 1 (горит светодиод) только при подаче логических 1 (потенциал 5 вольт) на все четыре входа логической схемы «И».

2. Задание на выполнение лабораторной работы.

2.1. Собрать переключательные схемы (рис. 1.9), содержащие по два переключателя, источник напряжения 12 вольт, сопротивление 1 ом и лампочку на 12 вольт. В последующих схемах применить параллельное подключение переключателей и другие необходимые сочетания.

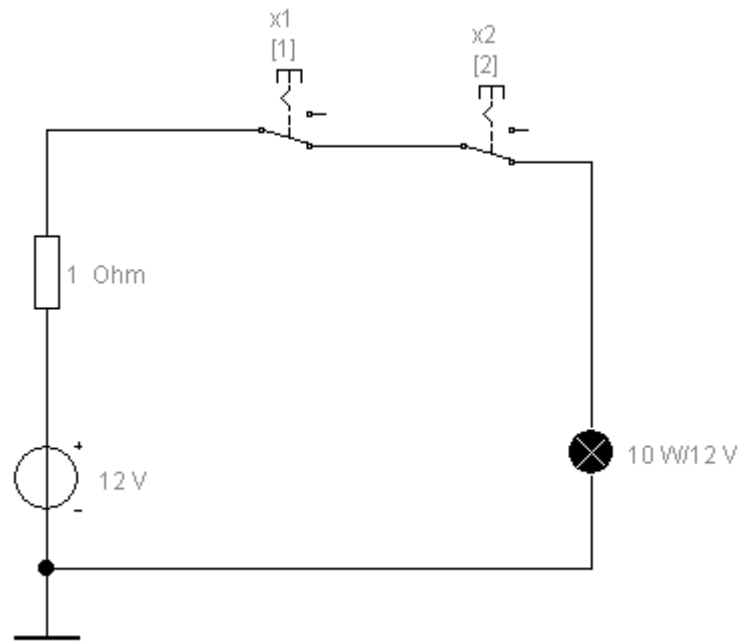


Рис. 1.9. Пример реализации переключательной схемы с двумя переключателями, соединёнными последовательно.

Собрать электрические схемы, работающие по логике логических элементов «И». «ИЛИ». «НЕ». «И-НЕ». «ИЛИ-НЕ».

Составить таблицу поведения булевой функции для схемы рис. 1.10

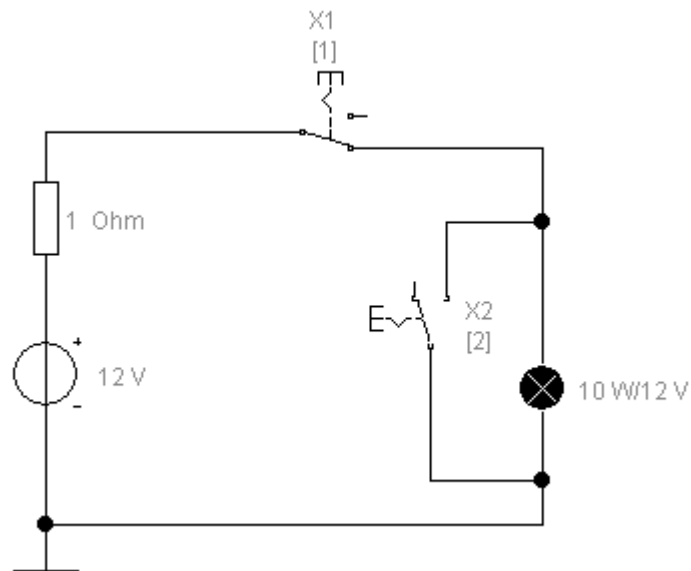


Рис. 1.10 Схема для самостоятельного определения булевой функции, соответствующей работе схемы.

2.2. Собрать схему для исследования логических элементов (рис. 1.11).

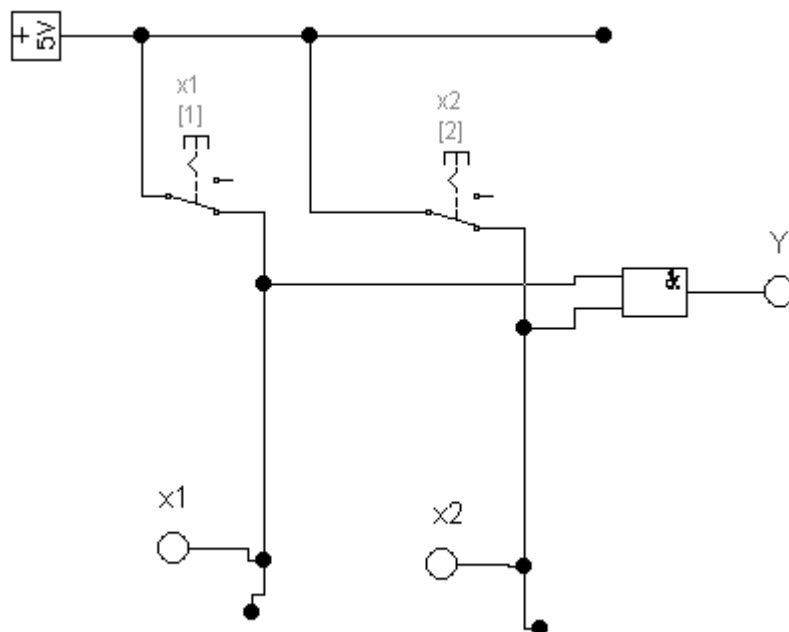


Рис. 1.11 Схема для исследования логических элементов.

Использовать данную схему для подключения семи логических элементов из закладки Logic Gate.

2.3. Найти соответствие работы переключательной схемы и соответствующего логического элемента. Зафиксировать поведение функции Y в таблицах для каждой переключательной схемы и каждого логического элемента по образцу табл.1. Считать замкнутое состояние переключателя соответствующим состоянию переменной $x_n = 1$, разомкнутое $x_n = 0$.

Таблица результатов исследования логического элемента. Таблица 1.

x_1	x_2	Y
0	0	
0	1	
1	0	
1	1	

3. Содержание отчета

1. Правила запуска и настройки программного моделирующего комплекса EWB.
2. Перечень основных элементов из библиотеки EWB, необходимый для моделирования логических схем и цифровых устройств ЭВМ.
3. Исследуемая переключательная схема, схема исследования логического элемента, функция поведения которого эквивалентна работе переключательной схемы. Таблица поведения функции от двух входных сигналов x_1, x_2 для каждой переключательной схемы и логического элемента из множества элементов «LOGIC GATES».

4. Контрольные вопросы.

1. Какие логические элементы имеются в библиотеке EWB?
2. Какие параметры являются настраиваемыми в генераторе прямоугольных импульсов?
3. Как производятся соединения более двух входов или выходов между собой?
4. Какой командой можно скопировать изображение схемы в отчёт по лабораторной работе, подготавливаемой в текстовом редакторе WORD?
5. С помощью, каких элементов можно смоделировать подачу логической 1 и логического 0?

Часть 2. Синтез комбинационных схем на логических элементах. (Учётный шифр: Л 1.2)

Цель работы - реализация различных двоичных функций, заданных таблицей истинности, при помощи логических элементов с потенциальным способом задания информации. Освоение применения законов, теорем и правил преобразования булевых функций с целью получения схем с наименьшим количеством элементов. Приобретение навыков построения эквивалентных комбинационных схем на различных логических элементах.

Продолжительность работы: 4 часа.

1. Краткие теоретические сведения об объекте исследования.

В цифровой вычислительной технике (ЦВТ) вся информация, необходимая для вычислительного процесса, представляется в виде набора дискретных сигналов. Каждый из сигналов может принимать одно из двух возможных значений, обозначаемых «1» и «0». Символ «1» обозначает наличие сигнала, «0» – его отсутствие.

В схемах цифровых вычислительных устройств переменные и соответствующие им сигналы изменяются и воспринимаются не непрерывно, а лишь в дискретные моменты времени, обозначаемые целыми положительными числами.

$$t_i = 0, 1, \dots, i, \dots, n$$

При потенциальном способе представления информации при положительной логике двум значениям переменной “1” и “0” соответствует высокий и низкий уровни напряжения. Потенциальный сигнал сохраняет постоянный уровень (нулевой или единичный) в течение периода представления информации (такта).

Понятие о комбинационной схеме и цифровом автомате.

Преобразование информации в ЦВТ производится электронными устройствами двух классов: комбинационными схемами и цифровыми автоматами или автоматами с памятью.

В комбинационных схемах (КС), называемых также автоматами без памяти, совокупность выходных сигналов (выходное слово Y) в дискретный момент времени t_i однозначно определяется входными сигналами (входным словом X), поступившим на входы в тот же дискретный момент времени.

Реализуемый в этих схемах способ обработки информации называется комбинационным, т.к. результат обработки информации зависит от комбинации входных сигналов и вырабатывается сразу после подачи на входы входной информации.

Закон функционирования КС определен, если задано соответствие между входными словами и её выходными словами в табличной или аналитической форме.

$$Y_i = f_i(x_1, x_2, \dots, x_n)$$

В алгебре логики (булевой алгебре) обычно все X_i и Y_i могут принимать только два значения: 0 и 1. В этом случае функции $f_1 \dots f_m$ обобщены Шенноном в следующую теорему:

Операция инвертирования произвольной комбинации двоичных переменных, связанных знаками дизъюнкции и конъюнкции эквивалентна замене в этой комбинации исходных значений двоичных переменных их инверсными значениями при одновременной смене знаков дизъюнкции и конъюнкции.

$$f(x_1, x_2, \dots, x_p, \text{ " + " }, \text{ " * " }) = f(x_1, x_2, \dots, x_p, \text{ " * " }, \text{ " + " }).$$

Двоичной (булевой) функцией называется двоичная переменная (y), значения которой зависят от значений других двоичных переменных (x_1, x_2, \dots, x_p), называемых аргументами, т.е.

$$Y = f(x_1, x_2, \dots, x_p).$$

Чтобы задать двоичную функцию, необходимо каждому из возможных сочетаний (наборов) её аргументов поставить в соответствие определенное значение функции “у” т.е. 1 или 0, поскольку двоичная функция, как и её аргументы принимает только два значения 1 или 0.

При числе аргументов функции равном “р”, полное число различных наборов аргументов

$$P = 2^p .$$

Поскольку каждому набору могут соответствовать два значения “у” (0 или 1), то общее число различных функций от “р” аргументов будет определяться следующим соотношением

$$F = 2^{2^p}.$$

Для $p=1$, $F=4$ т.е. существует 4 функции одного переменного, табл.2

Таблица функции одной переменной. Таблица. 2

X	0	1	Выражение $y=f(x)$	Наименование $y=f(x)$
№ п/п	Значение f(x)			
0	0	0	$y_0=0$	Константа 0
1	0	1	$y_1=x$	Повторение
2	1	0	$Y_2 = \bar{x}$	Функция НЕ
3	1	1	$y_3=1$	Константа 1

Для $p=2$, $F=16$, т.е. существует 16 различных функций от двух переменных, табл.3.

Любая комбинационная схема может быть построена с применением лишь трех видов логических элементов (технических аналогов булевых функций – дизъюнкции, конъюнкции, инверсии): элемента ИЛИ, элемента И, элемента НЕ соответственно. Следовательно, совокупность элементов ИЛИ, И, НЕ является функционально полной системой.

Функционально полной системой является также система, состоящая из одиночного элемента И-НЕ (элемент Шеффера) или одиночного элемента ИЛИ-НЕ (элемент Пирса), или одиночного элемента И-ИЛИ-НЕ.

Таблица функций двух переменных.

Таблица 3.

x ₁	0	1	0	1	Выражение функции $y=f(x_1,x_2)$ через три основные операции	Наименование функции $y=f(x_1,x_2)$
x ₂	0	0	1	1		
№ п/п	Значения $y=f(x_1,x_2)$					
0	0	0	0	0	$y=0$	Константа нуля
1	0	0	0	1	$y_1=x_1*x_2=x_1\wedge x_2$	Конъюнкция
2	0	0	1	0	$y=\overline{x_1}*x_2=x_2\rightarrow\overline{x_1}$	Запрет по x ₁
3	0	0	1	1	$y_3=x_2$	Тавтология x ₂
4	0	1	0	0	$y_4=x_1*\overline{x_2}=\overline{x_1\rightarrow x_2}$	Запрет по x ₂
5	0	1	0	1	$y_5=x_1$	Тавтология x ₁
6	0	1	1	0	$y_6=\overline{x_1}*x_2+x_1*\overline{x_2}=x_1\oplus x_2$	Исключающее ИЛИ
7	0	1	1	1	$y_7=x_1+x_2=x_1\vee x_2$	Дизъюнкция
8	1	0	0	0	$y_8=\overline{x_1+x_2}=x_1\downarrow x_2$	Стрелка Пирса
9	1	0	0	1	$y_9=\overline{x_1}*x_2+x_1*\overline{x_2}=x_1\sim x_2$	Равнозначность
10	1	0	1	0	$y_{10}=\overline{x_1}$	Инверсия x ₁
11	1	0	1	1	$y_{11}=\overline{x_1}+x_2=x_1\rightarrow x_2$	Импликация от x ₁ к x ₂
12	1	1	0	0	$y_{12}=\overline{x_2}$	Инверсия x ₂
13	1	1	0	1	$y_{13}=x_1+\overline{x_2}=x_2\rightarrow x_1$	Импликация от x ₂ к x ₁
14	1	1	1	0	$y_{14}=\overline{x_1*x_2}=x_1\setminus x_2$	Штрих Шеффера
15	1	1	1	1	$y_{15}=1$	Константа единицы

На основе элемента Шеффера можно получить, используя законы алгебры логики, три основные логические функции ИЛИ, И, НЕ, составляющие основной функционально полный набор (ОФПН) функций.

$$x_1 + x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}; \quad x_1 \cdot x_2 = \overline{\overline{x_1} + \overline{x_2}}; \quad \overline{x} = x \cdot x$$

На рис.1.12 приведены условные графические обозначения (УГО) основных логических элементов: ИЛИ, И, НЕ, ИЛИ-НЕ, И-НЕ, И-ИЛИ-НЕ

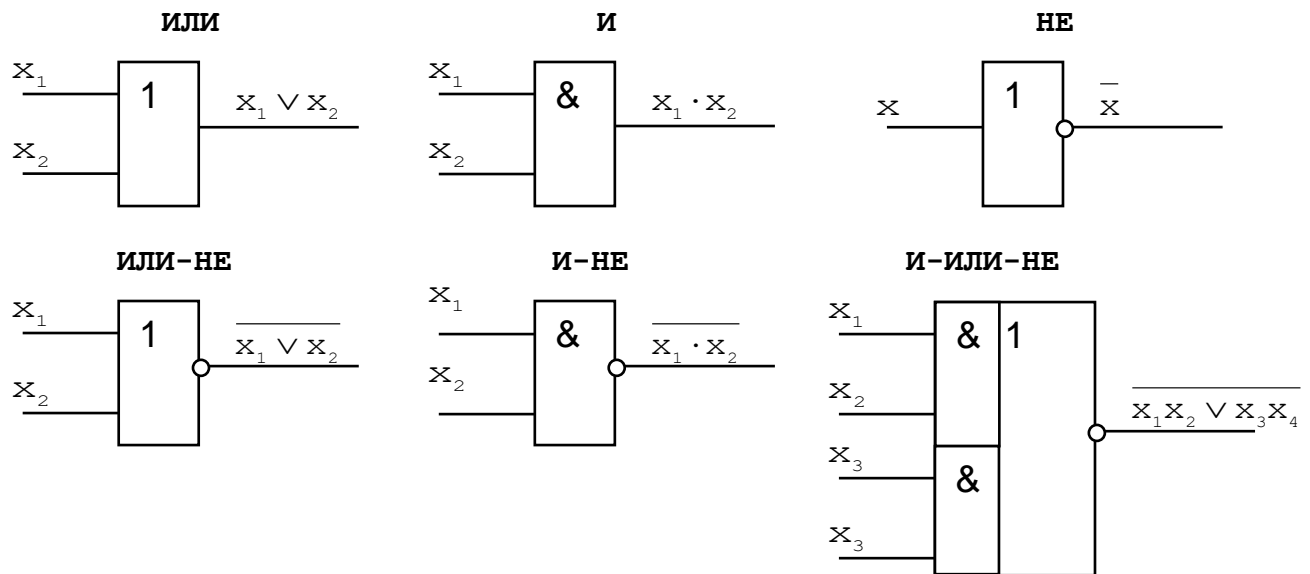


Рис. 1.12 УГО логических элементов: ИЛИ, И, НЕ, ИЛИ-НЕ, И-НЕ, И-ИЛИ-НЕ.

Функциональная полнота системы элементов И-НЕ иллюстрируется на рис.1.13.

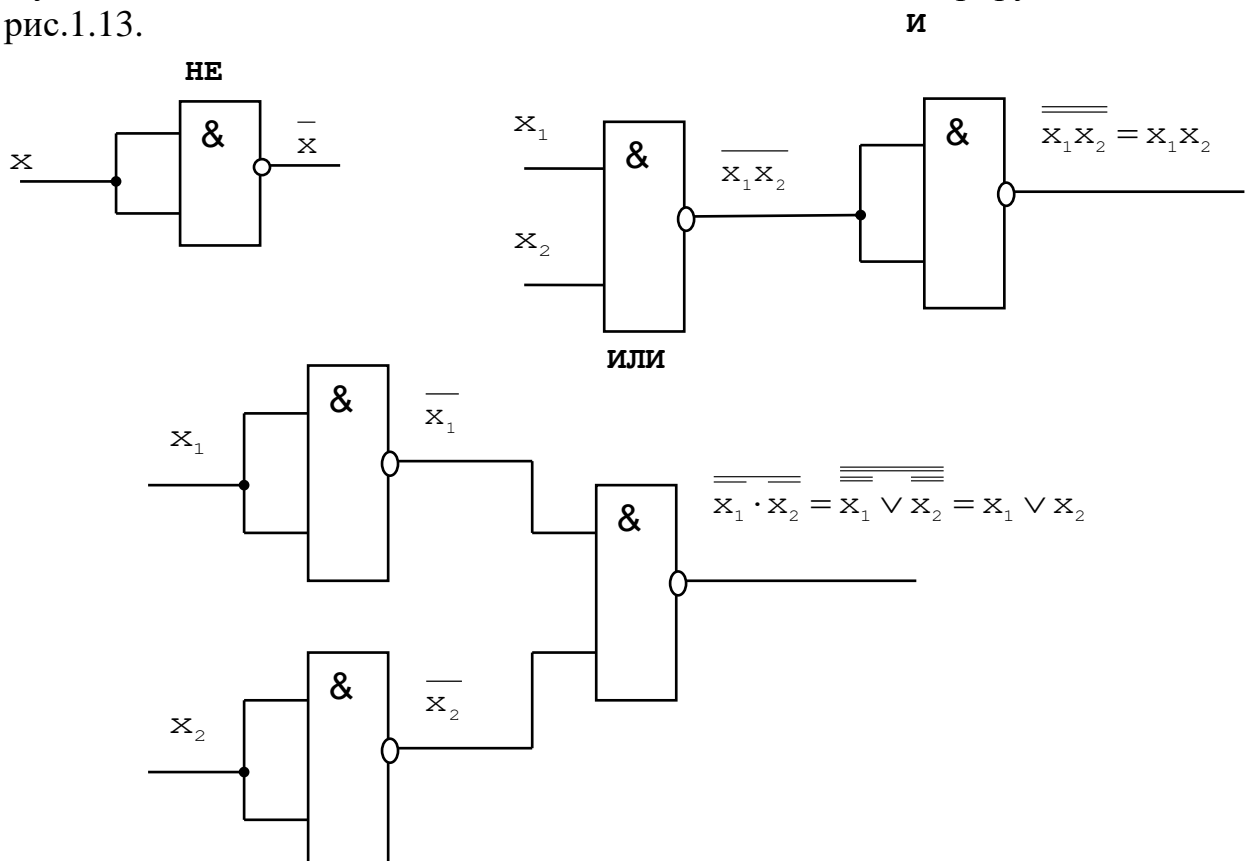


Рис. 1.13 Схемы реализации элементов «НЕ», «И», «ИЛИ» на основе элементов «И-НЕ».

Аналогично можно показать функциональную полноту системы элементов «ИЛИ-НЕ»; «И-ИЛИ-НЕ».

Синтез комбинационных схем.

Существуют различные способы задания или представления булевых функций:

1. Словесное представление функций.

Например: функция от трех аргументов принимает значение 1, если два любых аргумента или все три равны 1. Во всех других случаях функция равна 0.

Этим высказыванием значения выходной функции соответствующей схемы полностью задано.

2. Табличный способ.

При этом способе функция представляется в виде таблицы истинности, в которой записываются все возможные наборы аргументов и для каждого набора устанавливается значение функции 0 и 1.

3. Алгебраический способ.

От таблицы истинности можно перейти к алгебраической форме представления функции. В такой форме удобно производить различные преобразования функций, например, с целью их минимизации.

Дизъюнктивная нормальная форма (ДНФ) представляет собой логическую сумму элементарных логических произведений, в каждое из которых аргумент или его отрицание входят не более одного раза.

Например: $f(x_1, x_2, x_3) = \bar{x}_1 \bar{x}_2 + x_2 \bar{x}_3 + \bar{x}_1 x_2 \bar{x}_3$

Если каждое слагаемое содержит все переменные или их отрицания, то в этом случае логическая функция представлена в совершенной дизъюнктивной нормальной форме (СДНФ).

Конъюнктивная нормальная форма (КНФ) представляет собой логическое произведение элементарных логических сумм, в каждую из которых аргумент или его отрицание входят не более одного раза.

Например: $f(x_1, x_2, x_3) = (\bar{x}_1 + \bar{x}_2)(x_2 + x_3)(\bar{x}_1 + x_2 + \bar{x}_3)$

Переход от таблицы истинности к СДНФ можно осуществить следующим путем. Для каждого набора, на котором функция равна единице, записывается произведение всех аргументов, причем, если аргумент в этом наборе принимает значение "0", то пишется его отрицание. Затем производится логическое сложение этих элементарных произведений.

Для перехода от таблицы истинности к СКНФ логической функции, по каждому набору двоичных переменных, на котором функция принимает значение "0", записывается дизъюнкция всех переменных, и полученные дизъюнкции логически перемножаются. При записи логических сумм инвертируются те переменные, которые в таблице истинности имеют значение единицы.

Пример написания СДНФ и СКНФ логической функции. Пусть логические функции y_1 и y_2 заданы в виде таблицы истинности, табл.4.

Таблица функций трёх переменных. Таблица 4.

x_1	x_2	x_3	y_1	y_2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	1	0

Тогда СДНФ и СКНФ логических функций y_1 и y_2 запишутся следующим образом:

$$Y_1^{СДНФ} = \overline{x_1} \overline{x_2} x_3 + \overline{x_1} x_2 x_3 + x_1 \overline{x_2} x_3 + x_1 x_2 x_3$$

$$Y_1^{СКНФ} = (x_1 + x_2 + x_3)(x_1 + \overline{x_2} + x_3)(\overline{x_1} + x_2 + x_3)(\overline{x_1} + \overline{x_2} + x_3)$$

$$Y_2^{СДНФ} = \overline{x_1} \overline{x_2} x_3 + \overline{x_1} x_2 \overline{x_3} + \overline{x_1} x_2 x_3 + x_1 x_2 \overline{x_3}$$

$$Y_2^{СКНФ} = (x_1 + x_2 + x_3)(\overline{x_1} + \overline{x_2} + \overline{x_3})$$

Комбинационные схемы, реализующие вышеприведенные СДНФ и СКНФ логических функций, должны содержать, соответственно:

$Y_1^{сднф}$ —четыре трех входовые схемы «И» и одна четырех входовая схема «ИЛИ»,

$Y_1^{скнф}$ —четыре трех входовые схемы «ИЛИ» и одна четырех входовая схема «И»,

$Y_2^{сднф}$ —шесть трех входовых схем «И» и одна шести входовая схема «ИЛИ»,

$Y_2^{скнф}$ —две трех входовые схемы «ИЛИ» и одна двух входовая схема «И».

Минимизация булевых функций.

Основная задача состоит в получении такой формы, которой соответствует логическая функция с минимальным числом элементов. Различают несколько методов минимизации булевых функций.

При эвристических методах преобразования логических функций, использующих законы алгебры логики. Конечный вид минимизируемой функции в значительной степени зависит от квалификации и опыта разработчика цифровых устройств.

Методы Квайна и Мак-Класки используются, вследствие четко сформулированных правил проведения отдельных операций, для минимизации сложных функций по разработанным алгоритмам с использованием ЭВМ.

Метод карт Карно или карт Вейча, отличающихся способом обозначения строк и столбцов таблицы истинности, нашел применение при минимизации логических функций с числом двоичных переменных не более 5-6.

Метод карт Карно.

Карту Карно можно рассматривать как графическое представление совокупности всех наборов переменных для данного числа переменных. Каждый набор переменных изображается на карте в виде клетки. Таким образом, при $n=3$ карта имеет 8 клеток, а при $n=6$ – 64 клетки, рис. 1.14 и рис. 1.15 соответственно.

$x_1x_2 \backslash x_3$	00	01	11	10
0				
1				

Рис. 1.14. Карта Карно для функции трех переменных.

$x_1x_2x_3 \backslash x_4x_5x_6$	000	001	011	010	110	111	101	100
000								
001								
011								
010								
110								
111								
101								
100								

Рис.1.15. Карта Карно для функции шести переменных.

Карта Карно образуется путем такого расположения клеток, при котором наборы переменных, находящиеся в соседних клетках, отличаются значением одной переменной. В картах Карно соседними считаются также крайние клетки каждого столбца или строки. Расположенные в них наборы переменных отличаются значением одной переменной.

Минтермы логической функции, т.е. наборы двоичных переменных, при которых эта функция равна 1, отмечаются единицами в соответствующих

клетках. Для наборов переменных, не входящих в логическую функцию соответствующие им клетки остаются пустыми.

Логическая функция, записанная в СДНФ или заданная в виде таблицы истинности, переносится на карту Карно. Затем карта покрывается контурами. В контур может входить 2^n рядом расположенных клеток, содержащих единичное значение логической функции, т.е. 2, 4, 8 и т.д. точек. Допускается пересечение контуров.

Два минтерма, находящиеся в соседних клетках, т.е. в одном контуре, могут быть заменены одним логическим произведением, содержащим на одну переменную меньше. Исключается та переменная, которая меняет своё значение при переходе из одной клетки в другую. Если соседними являются две пары минтермов, то такая группа из четырех минтермов может быть заменена конъюнкцией двоичных переменных, содержащих на две переменных меньше. В общем случае, наличие единиц в 2^n соседних клетках позволяет исключить n переменных.

При минимизации с помощью карт Карно рекомендуется следовать следующему правилу:

Необходимо образовывать контура в которые входило бы максимально возможное количество клеток с минтермами - произведение будет наиболее простым. Контуров должно быть как можно меньше, чтобы было меньше слагаемых.

После покрытия карты контурами производится их анализ с точки зрения уменьшения числа переменных. На основе анализа контуров записывается минимизированная ДНФ (МДНФ) логической функции в виде логической суммы логических произведений двоичных переменных. При этом двоичные переменные, имеющие единичное значение записываются без инверсии, а имеющие нулевое значение с инверсией.

Минимизацию с помощью карт Карно можно использовать и для логических функций представленных в СКНФ. В этом случае, наборы двоичных переменных, при которых логическая функция равна 0 (макстермы),

отмечаются нулями в соответствующих клетках карты. Аналогично образуются контура, охватывающие клетки с макстермами, далее контура анализируются, и записывается минимальная КНФ (МКНФ) логической функции в виде логического произведения логических сумм двоичных переменных, в которых двоичные переменные, имеющие нулевое значение, записываются без инверсии, а имеющие единичное значение с инверсией.

В качестве примера минимизации с помощью карт Карно взяты логические функции, приведенные в табл.4.

Карта Карно для функции Y_1 приведена на рис.1.16.

$X_3 \backslash X_1 X_2$	00	01	11	10
0	0	1	0	0
1	1	1	1	1

Рис.1.16. Карта Карно для функции Y_1

Карта Карно для функции y_2 приведена на рис. 1.17.

$X_3 \backslash X_1 X_2$	00	01	11	10
0	0	1	1	1
1	1	1	1	1

Рис.1.17. Карта Карно для функции y_2 .

Карты Карно для функций y_1 и y_2 приведены на рис. 1.16 и рис. 1.17 соответственно. После минимизации с помощью карт Карно получают следующие минимальные дизъюнктивная и конъюнктивная нормальные формы логических функций y_1 и y_2 :

$$y_1^{днф} = x_3 + \overline{x_1}x_2,$$

$$y_1^{мкнф} = (\overline{x_1} + x_3)(x_2 + x_3),$$

$$y_2^{днф} = x_1 + x_2 + x_3,$$

$$y_2^{мкнф} = x_1x_2x_3.$$

При реализации логических функций на элементах Шеффера (И-НЕ) необходимо дважды проинвертировать МДНФ функций y_1 и y_2 :

$$y_1^{шеф} = \overline{\overline{x_3x_1x_2}},$$

$$y_2^{шеф} = \overline{\overline{x_1x_2x_3}}$$

Схемы реализации функций y_1 и y_2 на элементах Шеффера приведены на рис.1.18 и рис.1.19.

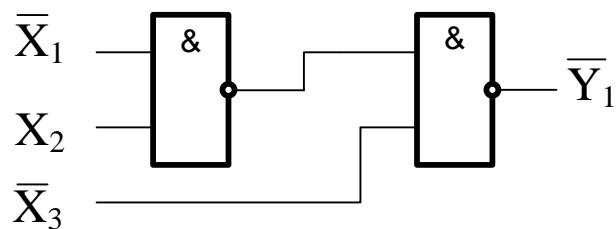


Рис. 1.18 Схема функции Y_1 .

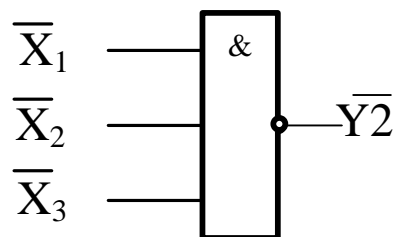


Рис. 1.19 Схема функции Y_2 .

2. Методика подготовки схем для исследования.

2.1. В табл. 5 заданы варианты для выполнения задания по п. 3.1. – 3.7.

Таблица 11-ти вариантов булевых функций от трёх переменных. Таблица 5.

X_1	X_2	X_3	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Y_{11}
0	0	0	1	1	0	0	1	0	1	0	0	0	0
0	0	1	1	1	1	1	0	0	1	0	0	0	0
0	1	0	1	0	0	1	1	1	0	0	0	0	0
0	1	1	0	0	1	0	0	1	1	0	1	0	1
1	0	0	0	0	1	0	0	1	0	1	0	1	0
1	0	1	0	0	0	1	1	1	0	1	0	0	1
1	1	0	0	1	1	1	0	0	0	1	1	1	1
1	1	1	0	1	0	0	1	0	0	0	1	1	1

2.2. Создание схемы исследования комбинационных схем.

Для подачи прямых и инверсных значений переменных строится следующая схема рис. 1.20

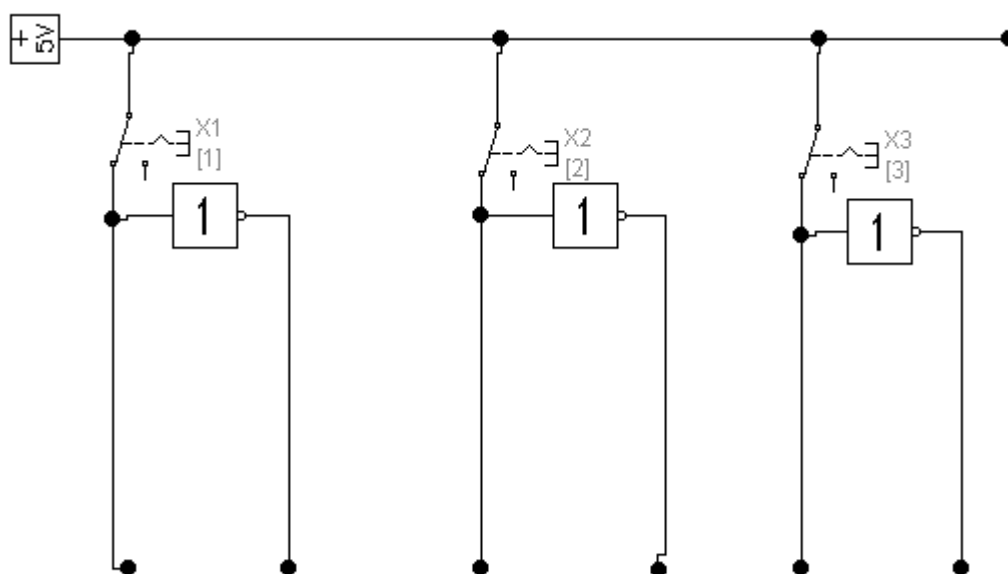


Рис. 1.20 Схема подачи кодов переменных и их инверсных значений.

Например, $Y_{11} = \overline{x_1}x_2x_3 + x_1\overline{x_2}x_3 + x_1x_2\overline{x_3} + x_1x_2x_3$ для варианта 11
выражение булевой функции (СДНФ) выглядит следующим образом:

$$Y_{11} = \overline{x_1}x_2x_3 + x_1\overline{x_2}x_3 + x_1x_2\overline{x_3} + x_1x_2x_3$$

Этому выражению соответствует комбинационная схема, присоединённая к
схеме подачи кодов переменных рис. 1.21

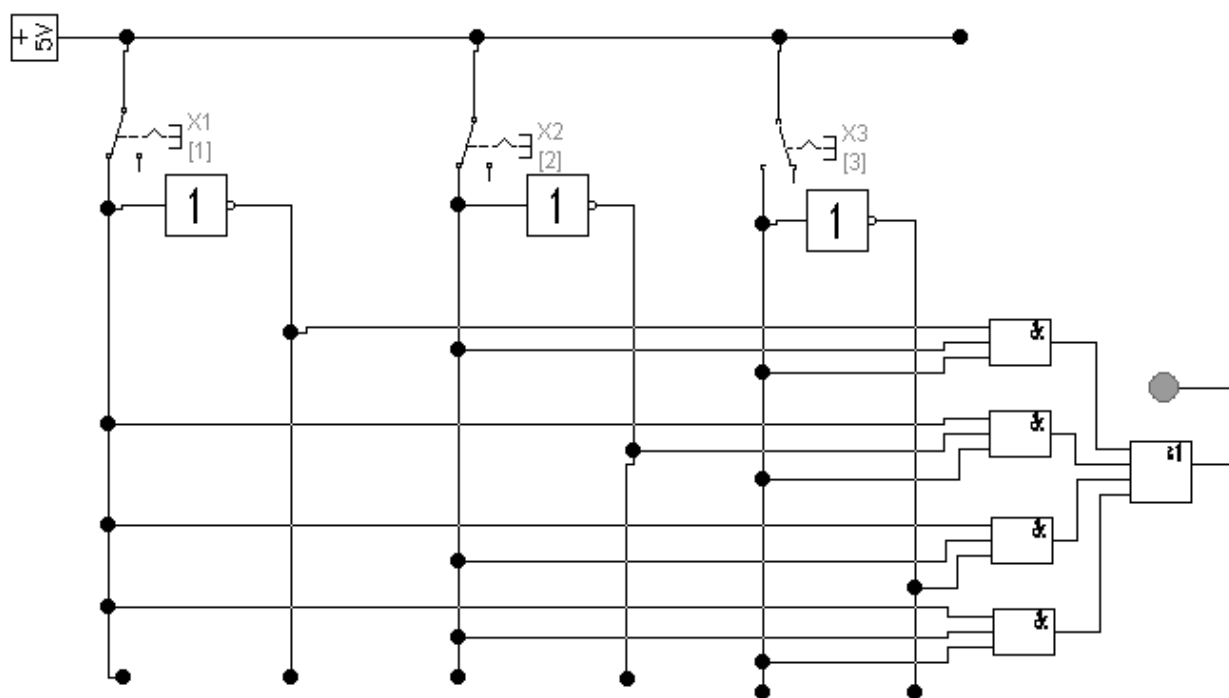


Рис. 1.21 Окончательно сформированная схема исследования комбинационной
схемы.

Для увеличения количества входов у логического элемента необходимо
двойным щелчком по данному элементу вызвать контекстное меню его
настройки и в закладке number of input отметить требуемое число входов.

Для задания комбинаций значений входных переменных удобно
Использовать Генератор двоичных слов Word Generator из закладки
Instruments рис. 1.22.



Рис. 1.22 Вид закладки «Инструменты» (Instruments).

На пиктограмме генератора слова изображено 01X. Курсором при нажатой левой клавише перетаскиваем его на рабочее поле и соединяем с входами логических элементов.

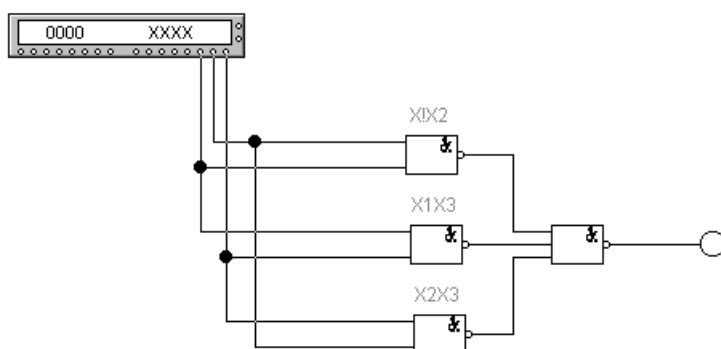


Рис.1.23 Исследуемая комбинационная схема (пример).

Нижний горизонтальный ряд точек это выходные клеммы шестнадцатиразрядного слова генератора. В данном примере используются три переменных, поэтому используем три правых (младших) «клеммы» и соединяем их с входами логических элементов И-НЕ согласно полученному выражению для функции Y . Далее необходимо настроить генератор слова. Для этого необходимо установить курсор на его изображении и дважды щёлкнуть левой клавишей мыши. Появится его изображение в развёрнутом виде:

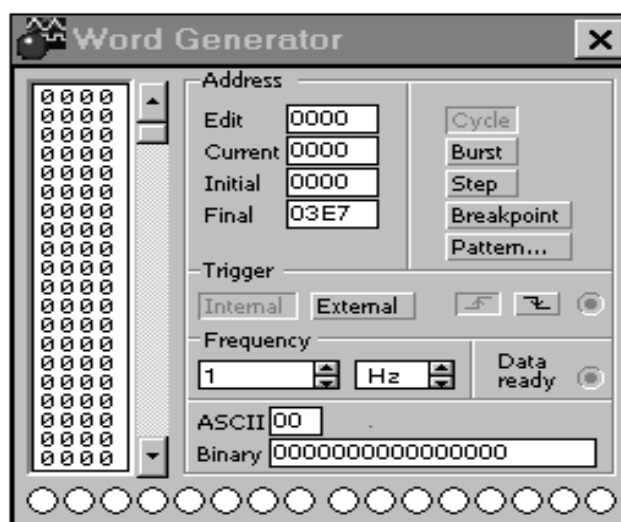


Рис.1.24. Главное меню генератора слов (кодов).

Генератор предназначен для генерации 16-разрядных двоичных слов, которые набираются пользователем на экране, расположенном в левой части лицевой панели. Для набора двоичных комбинаций необходимо щелкнуть мышью на соответствующем разряде и затем ввести с клавиатуры 0 или 1. Дальнейшие перемещения по полю экрана удобнее проводить не с помощью мыши, а клавишами управления курсором. Содержимое экрана можно стереть, загрузить новое значение или записать в файл соответствующими кнопками. При записи в полученном текстовом файле с расширением *.dp будет записано в виде таблицы содержимое экрана с указанием номеров строк (слов). При необходимости его можно отредактировать и загрузить снова.

Номер редактируемой ячейки фиксируется в окошке "Edit" блока "Adress". Всего таких ячеек и, следовательно, комбинации - 2048. В процессе работы генератора в отсеке "Adress" индицируется номер текущей ячейки "Current", ячейки инициализации или начала работы "Initial" и конечной ячейки "Final". Выдаваемые на 16 выходов кодовые комбинации индицируются в текстовом "ASCII" и двоичном коде "Binary".

Сформированные слова выдаются на 16 расположенных в нижней части прибора выходных клемм-индикаторов.

Внешний запуск (нажата кнопка "External") по готовности данных (клемма "Data ready"). Сигнал с этого выхода сопровождает каждую выдаваемую на выход кодовую комбинацию и используется в этом случае, когда исследуемое устройство обладает свойством квитирования (подтверждения). В этом случае после получения очередной кодовой комбинации и сопровождающего его сигнала "Data ready" исследуемое устройство должно выдать сигнал подтверждения получения данных, который подается на вход синхронизации генератора (клемма в блоке "Trigger") и производит очередной запуск генератора.

Органы управления:

Breakpoint - прерывание работы генератора в указанной ячейке. При этом требуемая ячейка выбирается на дисплее генератора курсором, а затем нажимается кнопка "Breakpoint". После нажатия на кнопку "Pattern" появится меню:

Clear buffer - стереть содержимое всех ячеек.

Open - открыть (загрузить) кодовые комбинации из файла.

Save - записать все комбинации в файл.

Up counter - заполнить буфер экрана кодовыми комбинациями, начиная с 0 в нулевой ячейке и далее с прибавлением 1 в каждой последующей ячейке.

Down counter - заполнить буфер экрана комбинациями, начиная с FFFF в нулевой ячейке и далее с уменьшением на 1.

Shift right - заполнить каждые 4 ячейки комбинациями 1-2-4-8 со смещением их в следующих четырех ячейках вправо.

Shift left - то же самое, но со смещением влево.

Для удобства анализа таблицы устанавливаем приемлемую частоту выдачи слов в 1 Гц.

Нажав кнопку Pattern получаем подменю Presaved pattern:

Отмечаем точкой опцию Up counter для создания последовательности значений переменных, соответствующей приведённой таблице. Для подтверждения затем нажимается кнопка «Асцепт».

Для запуска теста включаем электронный макет (выключатель в правой стороне панели инструментов).

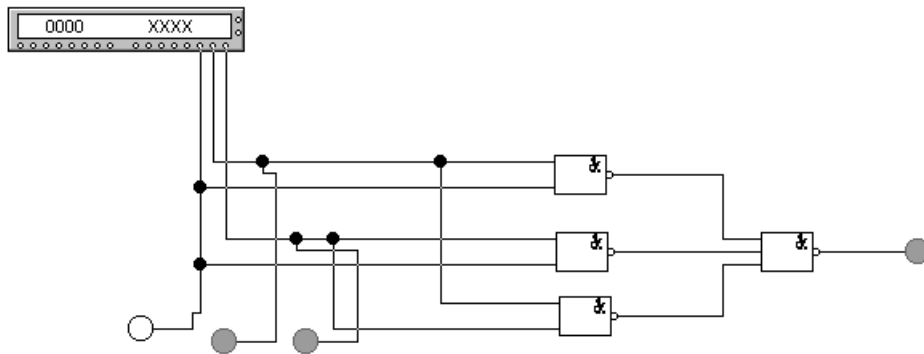


Рис. 1.25. Итоговая схема подключения для проверки правильной работы комбинационной схемы.

3. Задание на выполнение лабораторной работы

3.1. Получить у преподавателя номер варианта булевой функции по таблице трёх переменных табл. 5.

3.2. Записать СДНФ в соответствии с вариантом. Собрать комбинационную схему исследования по СДНФ в базисе основного функционально полного набора. Проверить на соответствие табл.5.

3.3. Записать СКНФ в соответствии с вариантом. Собрать комбинационную схему исследования по СКНФ в базисе основного функционально полного набора. Проверить на соответствие табл.5.

3.4. Произвести минимизацию СДНФ по Карте Карно. Записать минимизированное выражение в ДНФ. Собрать и исследовать комбинационную схему, собранную на элементах «И», «ИЛИ», «НЕ» на соответствие табл.5.

- 3.5. Минимизированное выражение в ДНФ преобразовать в базис «И-НЕ», собрать и исследовать комбинационную схему на соответствие табл.5.
- 3.6. Произвести минимизацию СКНФ по Карте Карно. Записать минимизированное выражение в КНФ. Собрать и исследовать комбинационную схему, собранную на элементах «И», «ИЛИ», «НЕ» на соответствие табл.5.
- 3.7. Минимизированное выражение в КНФ преобразовать в базис «ИЛИ-НЕ», собрать и исследовать комбинационную схему на соответствие табл.5.
- 3.8. Получить у преподавателя вариант булевой функции от 4-х переменных, заданной в табличной форме.
- 3.9. Провести минимизацию функции 4-х переменных согласно заданному условию (к ДНФ или к КНФ). Преобразовать минимизированное полученное выражение в заданный базис. Собрать комбинационную минимизированную схему на элементах указанного базиса. Провести исследование на соответствие таблице полученного варианта.

4. Содержание отчёта.

- 4.1. Таблица с вариантом истинности булевой функции, выданная преподавателем.
- 4.2. Запись булевой функции в совершенной дизъюнктивной нормальной форме (СДНФ).
- 4.3. Материалы по минимизации заданной логической функции (СДНФ): изображение карты Карно с выделенными контурами.
- 4.4. Запись минимизированного выражения в базисах «И-ИЛИ-НЕ» и «И-НЕ».
- 4.5. Запись булевой функции в совершенной конъюнктивной нормальной форме (СКНФ).
- 4.6. Материалы по минимизации заданной логической функции (СКНФ): изображение карты Карно с выделенными контурами.
- 4.7. Запись минимизированного выражения в базисах «И-ИЛИ-НЕ» и «ИЛИ-НЕ».
- 4.8. Схема исследования поведения функций в программе EWB, включающая не минимизированные комбинационные схемы по СДНФ и СКНФ, минимизированные комбинационные схемы в базисах «И-ИЛИ-НЕ»,

«И-НЕ» и «ИЛИ-НЕ».

5. Контрольные вопросы.

- 5.1. Каким свойством обладает функционально полный набор логических элементов?
- 5.2. Перечислите три функционально-полных набора логических функций.
- 5.3. С помощью какого закона можно сделать преобразование булевой функции, из одного функционально-полного набора в другой?
- 5.4. Перечислите известные вам методы минимизации булевых функций.
- 5.5. Какая цель достигается при возможности минимизации булевой функции?
- 5.6. Сформулируйте правило обозначений последовательностей кодов переменных в карте Карно.
- 5.7. Какое количество переменных можно объединять в контур на карте Карно?
- 5.8. Считаются ли соседними диагональные клетки в прямоугольной Карте Карно?
- 5.9. В чём состоит отличие комбинационной схемы от цифрового автомата?
- 5.10. В чём состоит отличие записи дизъюнктивной и конъюнктивной формы булевой функции, заданной табличным способом?

Лабораторная работа № 2.

«Исследование узлов на основе логических элементов»

**Часть 1. Исследование дешифраторов, шифраторов,
мультиплексоров, демультиплексоров.**

Часть 2. Исследование триггеров.

Часть 1. Исследование дешифраторов, шифраторов, мультиплексоров, демультимплексоров. (Учётный шифр: Л 2.1)

Цель работы - исследование работы дешифраторов, шифраторов, мультиплексоров и демультимплексоров. Изучение возможности использования различного базиса для построения альтернативных комбинационных схем данных устройств. В результате проведения лабораторной работы студент должен уметь применять исследованные функциональные устройства для формирования более сложных узлов вычислительной техники, входящих в программу курса. Приобретение практических навыков для выполнения домашнего задания.

Продолжительность лабораторной работы: 4 часа.

1. Краткие теоретические сведения об объекте исследования.

1.1 Дешифраторы.

Дешифратором называется комбинационная схема с несколькими входами и выходами, преобразующая код, подаваемый на входы, в сигнал на одном из выходов (так называемый унарный код). Если на входы дешифратора подаются двоичные переменные, то на одном из выходов дешифратора вырабатывается сигнал 1, а на остальных выходах сохраняются нули.

В общем случае дешифратор с n входами имеет 2^n выходов рис.2.1, так как n -разрядный код входного слова может принимать 2^n различных значений и каждому из этих значений соответствует сигнал единицы на одном из выходов дешифратора. Число входов и выходов в так называемом полном дешифраторе связано соотношением $m=2^n$, где n — число входов, а m — число выходов. Если в работе дешифратора используется неполное число выходов, то такой дешифратор называется неполным. Так, например, дешифратор, имеющий 4 входа и 16 выходов, будет полным, а если бы выходов было только 10, то он являлся бы неполным.

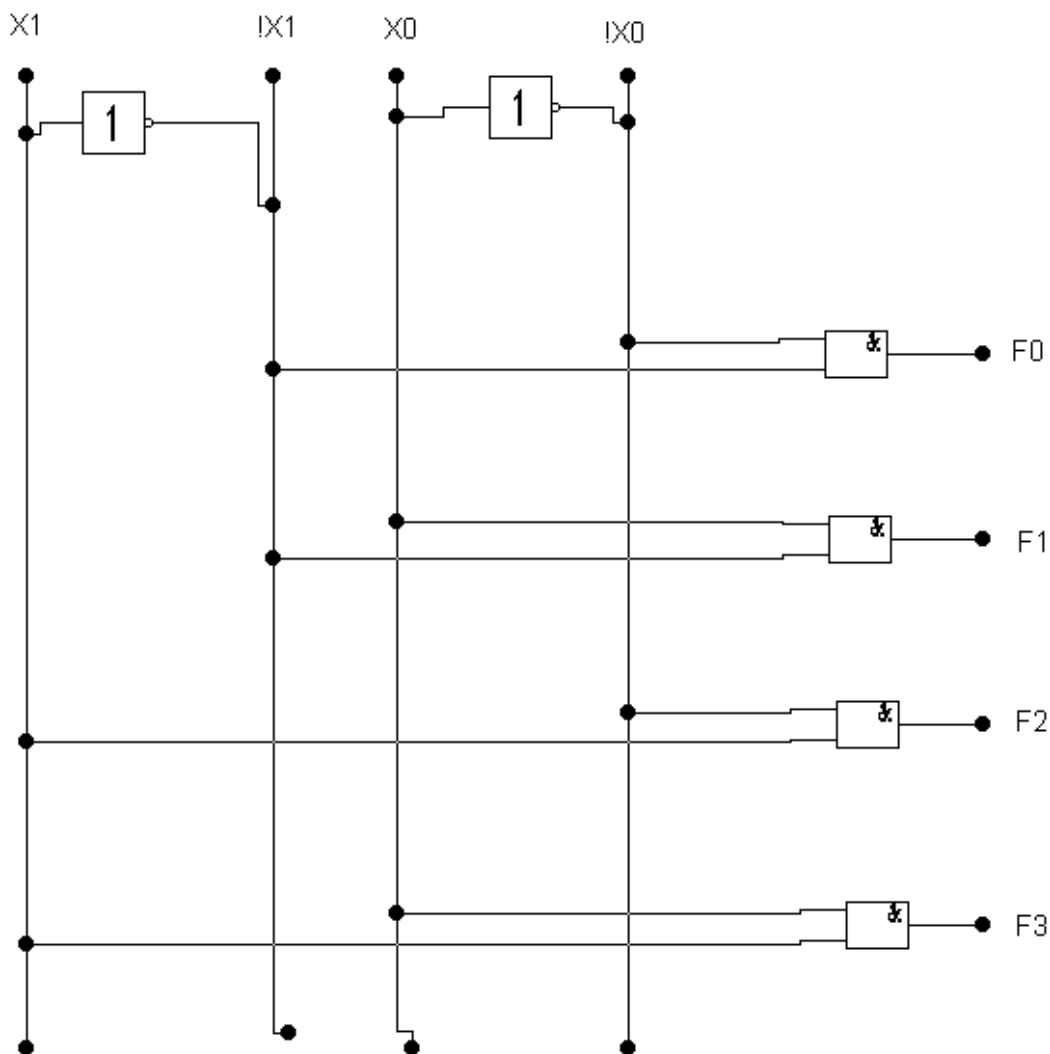


Рис. 2.1. Линейный дешифратор на два входа и четыре выхода.

Дешифраторы устанавливаются в схемах компьютеров на выходах регистров или счётчиков и служат для преобразования кода слова, находящегося в регистре (в счётчике), в управляющий сигнал на одном из выходов дешифратора.

На рис. 2.1. показан способ построения дешифратора на примере схемы дешифратора на два входа и четыре выхода. Схема представляет собой набор из четырёх двухвходовых элементов «И», на входы которых поданы все возможные комбинации прямых и инверсных разрядов слова.

В схеме дешифратора может быть организован дополнительный вход для сигнала разрешения E . При $E=0$ дешифратор не работает даже при наличии кода на его входах, а при $E=1$ работает как обычный линейный дешифратор. Такого вида схемы выпускаются в составе комплексов интегральных логических элементов.

Из логических элементов, являющихся дешифраторами, можно строить дешифраторы на большее число входов, при этом, как правило, используются дешифраторы с дополнительными входами сигнала разрешения. Каскадное включение таких схем позволяет легко наращивать число дешифруемых переменных. Принцип построения схемы каскадного дешифратора нетрудно понять, обратившись к рис. 2.2. Здесь показан дешифратор на четыре входа, построенный из дешифраторов на два входа с дополнительным входом разрешения. Вход разрешения обозначен на рис.2.2 символом «С».

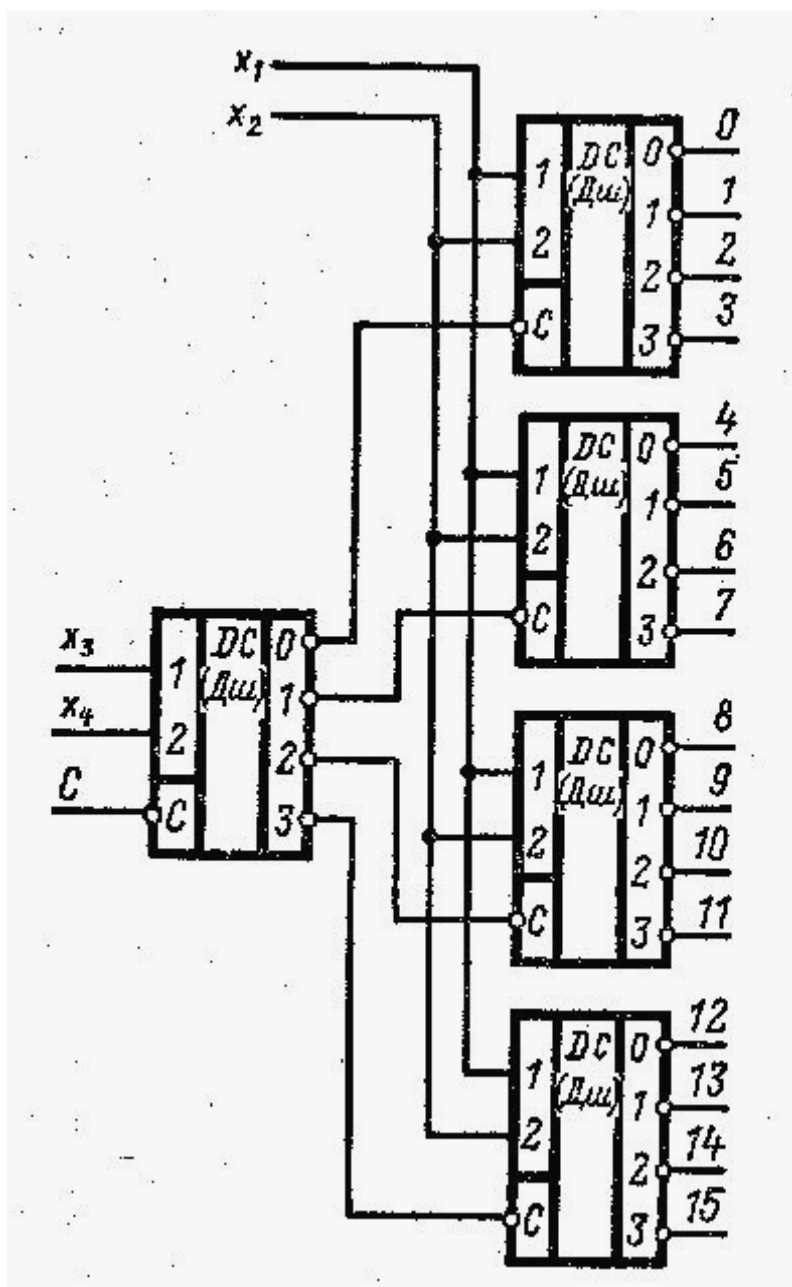


Рис. 2.2 Каскадный дешифратор на 4 входа и 16 выходов.

Второй принцип использования схем дешифраторов с недостаточным количеством входов заключается в построении матричных дешифраторов рис.2.3. В матричной схеме используются два идентичных по размерности дешифратора, выходы одного образуют горизонтальные линии, выходы другого - вертикальные линии. Эти линии составляют матрицу, но не соединяются между собой.

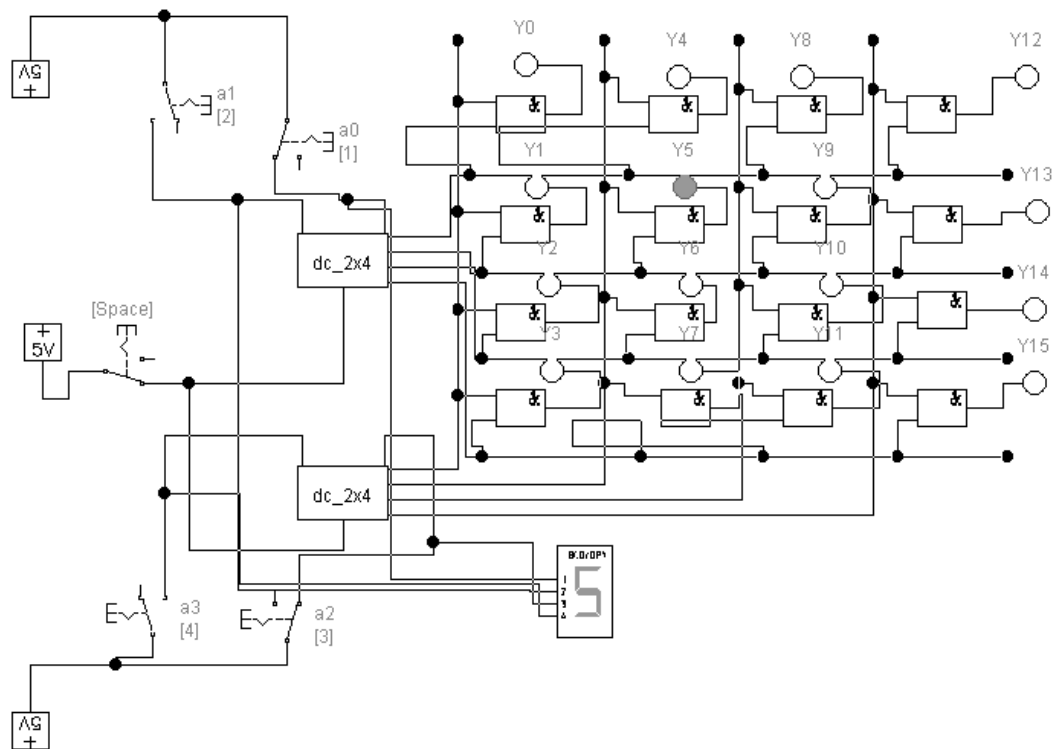


Рис. 2.3 Матричный дешифратор 4x16.

В ячейках этой сетки матрицы устанавливаются логические элементы «И» или «И-НЕ», один из входов которых соединяется с горизонтальной линией (выход), другой с вертикальной линией. Выходы этих логических элементов и будут выходами построенного дешифратора большей размерности.

1.2 Шифраторы.

Шифратор — это комбинационное устройство, преобразующее унарный код (например, десятичные числа) в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду.

Шифратор иногда называют «кодером» (от англ. coder) и используют, например, для перевода десятичных чисел, набранных на клавиатуре кнопочного пульта управления, в двоичные числа.

Если количество входов настолько велико, что в шифраторе используются все возможные комбинации сигналов на выходе, то такой шифратор называется полным, если не все, то неполным. Число входов и выходов в полном шифраторе связано соотношением $n = 2m$, где n — число входов, m — число выходов. Так, для преобразования кода кнопочного пульта в четырехразрядное двоичное число достаточно использовать лишь 10 входов, в то время как полное число возможных входов будет равно 16, поэтому шифратор 10x4 (из 10 в 4) будет неполным.

Рассмотрим пример построения шифратора для преобразования десятиразрядного единичного кода (десятичных чисел от 0 до 9) в двоичный код. При этом предполагается, что сигнал, соответствующий логической единице, в каждый момент времени подается только на один вход.

$$Y_0 = K_1 + K_3 + K_5 + K_7 + K_9;$$

$$Y_1 = K_2 + K_3 + K_6 + K_7;$$

$$Y_2 = K_4 + K_5 + K_6 + K_7;$$

$$Y_3 = K_8 + K_9$$

По данным выражениям строится схема шифратора 10x4 рис.2.4.

Шифратор может быть реализован на элементах «И-НЕ». Для этого надо преобразовать эти выражения в базис Шеффера, используя теорему Шеннона:

$$\overline{Y_0} = \overline{(\overline{K_1} + \overline{K_3} + \overline{K_5} + \overline{K_7} + \overline{K_9})};$$

$$\overline{Y_1} = \overline{(\overline{K_2} + \overline{K_3} + \overline{K_6} + \overline{K_7})};$$

$$\overline{Y_2} = \overline{(\overline{K_4} + \overline{K_5} + \overline{K_6} + \overline{K_7})};$$

$$\overline{Y_3} = \overline{(\overline{K_8} + \overline{K_9})}$$

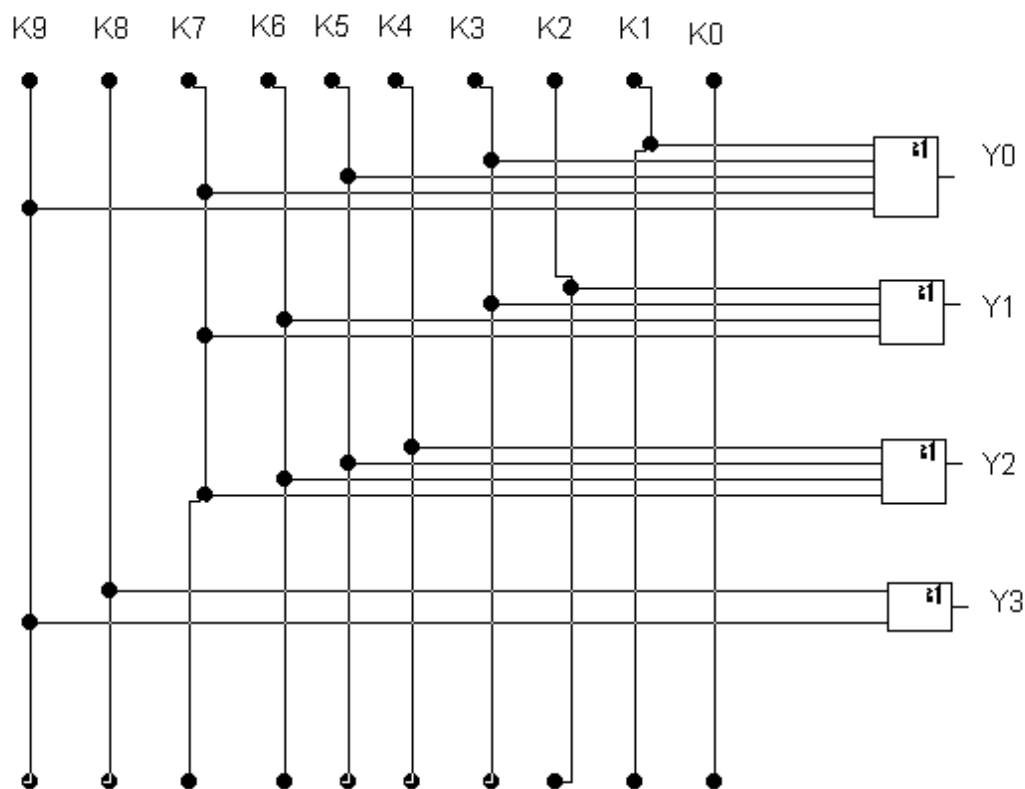


Рис. 2.4. Схема шифратора 4x10 на элементах ИЛИ.

1.3. Мультиплексоры.

Мультиплексоры осуществляют подключение одного из входных каналов к единственному выходному каналу под управлением управляющего (адресующего) слова. Разрядности каналов могут быть различными, мультиплексоры для коммутации многоразрядных слов состояются из одnorазрядных.

В цифровой технике **мультиплексор** имеет m информационных входов данных $X1, X2, X3, \dots, X_m$, n адресных входов и один выход данных. Зависимость количества информационных входов от количества разрядов адреса определяется соотношением $m=2^n$. Двоичный код на **входах адреса** определяет **номер** того **входа** данных, с которого информация проходит на выход мультиплексора в этот момент.

Таблица истинности мультиплексора приведена в табл.8.

Таблица истинности мультиплексора. Таблица 8.

E	A1	A0	Y
1	0	0	X0
1	0	1	X1
1	1	0	X2
1	1	1	X3
0	x	x	0

Выражение для сигнала на выходе мультиплексора:

$$Y = E * \overline{a_1} * \overline{a_0} * x_0 + E * \overline{a_1} * a_0 * x_1 + E * a_1 * \overline{a_0} * x_2 + E * a_1 * a_0 * x_3 \quad (29)$$

При любом значении адресующего кода все слагаемые, кроме одного, равны нулю. Ненулевое слагаемое равно x_i , где i — значение текущего адресного кода.

Схема мультиплексора, реализованная на элементах «И» и «ИЛИ» рис.2.5.

Преобразование выражения для сигнала на выходе мультиплексора в базис «И-НЕ»:

$$Y = \overline{(E * \overline{a_1} * \overline{a_0} * x_0) * (E * \overline{a_1} * a_0 * x_1) * (E * a_1 * \overline{a_0} * x_2) * (E * a_1 * a_0 * x_3)}$$

Схема мультиплексора на элементах «И-НЕ» рис. 2.6.

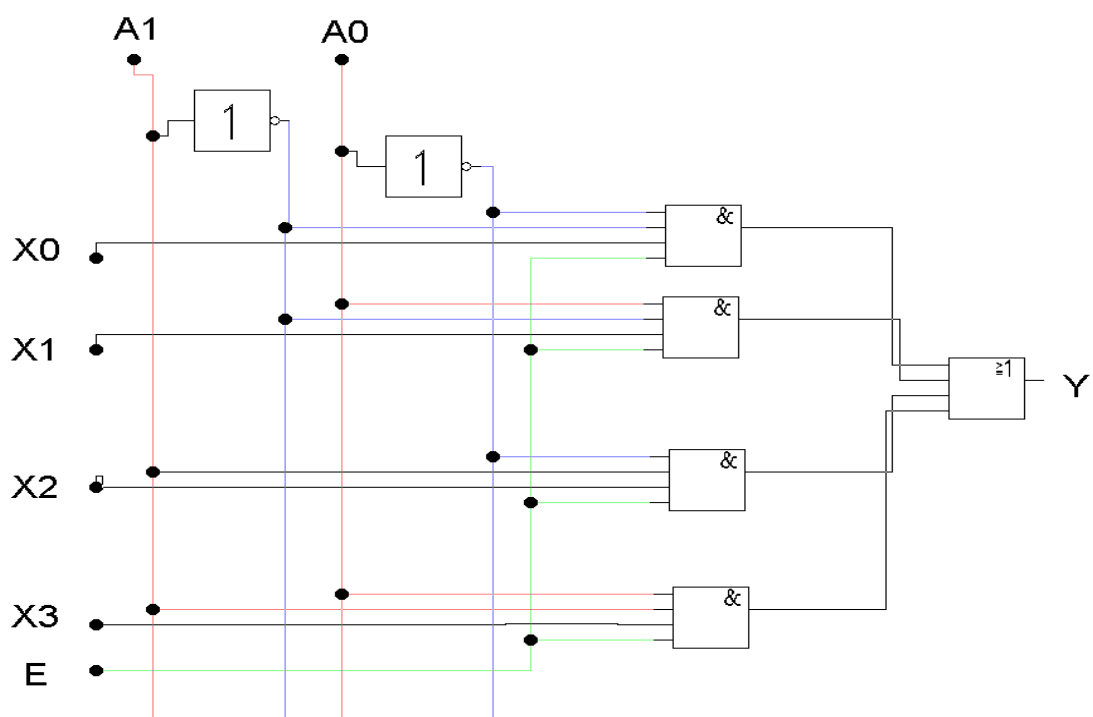


Рис. 2.5. Схема мультиплексора на элементах «И» и «ИЛИ».

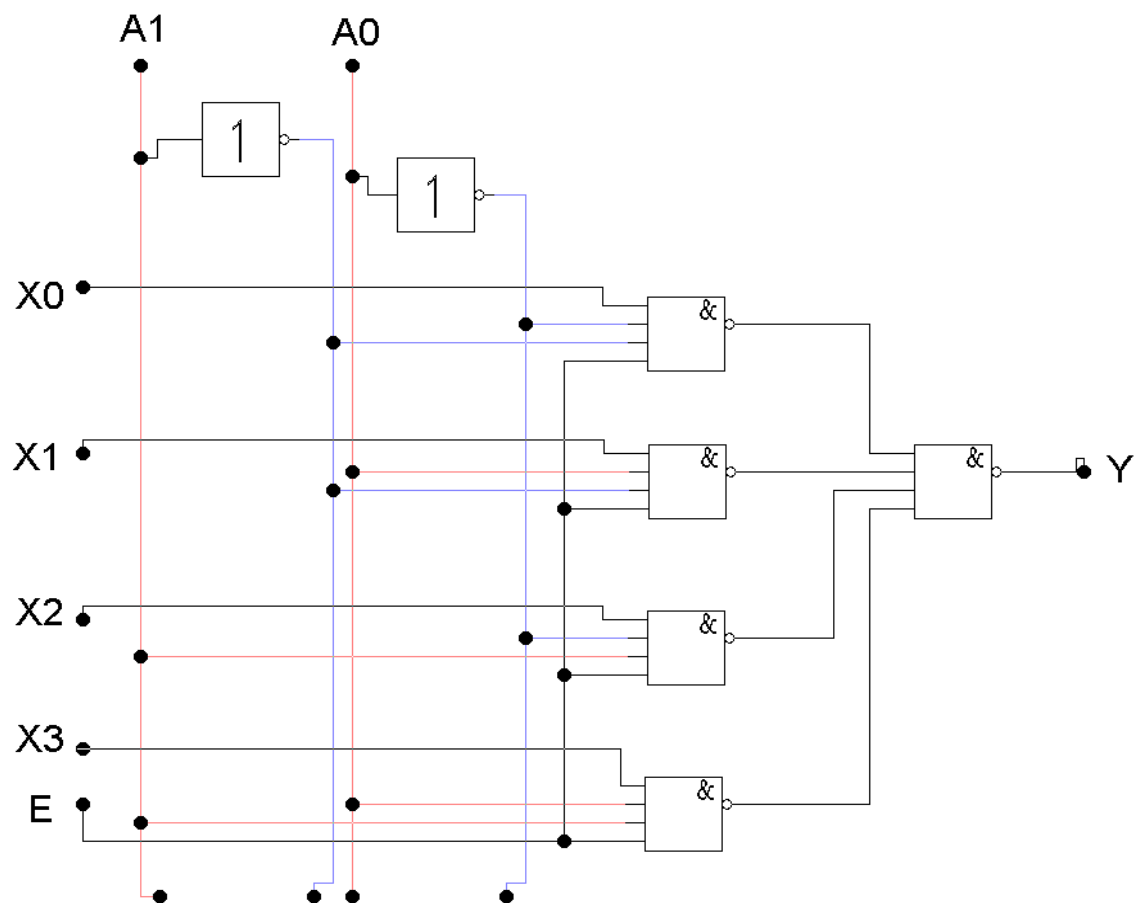


Рис.2.6. Схема мультиплексора на элементах «И - НЕ».

Каскадное включение мультиплексоров.

При недостаточной размерности имеющихся микросхем мультиплексоров для решения задачи мультиплексирования большого числа входных каналов применяют каскадную схему подключения мультиплексоров.

Пространство адресного кода делятся на две группы по имеющейся размерности микросхем мультиплексоров.

По количеству необходимых информационных входов набирают нужное количество мультиплексоров входной ступени, подавая на все мультиплексоры этой ступени разряды адресов младшей группы.

Выходная ступень организуется мультиплексором с количеством информационных входов соответствующим количеству мультиплексоров, применённых во входной ступени. Их выходы соединяются с каждым информационным входом мультиплексора выходной ступени. На мультиплексор выходной ступени подаются разряды старшей адресной группы.

1.4. Демультимплексоры.

Демультимплексорами называются устройства, которые позволяют подключать один информационный вход к нескольким выходам. Демультимплексор можно построить на основе точно таких же схем логического «И», как и при построении мультиплексора.

Существенным отличием от мультиплексора является возможность объединения нескольких входов в один без дополнительных схем. Однако для увеличения нагрузочной способности микросхемы, на входе демультимплексора для усиления входного сигнала лучше поставить инвертор. Тогда работа демультимплексора будет соответствовать таблице истинности (табл.9).

Таблица истинности демультиплексора.

Таблица 9

X	a_1	a_0	E	Y_0	Y_1	Y_2	Y_3
x	0	0	1	x	0	0	0
x	0	0	1	0	x	0	0
x	1	0	1	0	0	x	0
x	1	1	1	0	0	0	x
x	*	*	0	0	0	0	0

Значения сигналов на выходе демультиплексора будут определяться из следующих выражений:

$$Y_0 = x * \overline{a_1} * \overline{a_0} * E;$$

$$Y_1 = x * \overline{a_1} * a_0 * E;$$

$$Y_2 = x * a_1 * \overline{a_0} * E;$$

$$Y_3 = x * a_1 * a_0 * E$$

Исходя из выражений, синтезируется схема демультиплексора (рис. 2.7.)

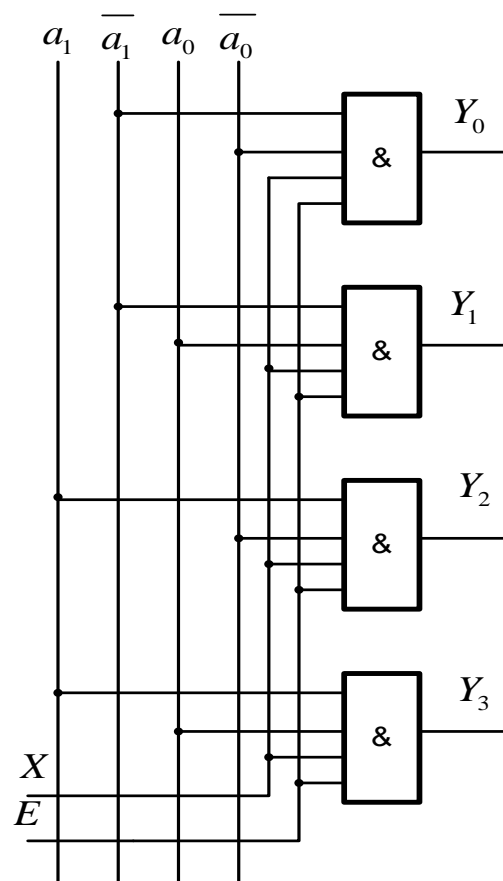


Рис. 2.7 Схема демультиплексора с четырьмя выходами и двумя разрядами адреса и одним информационным входом.

2. Методика подготовки схем для исследования.

Исследование данных четырёх устройств полностью совпадает с исследованием комбинационных схем в лабораторной работе № 1.

3. Задание на выполнение лабораторной работы

3.1 Порядок проведения исследования работы дешифраторов.

3.1.1 Собрать схему линейного дешифратора на 4 адресных входа и 16 выходов с помощью логических элементов «И». Проанализировать его работу. Добавить в данную схему вход разрешения и проанализировать его влияние на работу дешифратора.

3.1.2 Собрать схему дешифратора на два адресных входа и четыре выхода. Отлаженную схему данного дешифратора оформить как субблок и сохранить в библиотеке субблоков.

3.1.3 С помощью двух субблоков дешифраторов собрать матричный дешифратор и проанализировать его работу.

3.2 Порядок проведения исследования работы шифраторов.

3.2.1. Собрать шифратор на десять входов и четыре выходных двоичных разряда на элементах «ИЛИ».

3.2.2. Собрать шифратор на десять входов и четыре выходных двоичных разряда на элементах «И - НЕ».

3.3. Порядок проведения исследования работы мультиплексоров.

3.3.1. Собрать мультиплексоры на 8 информационных входов на элементах «И» и «ИЛИ» и на элементах «И-НЕ». Сравнить особенности их функционирования.

3.3.2. По выданной преподавателем таблично заданной булевой функции использовать мультиплексор взамен комбинационной схемы, воспроизводящей поведение данной функции.

3.4. Порядок проведения исследования работы демультиплексоров.

3.4.1. Продемонстрировать, что схема дешифратора с входом разрешения является и схемой демультиплексора, если вход разрешения считать за информационный единственный вход.

4. Содержание отчета

4.1. Отчёт должен содержать все собранные и промоделированные на лабораторной работе схемы.

4.2. Выражения, описывающие выходные сигналы исследованных схем устройств.

5. Контрольные вопросы.

5.1. Назначение дешифратора, шифратора, мультиплексора и демультиплексора.

5.2. Чем отличается полный дешифратор от неполного дешифратора?

5.3. К какому типу (полного или неполного) относится десятичный шифратор?

5.4. Какие методы применяются для увеличения разрешающей способности дешифраторов и мультиплексоров?

5.5. К какому классу устройств относятся шифраторы: к комбинационным схемам или цифровым автоматам?

5.6. Для какой цели в дешифраторах применяется «вход разрешения»?

5.7. Поясните принцип работы матричного дешифратора. Что даёт применения матричного дешифратора?

Часть 2. Исследование триггеров. (Учётный шифр: Л 2.2)

Цель работы - Изучение и исследование основных типов триггеров и их свойств. Получение навыков применения триггеров.

Продолжительность работы: 6 часов.

1. Краткие теоретические сведения об объекте исследования.

Функциональные узлы и устройства вычислительной техники синтезируются на основе двух типов логических схем: комбинационных схем (КС) и элементов памяти (ЭП), в которых хранятся результаты этих операций для использования в последующих операциях. В качестве ЭП в узлах и устройствах вычислительной техники наибольшее распространение получили триггеры.

Триггеры как цифровые автоматы.

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния. Триггер содержит элемент памяти (собственно триггер) и схему управления, выполненную, как правило, с помощью КС. Схема управления преобразует поступающую на ее входы информацию (x_1, x_2, \dots, x_m) в комбинацию сигналов, действующих непосредственно на входы собственно триггера. При этом информационные входы триггера отождествляются с входными переменными и имеют следующие обозначения:

S (от английского Set - установка) - вход для асинхронной установки триггера в состояние «1» (S - вход);

R (от английского Reset - сброс) - вход для асинхронной установки триггера в состояние «0» (R - вход);

D (от английского Delay - задержка) - информационный вход для установки триггера в состояние «1» или «0» (D - вход);

T (от английского Toggle - кувырнуться) - счетный вход (T - вход);

J - вход для синхронной установки состояния «1» в универсальном

J-K - триггере (J - вход);

K - вход для синхронной установки состояния «0» в универсальном

J-K - триггере (K - вход);

C - вход синхронизации (C - вход).

Асинхронные входы R и S могут быть прямыми и инверсными. Инверсные входы обозначаются знаком инверсии. Для инверсных входов активным сигналом является уровень логического "0" (низкий уровень). На уровень логической "1" (высокий уровень) триггер не реагирует. Для прямых входов наоборот активным сигналом является уровень логической "1".

Выход триггера принято отождествлять с его внутренним состоянием и обозначать символом Q . Подавляющее число схем триггеров имеет два выхода: прямой и инверсный \bar{Q} . В установившемся состоянии всегда, если $Q=1$, то $\bar{Q}=0$ и, если $Q=0$, то $\bar{Q}=1$. При этом считается, что триггер находится в состоянии "1", если на прямом выходе Q имеется высокий уровень напряжения ($Q=1, \bar{Q}=0$), в состоянии "0", если на прямом выходе 0.

Асинхронный RS -триггер.

Асинхронным триггером RS-типа (RS -триггером) называется логическое устройство с двумя устойчивыми состояниями, имеющее два информационных входа R и S , такие что, при $S=1$ и $R=0$ триггер принимает состояние 1 ($Q=1$), а при $R=1$ и $S=0$ триггер принимает состояние 0 ($Q=0$).

При значениях $R^t=S^t=1$ состояние триггера является неопределенным. Реализация RS – триггера на элементах «И-НЕ» представлена на рис.2.8.

Для такого триггера активным сигналом является уровень логического 0, а запрещенной комбинацией $R^t=S^t=0$, при которой состояние триггера будет неопределенным.

Реализация RS – триггера на элементах «ИЛИ-НЕ» показана на рис. 2.9.

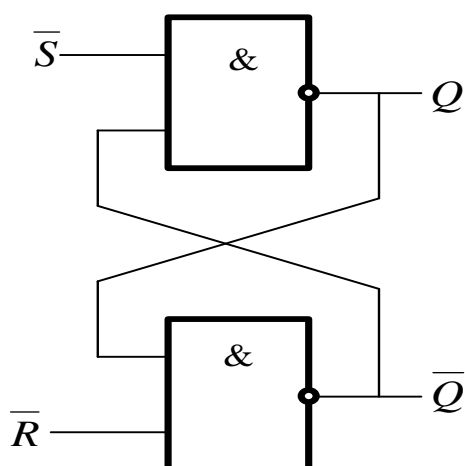


Рис. 2.8. Асинхронный R-S триггер с инверсными входами на элементах «И-НЕ».

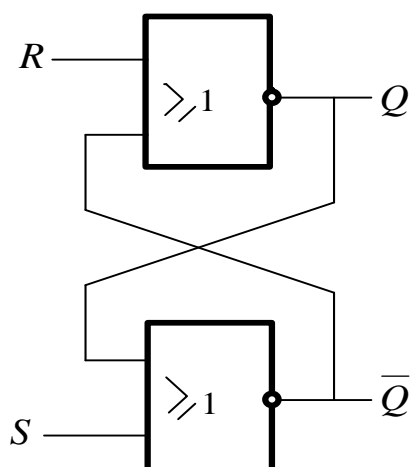


Рис. 2.9. Асинхронный R-S триггер с прямыми входами на элементах «ИЛИ-НЕ».

Синхронный R-S -триггер с прямыми входами.

В отличие от асинхронного, этот триггер на каждом информационном входе имеет дополнительные схемы совпадения, первые входы которых объединены и на них подаются синхронизирующие сигналы. Вторые входы схем совпадения являются информационными. Таким образом, наличие схем совпадения определяет то обстоятельство, что триггер будет срабатывать от сигналов R и S только при наличии синхронизирующего импульса.

Реализация синхронного RS-триггера с прямыми входами на элементах «И-НЕ» представлена на рис. 2.10

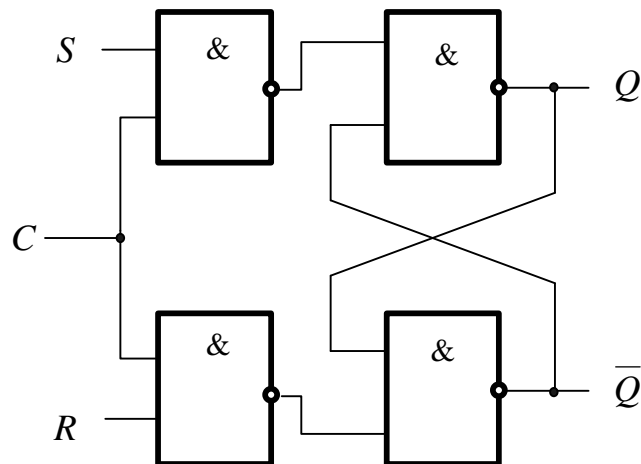


Рис. 2.10. Синхронный RS-триггер с прямыми входами на элементах «И-НЕ».

Двухступенчатый (типа MS) синхронный RS-триггер.

Устойчивая работа одноступенчатых RS-триггеров в произвольной схеме возможна только в случае, если занесение в триггер информации осуществляется после завершения передачи информации о прежнем его состоянии в другой триггер. Такую работу триггера можно обеспечить при использовании двух серий находящихся в противофазе сигналов, используя свойство внутренней задержки. В триггерах с внутренней задержкой новая информация на выходе устанавливается только после окончания действия синхронизирующего импульса.

Подобный принцип обмена информацией реализован в двухступенчатых RS-триггерах. Такой тип триггеров получил ещё альтернативное наименование: – триггер с задержкой. Простейшая схема двухступенчатого RS-триггера с управляющим инвертором показана на рис. 2.11.

Схема двухступенчатого RS-триггера состоит из двух одноступенчатых RS-триггеров и инвертора в цепи синхронизации. При поступлении единичного синхросигнала входная информация заносится в первый одноступенчатый. По окончании действия синхросигнала, когда $C=0$, а $\bar{C}=1$,

первый триггер перейдет в режим хранения, а второй переписет из него новое значение выходного сигнала.

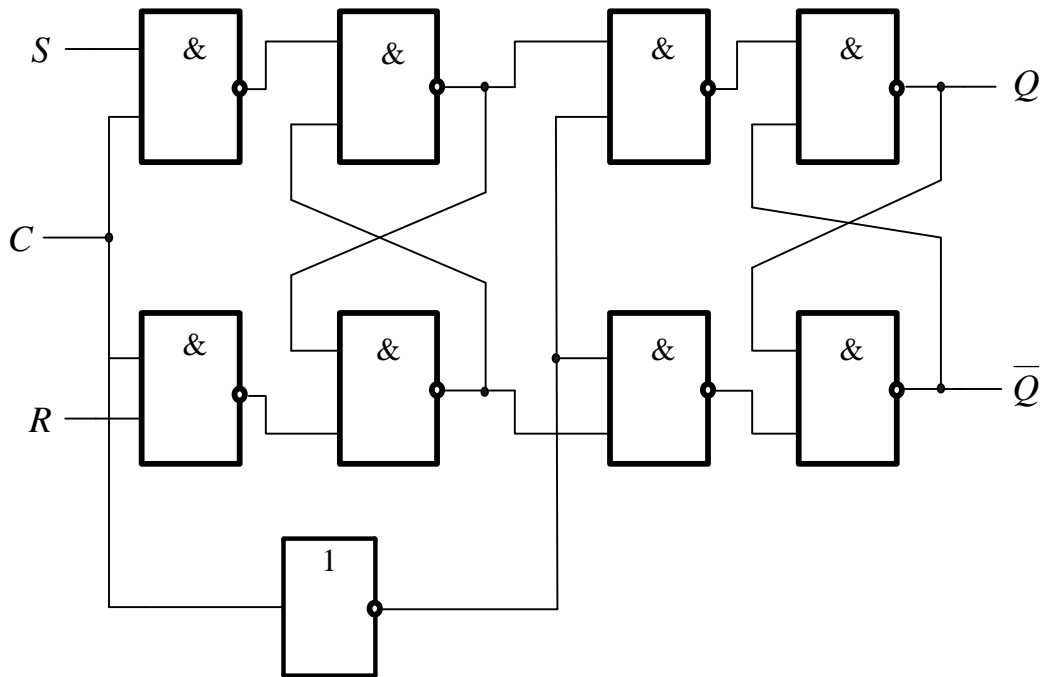


Рис. 2.11. Схема двухступенчатого синхронного RS-триггера.

Синхронный D-триггер.

Триггером D-типа называется логическое устройство с двумя устойчивыми состояниями и одним информационным входом D и входом синхроимпульса C .

Реализация синхронного D-триггера потенциального типа на элементах «И-НЕ» приведена на рис. 2.12.

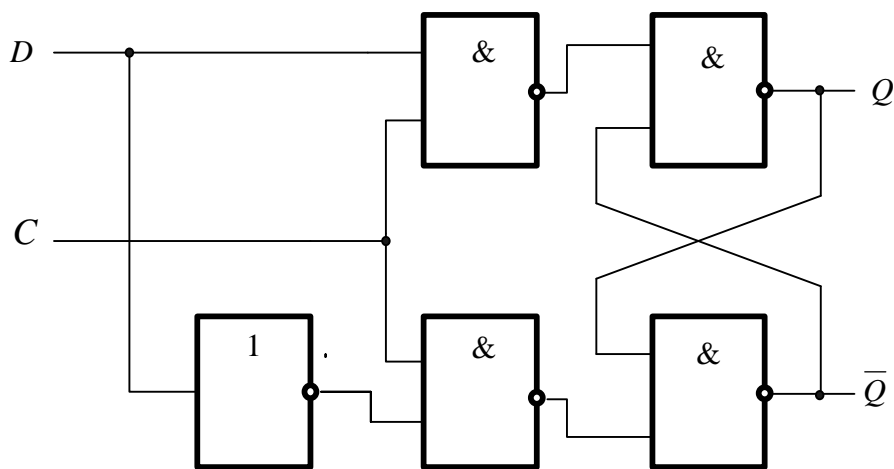


Рис. 2.12. Схема синхронного D-триггера на элементах И-НЕ.

Динамические RS и D триггеры.

Рассмотренные выше типы синхронных триггеров относились к потенциальному типу. Особенность триггеров потенциального типа состоит в возможности многократного изменения состояния триггеров при установленном в единицу сигнале синхроимпульса. В отличие от них синхронные триггеры динамического типа изменяют своё состояние только в момент изменения синхроимпульса из нуля в единицу, либо из единицы в ноль. При установившемся значении единичного синхроимпульса динамический триггер не меняет своё состояние при подаче новой комбинации установочных сигналов.

На рис. 2.13 и рис. 2.14 приведены функциональные схемы динамических синхронных RS и D триггеров.

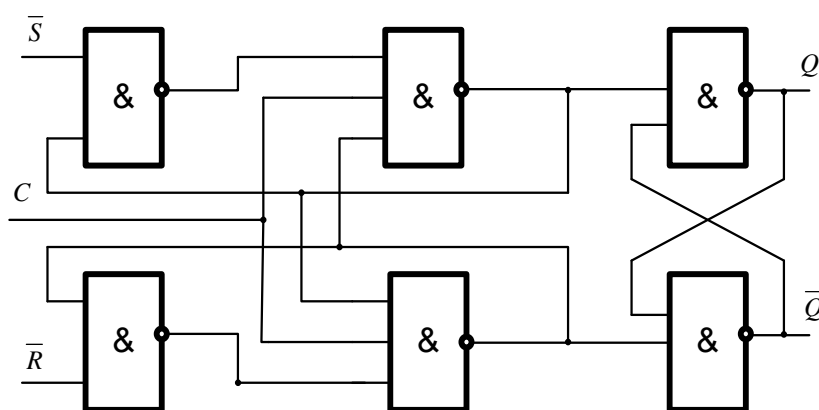


Рис. 2.13. Схема синхронного динамического RS-триггера.

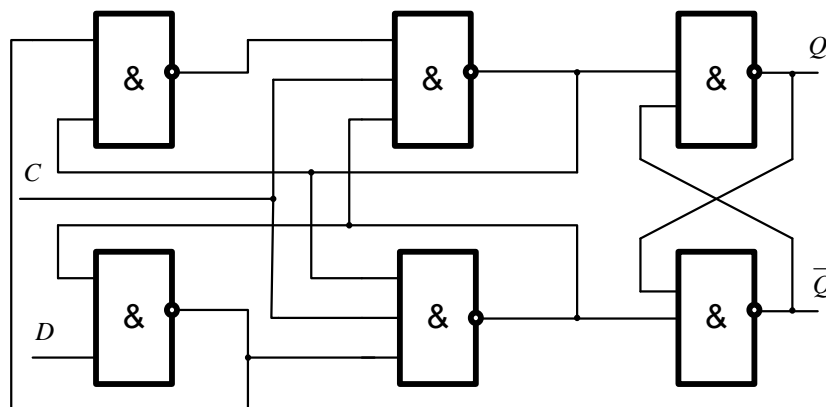


Рис. 2.14. Схема синхронного динамического D-триггера.

Универсальный JK-триггер.

Триггером JK-типа называется логическое устройство с двумя устойчивыми состояниями и двумя информационными входами.

Если принять, что $K = R$, а $J = S$, то при $C = 1$ JK-триггер ведёт себя как RS-триггер, за исключением комбинации $J = K = 1$, при которой триггер меняет своё состояние на обратное по отрицательному фронту (спаду) синхросигнала.

Построить JK-триггер можно на основе двухступенчатого RS-триггера с входом синхронизации, соединив перекрёстным образом инвертирующими обратными связями входы и выходы триггера, рис. 2.15.

УГО JK-триггера представлено на рис. 2.16.

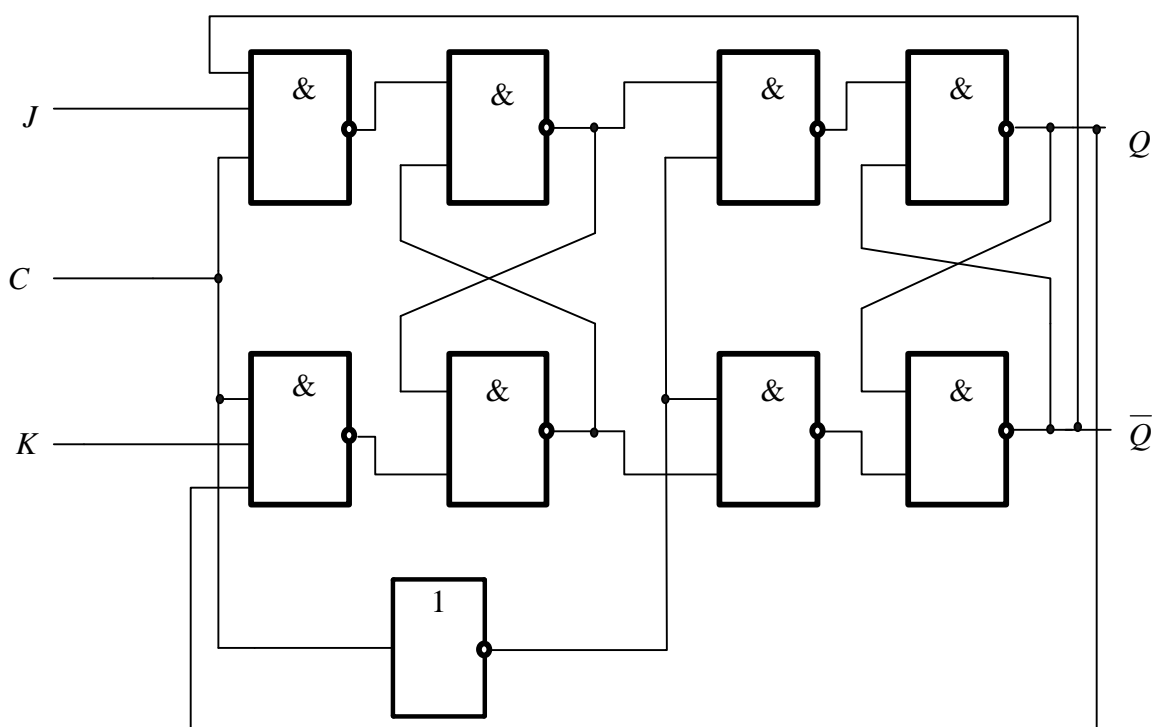


Рис. 2.15. Схема двухступенчатого JK-триггера.

Триггер JK-типа относится к разряду универсальных триггеров, поскольку на его основе путем несложных внешних коммутаций входов триггера можно получить схемы, выполняющие функции асинхронного RS-триггера, синхронного RS-триггера, синхронного D-триггера и T-триггера.

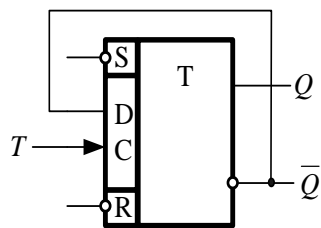


Рис. 2.16. Т-триггер на основе синхронного динамического D-триггера.

2. Методика подготовки схем для исследования.

При моделировании используются следующие элементы программы Electronics Workbench (EWB) (рис.2.17):

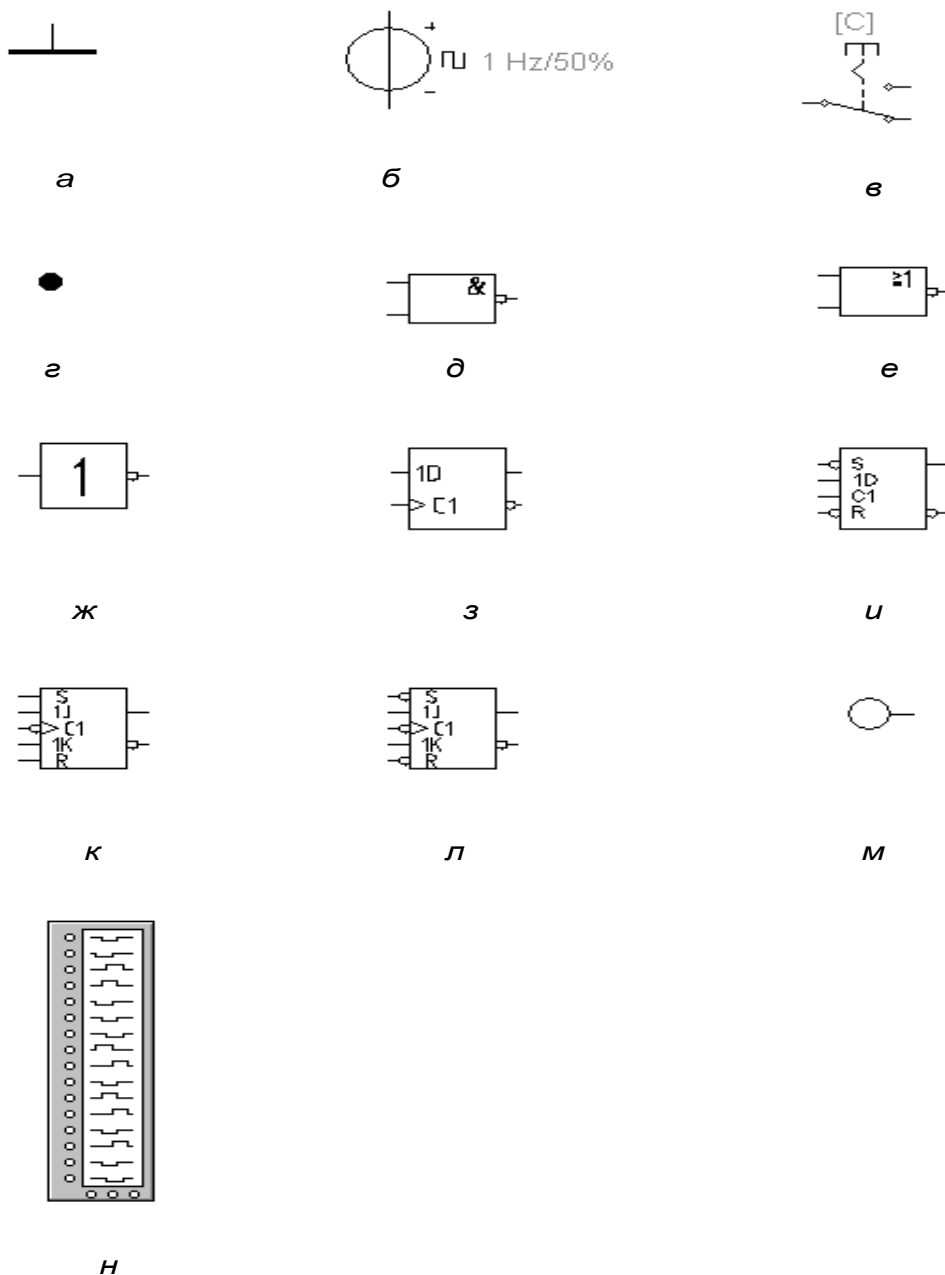


Рис. 2.17. Основные элементы программы Electronics Workbench, необходимые для моделирования.

a – заземление (точка нулевого потенциала);
б – источник прямоугольных сигналов (Sources -> Clock);
в – переключатель (Basic -> Switch); переключение осуществляется нажатием на клавишу, указанную в скобках над этим элементом;
г – соединитель (connector), используемый для организации точки соединения, при отсутствии автоматического соединения;
д – логический элемент «И-НЕ» (Logic gates -> 2-Input NAND Gate);
е - логический элемент «ИЛИ-НЕ» (Logic gates -> 2-Input NOR Gate);
ж - логический элемент «ИЛИ-НЕ» (Logic gates -> 2-Input NOR Gate);
з – триггер типа D (Digital -> D Flip-Flop);
и - триггер типа D (Digital -> D Flip-Flop with Active Low Asynch Inputs);
к - триггер типа JK с прямыми установочными входами (Digital -> JK Flip-Flop with Active High Asynch Inputs);
л - триггер типа JK с инверсными установочными входами (Digital -> JK Flip-Flop with Active Low Asynch Inputs);
м – световой индикатор (Indicators -> red probe);
н – графический осциллограф (Logic Analyzer);

Исследование асинхронных и синхронных R-S триггеров.

Простейшие схемы асинхронных R-S триггеров можно составить с использованием логических элементов «И-НЕ», «ИЛИ-НЕ» согласно схем на рис. 2.8. и рис. 2.9. Для подачи на входы триггеров значений логического "0" и "1" воспользоваться 5-вольтовым источником и переключателями.

Для контроля значений на прямом выходе триггера воспользоваться светоиндикатором. Работа триггера контролируется по таблице состояний.

Составление диаграммы работы триггеров, применив логический анализатор.

Разберём пример получения диаграммы работы синхронного RS – триггера.

Структура синхронного RS- триггера на элементах «И-НЕ» представлена на рис. 2.18.

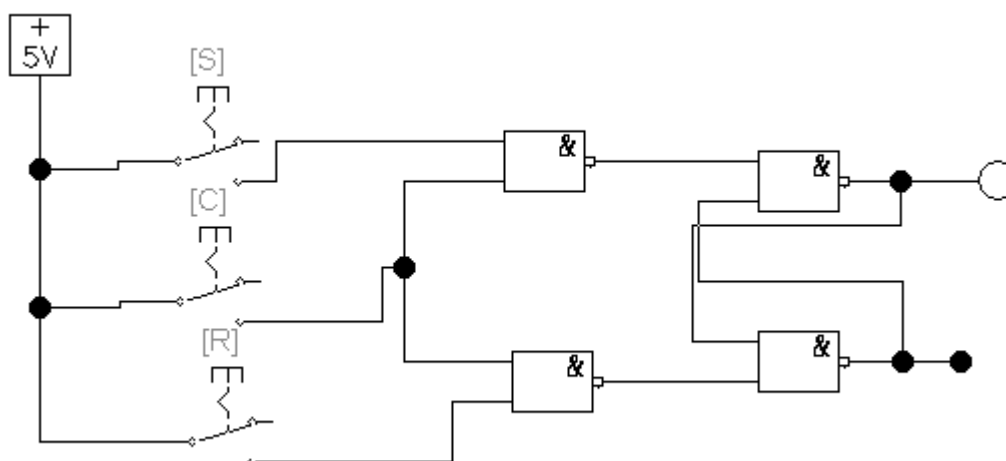


Рис. 2.18. Структура синхронного RS- триггера на элементах «И-НЕ»

После проверки работы триггера по светоиндикатору производим подключение к клеммам логического анализатора (левая сторона). Последовательность подключения может быть любая, но сигналы должны быть поименованы на осциллограмме.

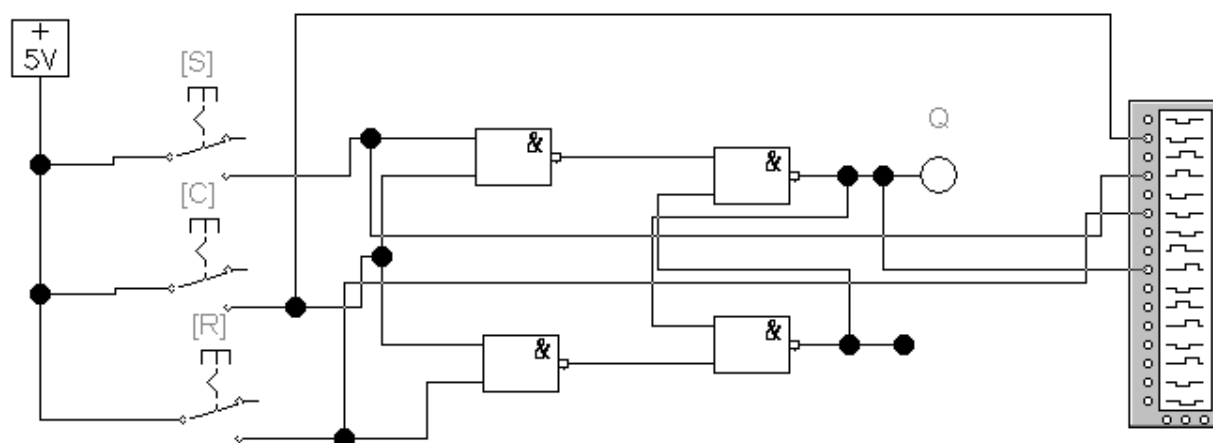


Рис. 2.19. Схема присоединения панели логического анализатора.

Подсоединение проведём в следующей последовательности сверху вниз: сигнал синхроимпульса, установочный сигнал S, установочный сигнал R, прямой выход триггера Q. Следующий этап – настройка параметров осциллографа прямоугольных импульсов. Двойным щелчком левой клавиши щелкая по изображению анализатора, открываем панель осциллограмм

рис. 2.20., которая подвижная и её можно расположить в удобном положении. Далее необходимо провести калибровку по частоте и амплитуде снимаемого сигнала. Для этого нажимаем радиокнопку SET (левая) с панели CLOCK, получаем выпадающее меню (clock setup), в котором устанавливаем частоту 4 Гц (internal clock rate) и 5V Threshold voltage. Завершаем установку нажатием кнопки Асепт.

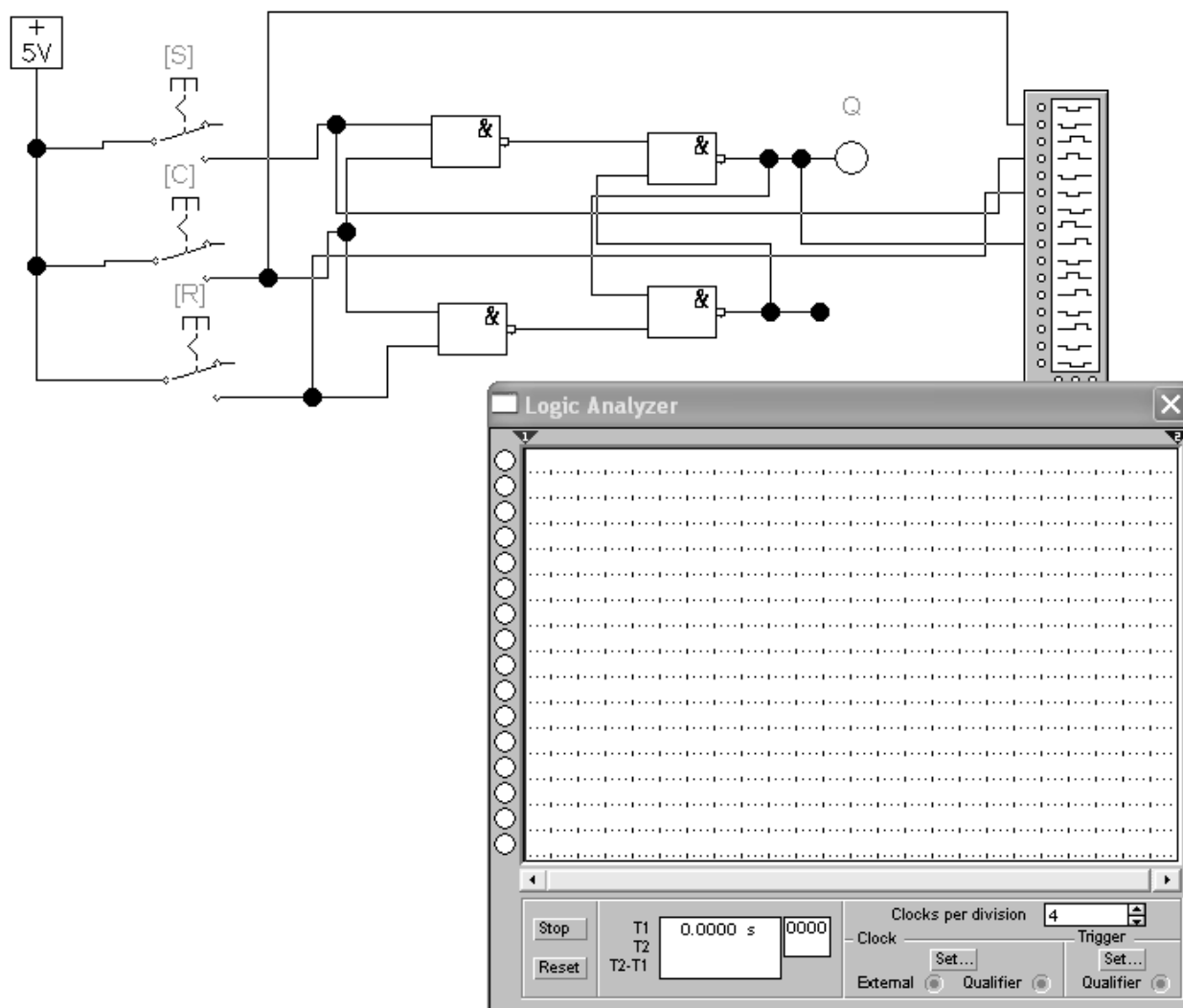


Рис. 2.20. Панель осциллограмм прямоугольных сигналов.

Запускаем макет и управляем входными сигналами триггера.

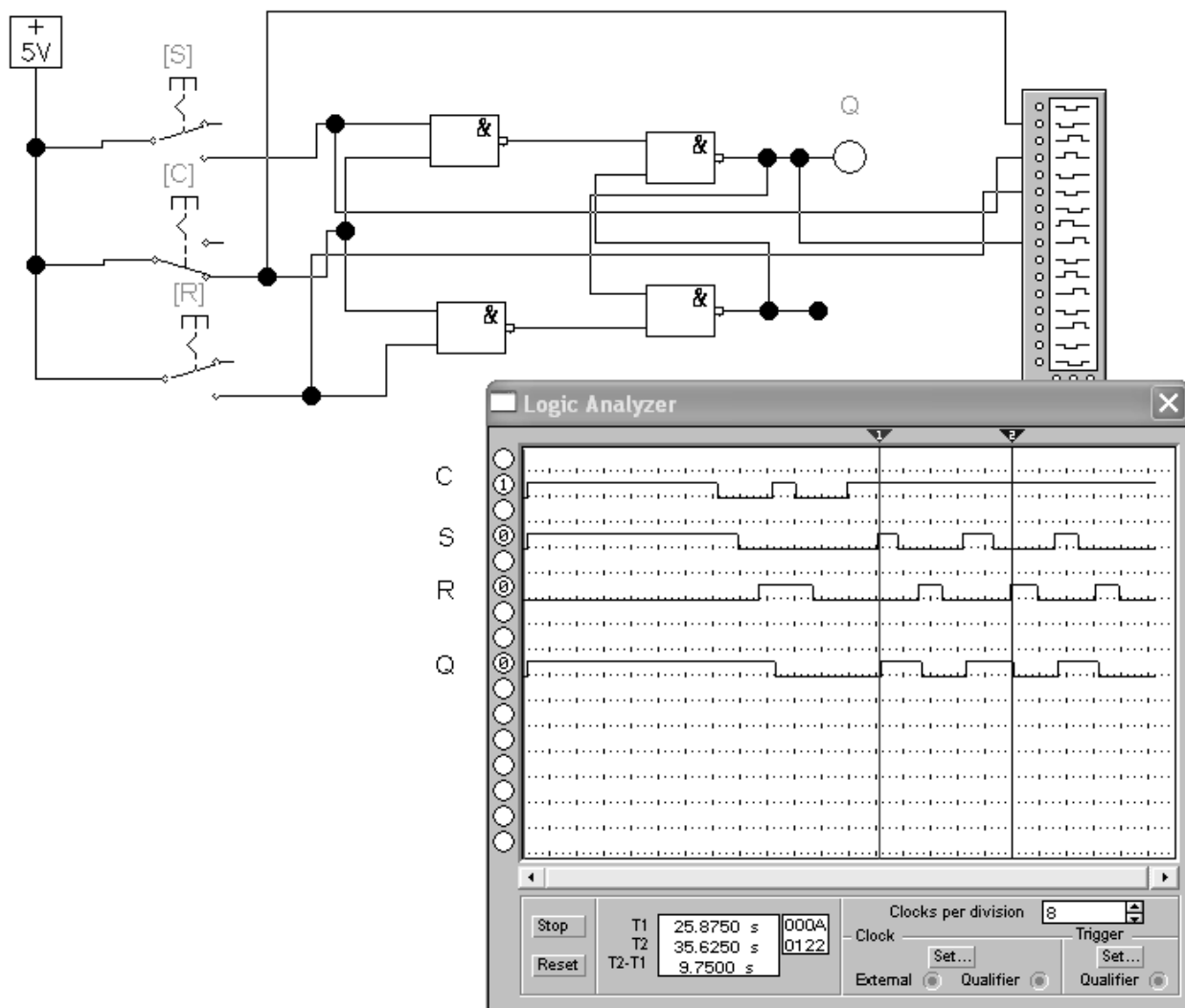


Рис. 2.21 Осциллограмма работы синхронного RS – триггера.

Изменяя значение Clocks per division в сторону увеличения можно замедлить развёртку диаграмм сигналов. Визеры 1 и 2 позволяют проконтролировать зависимость выходного сигнала от входных.

Особенности моделирования структуры JK- триггера.

Схема JK – триггера собирается согласно рис. 2.15. Однако, для установки начальной определённости кодов на входных логических элементах, на которые заведены перекрёстные обратные связи, устанавливается переключатель на подачу потенциала логической 1 (+5 в) при первой подаче установочного сигнала совместно с сигналом синхроимпульса. После этого источник +5в отключается и восстанавливается перекрёстная обратная связь.

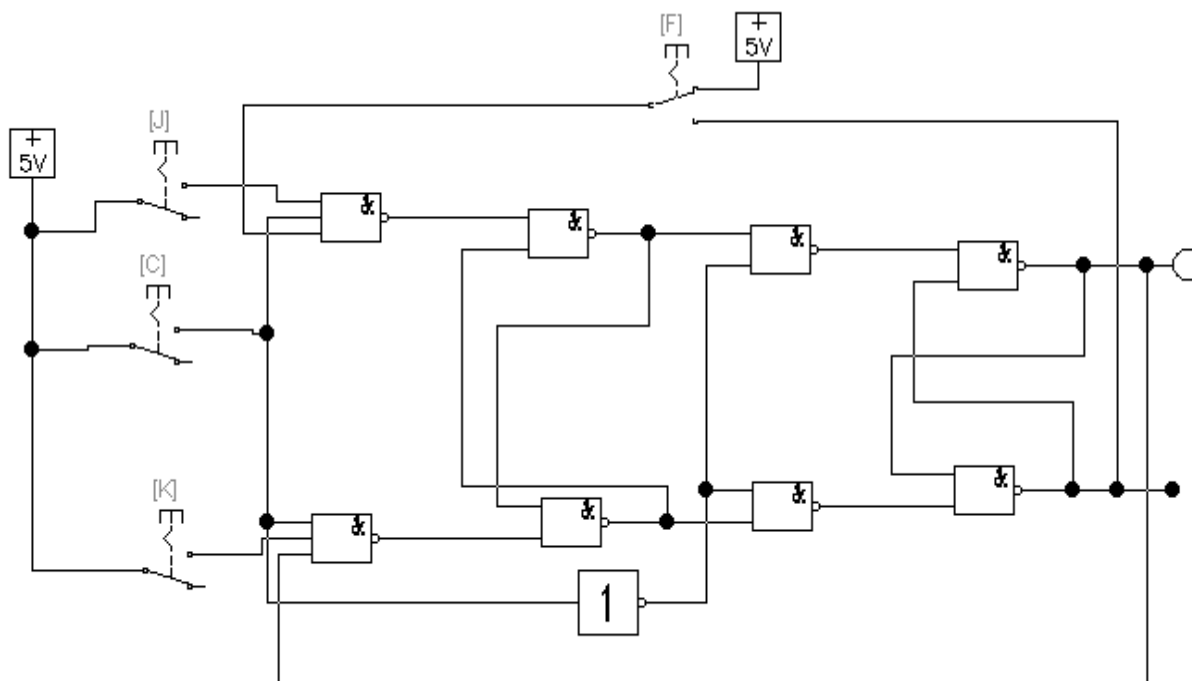


Рис. 2.22. Первоначальное задание кода 1 на входе верхнего элемента И-НЕ. Триггеры типа RS, D, JK входят в состав пакета EWB. Закладка Digital.

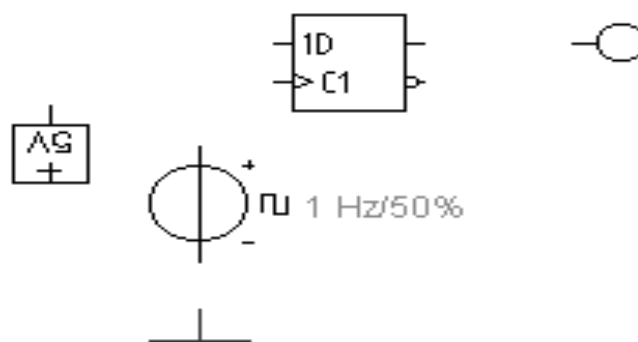
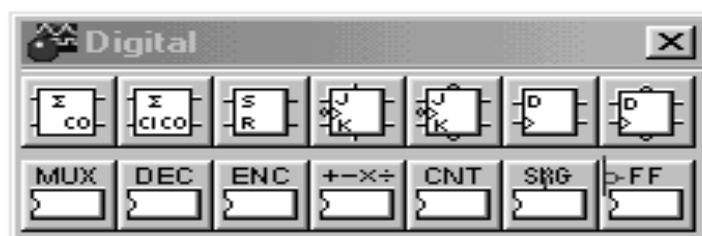


Рис.2.23. Набор элементов схемы на рабочем столе.

Из данного набора элементов собирается схема проверки работы

D-триггера. Схема исследования D-триггера выглядит следующим образом рис. 2.24.

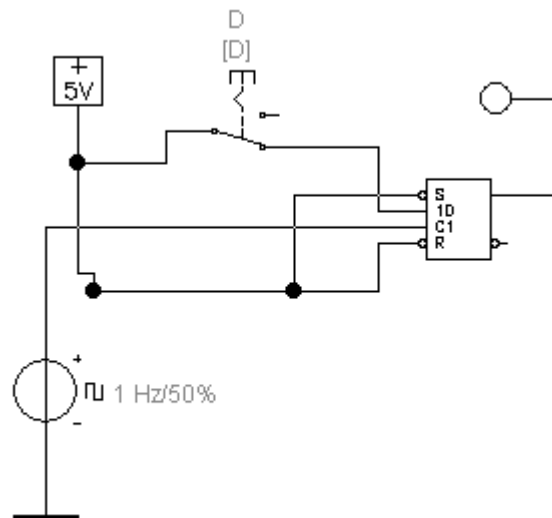


Рис. 2.24. Схема исследования D – триггера с установочными асинхронными входами.

Целесообразно воспользоваться получением синхроимпульсов от генератора прямоугольных импульсов (рис. 58 б).

Из данного D- триггера можно получить счётный триггер (рис. 2.25).

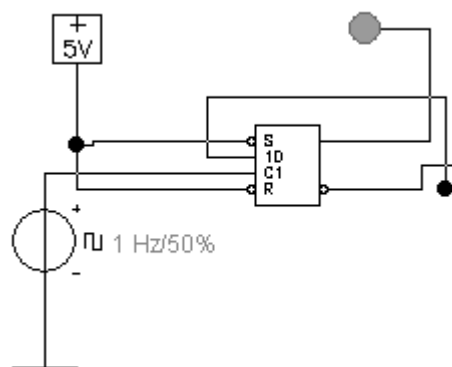


Рис. 2.25. Счётный триггер на основе динамического D – триггера.

Библиотечные J-K триггеры представлены в двух видах: с прямыми и инверсными установочными асинхронными входами (рис. 2.26).

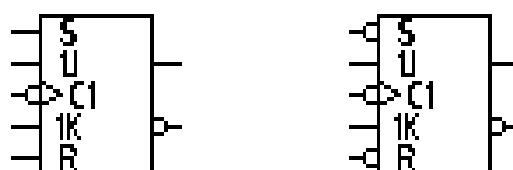
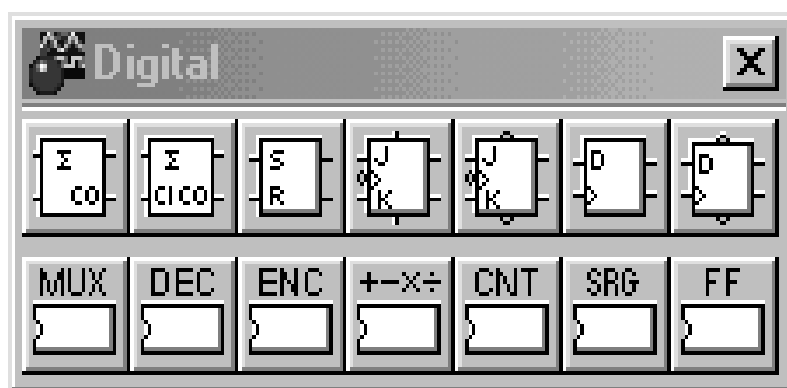


Рис. 2.26. JK- триггеры из состава библиотечного набора Digital.

JK - триггеры различаются прямыми и инверсными установочными входами.

На рис. 2.27 приведена схема исследования одного из JK – триггеров.

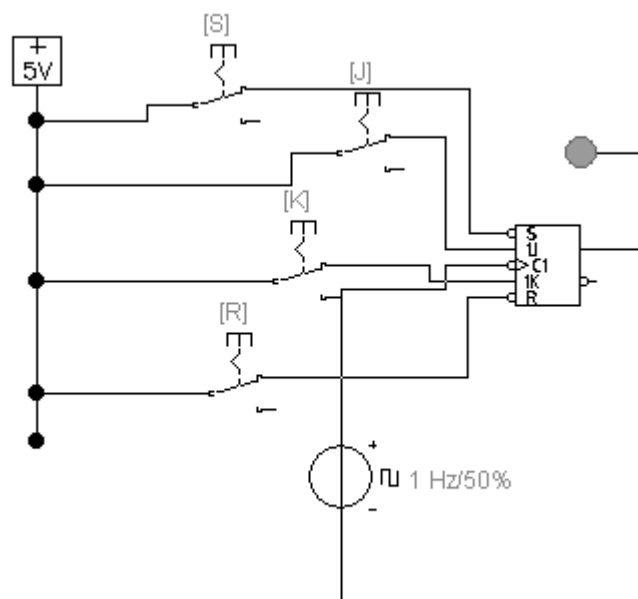


Рис. 2.27. Схема исследования JK – триггера с инверсными установочными входами.

3. Задание на выполнение лабораторной работы

3.1. Собрать и исследовать работу асинхронных R-S триггеров с использованием логических элементов «И-НЕ», «ИЛИ-НЕ». Снять временные диаграммы, используя виртуальный прибор «Logic Analyzer».

3.2. Собрать и исследовать схему синхронного RS-триггера потенциального типа с использованием логических элементов «И-НЕ». Составить таблицу состояний синхронного RS - триггера и снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». В качестве источника синхросигнала можно взять 5-вольтовый источник и переключатель.

Для построения синхронного R-S триггера необходимо добавить логические схемы "И-НЕ" для анализа синхросигнала и добавить источник синхросигнала. В качестве синхросигнала можно взять 5-вольтовый источник и переключатель.

3.3. Собрать и исследовать схему двухступенчатого синхронного R-S (M-S типа) триггера с задержками рис.2.28. Обозначить светодиодом прямой выход триггера первой ступени. Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». Для анализа временной диаграммы работы данного триггера использовать подключение светодиодов на первой ступени триггера и на выходе триггера.

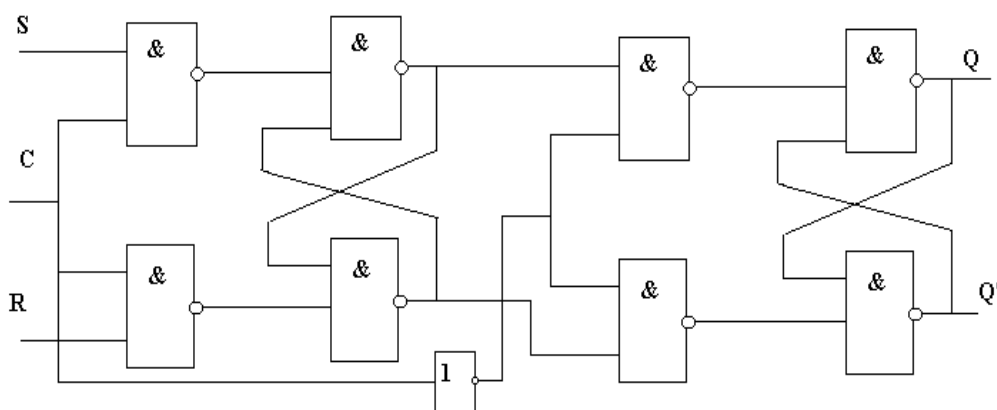


Рис. 2.28 . Синхронный R-S триггер (MS-типа) с задержками

3.4. Собрать и исследовать схему синхронного потенциального D- триггера на элементах «И-НЕ». Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». В качестве источника синхросигнала можно взять 5-вольтовый источник и переключатель.

3.5. Собрать и исследовать схему синхронного двухступенчатого D- триггера (MS –типа) на элементах «И-НЕ». Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer».

3.6. Собрать и исследовать схему динамического RS – триггера на элементах «И-НЕ». Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». Сравнить с временной диаграммой потенциального RS – триггера (п.3.2).

3.7. Собрать и исследовать схему динамического D – триггера на элементах «И-НЕ». Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». Сравнить с временной диаграммой потенциального D – триггера. (п.3.4)

3.8. Собрать и исследовать схему универсального JK – триггера. Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». Обратит внимание на замечание п.2.х о необходимости наличия на обратной перекрёстной связи переключателя для определённости при начале моделирования JK – триггера. Отдельно рассмотреть переход триггера в счётный режим при подаче $J=K=1$.

3.9. Собрать и исследовать библиотечные D- триггеры (рис. 2.23) в двух вариантах: без установочных асинхронных входов и с установочными инверсными асинхронными входами. В качестве сигнала синхроимпульса использовать генератор прямоугольных импульсов, настроенный на частоту 1 Гц. Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». На втором варианте D – триггера проследить управление состоянием триггера по асинхронным инверсным установочным входам.

3.10. Превратить библиотечные D- триггеры (динамические) в счётные триггеры (см. п. 3.9.). Снять временную диаграмму работы, используя

виртуальный прибор «Logic Analyzer». На втором варианте D – триггера проследить управление состоянием триггера по асинхронным инверсным установочным входам.

3.11. Собрать и исследовать библиотечные JK – триггеры в двух вариантах:

- с прямыми асинхронными управляющими входами;
- с инверсными асинхронными управляющими входами.

В качестве сигнала синхроимпульса использовать генератор прямоугольных импульсов, настроенный на частоту 1 Гц. Снять временную диаграмму работы, используя виртуальный прибор «Logic Analyzer». Проследить установку триггеров в счётный режим ($J=K=1$) и влияние управления по асинхронным входам.

4. Содержание отчета

- 4.1. Схемы, моделирующие работу триггеров по всем пунктам задания.
- 4.2. Таблицы переходов, временные диаграммы, поясняющие работу триггеров.

5. Контрольные вопросы

- 5.1. Определение триггера.
- 5.2. Отличие триггеров от комбинационных схем.
- 5.3. Активные сигналы для инверсных входов триггеров.
- 5.4. Определение состояния триггера.
- 5.5. Задание законов функционирования триггеров.
- 5.6. Определение таблицы переходов триггера.
- 5.7. Определение характеристического уравнения триггера.
- 5.8. Признаки классификации триггеров.
- 5.9. Определение асинхронного триггера.
- 5.10. Определение синхронного триггера.
- 5.11. Определение асинхронного RS-триггера, таблица переходов, характеристическое уравнение триггера.
- 5.12. Определение структурного уравнения триггера.
- 5.13. Отличие RS-триггеров с прямыми и инверсными входами.

- 5.14. Определение синхронного RS-триггера, таблица переходов, характеристическое уравнение триггера.
- 5.15. Условие устойчивой работы одноступенчатых RS-триггеров в произвольной схеме.
- 5.16. Определение двухступенчатого RS-триггера.
- 5.17. Определение D-триггера, таблица переходов, характеристическое уравнение.
- 5.18. Определение JK-триггера, таблица переходов, характеристическое уравнение.
- 5.19. В чём состоит универсальность JK-триггера.
- 5.20. Определение T-триггера, таблица переходов, характеристическое уравнение.
- 5.21. К какому классу устройств относятся триггеры: к комбинационными схемам или цифровым автоматам и в чём основное отличие?
- 5.22. Назовите способ задания законов функционирования триггеров.
- 5.23. По каким признакам классифицируются триггерные устройства?
- 5.24. Функции каких триггеров может выполнять универсальный J-K триггер?

Лабораторная работа № 3.

«Исследование устройств на основе триггеров»

Часть 1. Исследование регистров

Часть 2. Исследование счётчиков

Часть 1. Исследование регистров.

(Учётный шифр: Л.3.1.)

Цель работы - ознакомление с принципами работы регистров различных типов. Получение навыков построения регистров с применением различных триггеров. Моделирование режимов работы регистров при подаче параллельного и последовательного кода. Получение навыков построения схем управления направлением сдвига в реверсивных регистрах.

Освоение построения управления режимами в регистре универсального типа.

Ознакомление с различными схемами управления в универсальных регистрах.

Продолжительность работы: – 4 ч.

1. Краткие теоретические сведения об объекте исследования.

Регистром называется устройство, предназначенное для приема, кратковременного хранения и выдачи кодов слова.

Регистр представляет собой совокупность триггеров и вспомогательных логических схем, количество и схема соединений которых зависит от количества разрядов в коде и набора операций, выполняемых регистром.

Помимо хранения кода слова регистры, в общем случае, обеспечивают выполнение следующих операций:

- установка регистра в нулевое состояние «сброс»;
- прием кода слова из другого устройства;
- передача кода слова в другое устройство;
- преобразование кода числа: преобразование прямого кода в обратный код и наоборот;
- преобразование последовательного кода слова в параллельный код и наоборот;
- сдвиг кода слова вправо или влево на требуемое число разрядов.

Регистры, как правило, строятся на динамических D-триггерах, т.к. эти триггеры позволяют производить запись информации однофазным кодом без предварительного "обнуления" по входу D.

Приём информации в регистр и выдача может осуществляться параллельно и последовательно. В первом случае слово представляется в виде параллельного кода. При записи и при считывании все разряды кода слова передаются одновременно, каждый разряд по своей кодовой шине. При последовательной передаче кода слова, все разряды кода слова передаются последовательно во времени один за другим и строго в определенные дискретные моменты времени, совпадающие с управляющими сигналами.

Различают, сдвигающие регистры, в которых возможен сдвиг хранимого кода и регистры без сдвига с приемом информации параллельным кодом.

Принцип работы регистров различного назначения.

Регистр с приёмом информации параллельным кодом.

Эти регистры предназначены для приёма, хранения и выдачи информации кода одного m -разрядного слова. Приём и выдача информации в регистре осуществляется в параллельном коде.

Такой, m -разрядный, регистр можно представить, как совокупность одноразрядных регистров, имеющих общие шины управления. На рис. 3.1 представлен фрагмент схемы (3 разряда) регистра с приёмом информации параллельным однофазным кодом.

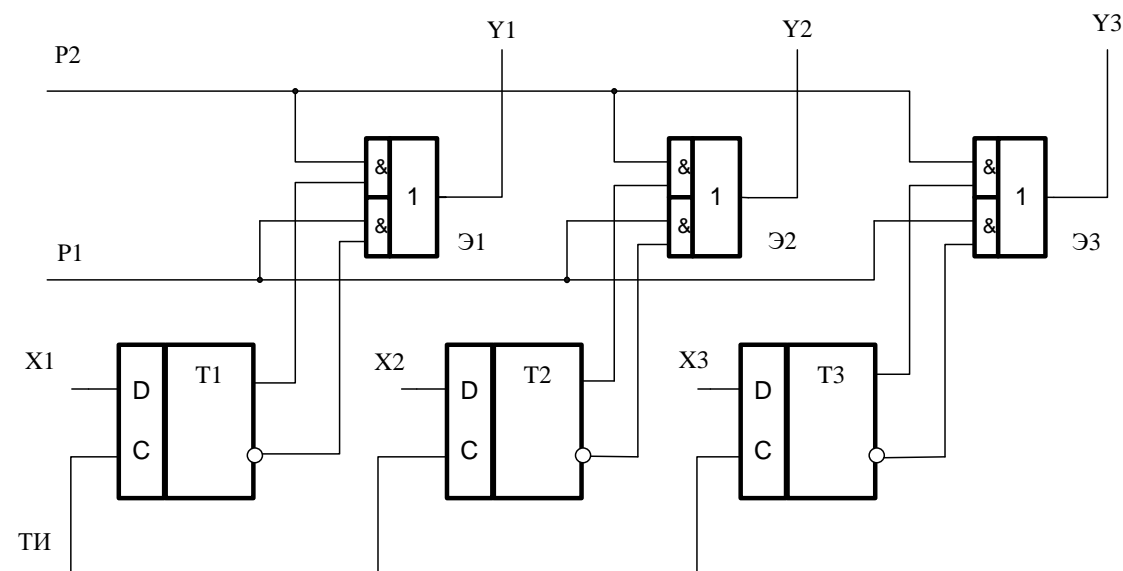


Рис.3.1. Регистр для приёма информации параллельным кодом и выдачи содержимого регистра в прямом и обратном кодах.

Схема данного регистра имеет выходную логику на элементах Э₁-Э₃, которая позволяет считывать информацию из регистра как в прямом, так и обратном коде в зависимости от значений разрешающего сигнала P2 и P1.

Регистр (рис.3.1.) выполнен на D-триггерах (Т₁-Т₃). Запись информации осуществляется по входам D в соответствии с уравнением D-триггера:

$$Q^{t+1} = \overline{C^t} Q^t + C^t D^t$$

Входное слово $X = x_3 x_2 x_1$ поступает на входы D триггеров и при $TI=1$ записывается в регистр.

Считывание выходного слова $Y = y_3 y_2 y_1$ производится через логические элементы 2И-НЕ - с прямых выходов $Q_3 Q_2 Q_1$ или с инверсных выходов $\overline{Q_3}, \overline{Q_2}, \overline{Q_1}$. При $P_{np}=1, P_{obr}=0, Y=X$ т.е. считывание происходит в прямом коде, а при $P_{np}=0, P_{obr}=1 Y=\overline{X}$, т.е. считывание происходит в обратном коде.

Сдвигающие регистры. В регистрах этого типа осуществляется сдвиг слова влево или вправо на заданное число разрядов. За один такт происходит сдвиг на один разряд. Применяются эти регистры в основном для преобразования параллельного кода в последовательный и наоборот, а также в

арифметических устройствах при выполнении операций над специальными кодами. Сдвигающие регистры выполняются только на динамических D-триггерах.

На рис.3.2 представлена схема сдвигающего регистра, выполняющего операцию преобразования последовательного кода в параллельный.

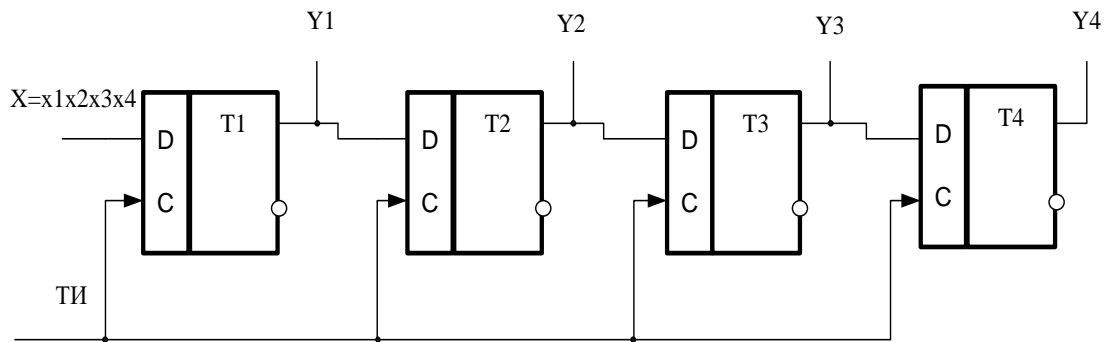


Рис. 3.2. Сдвигающий регистр вправо..

Число $X=x_3x_2x_1$ в последовательном коде поступает на вход D-триггера T_3 младшим разрядом вперёд. При поступлении 1-го ТИ x_1 записывается в T_3 . По второму ТИ x_1 переписывается в T_2 , а в T_3 записывается x_2 и т.д.

Таким образом, после трёх тактирующих импульсов всё число окажется записанным в регистр и может быть считано в параллельном коде с выходов Q_3, Q_2, Q_1 ($Y=X$) или $\bar{Q}_3, \bar{Q}_2, \bar{Q}_1$ ($Y=\bar{X}$). Процесс считывания организуется точно также, как и в схеме на рис. 3.1.

На рис.3.3 изображена схема сдвигающего регистра, выполняющего преобразование параллельного кода в последовательный.

последовательный код.

Входное слово $X=x_3x_2x_1$ при $P_1=[ТИ]=1$ и $P_2=0$ записывается в $T_3T_2T_1$ точно также, как и в схеме на рис. 3.1. Затем при $P_2=[ТИ]=1$ и $P_1=0$ происходит перезапись информации из T_3 в T_2 , из T_2 в T_1 и т.д. Из младшего разряда в старший разряд по каждому тактирующему импульсу. Таким образом, на выходе последнего разряда Q_1 будут последовательно появляться x_3, x_2, x_1 , т.е. входное слово X , представленное в параллельном коде будет преобразовано в выходное слово Y , представленное последовательным кодом.

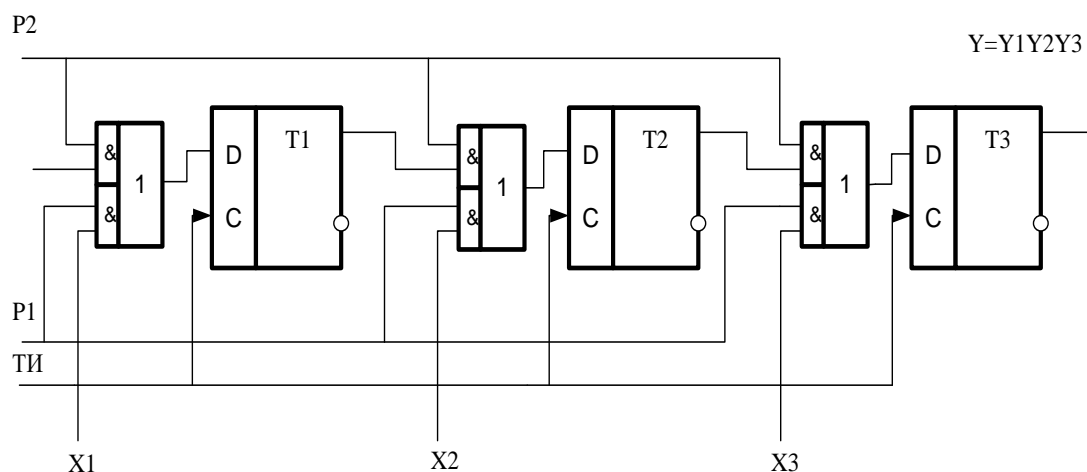


Рис. 3.3 Сдвигающий регистр для преобразования параллельного кода в последовательный.

В регистрах на схемах рис.3.1 - 3.3 количество триггеров в регистре зависит от разрядности преобразуемого машинного слова. Процесс записи, считывания и преобразования остаётся таким же, как было описано выше.

2. Методика подготовки схем для исследования.

2.1. Описание необходимых приборов и инструментария программы EWB.

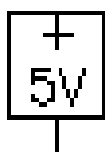


Рис. 3.4. Voltage Source – источник постоянного напряжения +5 вольт.

С помощью этого источника на вход триггеров и логических элементов подается логическая единица.



Рис.3.5. Переключатель (Basic->Switch).

Переключение производится нажатием на клавишу, указанную в скобках над этим элементом.

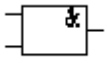


Рис. 3.6. Логический элемент "И" (Logic gates->2-Input AND gate).

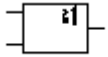


Рис. 3.7 Логический элемент "ИЛИ" (Logic gates->2-Input OR gate).

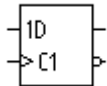


Рис.3.8. Триггер типа D (Digital->D Flip-Flop)



Рис.3.9. Светоиндикатор (Indicators->red Prob).

При подаче на этот элемент логической единицы светодиод загорается красным цветом.

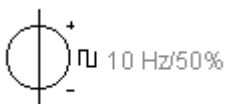


Рис.3.10. Источник прямоугольных сигналов (Sources->Clock).

Источник выполняет функцию синхронизатора, который обеспечивает одновременность подачи сигналов на входы триггеров.



Рис.3.11 Графический анализатор.

С помощью графического анализатора снимается временная диаграмма сигналов на выходах регистра. Подробное описание прибора изложено в п.2 часть 2 Лаб.работы №2. (Триггеры)

2.2 Порядок построения схемы регистра параллельного занесения кода.

2.2.1 Сборка переключающих схем для управления считыванием в прямом и обратном кодах:

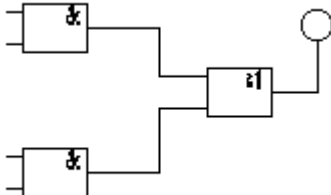


Рис.3.12. Элементарный мультиплексор.

Для реализации схемы переключения прямого кода на обратный на выходе регистра необходимо три таких мультиплексора. Аналогичные мультиплексоры используются и в реверсивном регистре.

2.2.2. К входу С1 каждого из трёх D-триггеров подключим источник прямоугольных импульсов с частотой 10 Гц, заземлив его на выходе минусового сигнала:

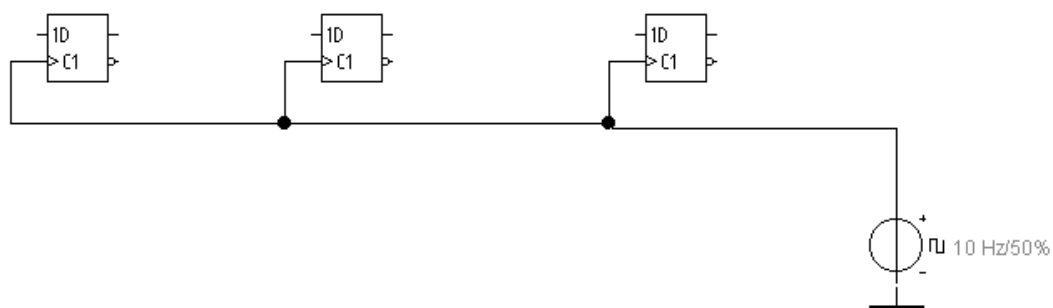


Рис.3.13. Промежуточная схема регистра.

2.2.3. Три источника напряжения 5в подсоединяются через переключатели к входам D1 триггеров каждого разряда.

Для настройки управлением переключателя необходимо назначить клавишу для переключения данного переключателя. Для этого нужно двойным щелчком мыши кликнуть на изображении переключателя и меню настройки в форме KEY указать эту клавишу.

2.2.4. Инверсный выход триггера подключить к входу нижнего логического элемента логического элемента "И". Прodelать эту процедуру с каждым триггером и соответствующим соединением.

2.2.5. Источник напряжения 5в подключить к входу переключателя, выбирающего прямое или инверсное считывание. Верхний вывод переключателя подключить к верхнему входу верхнего логического элемента "И" каждой схемы.

2.2.6. Итоговая схема регистра, готовая к проведению проверки работы выглядит следующим образом:

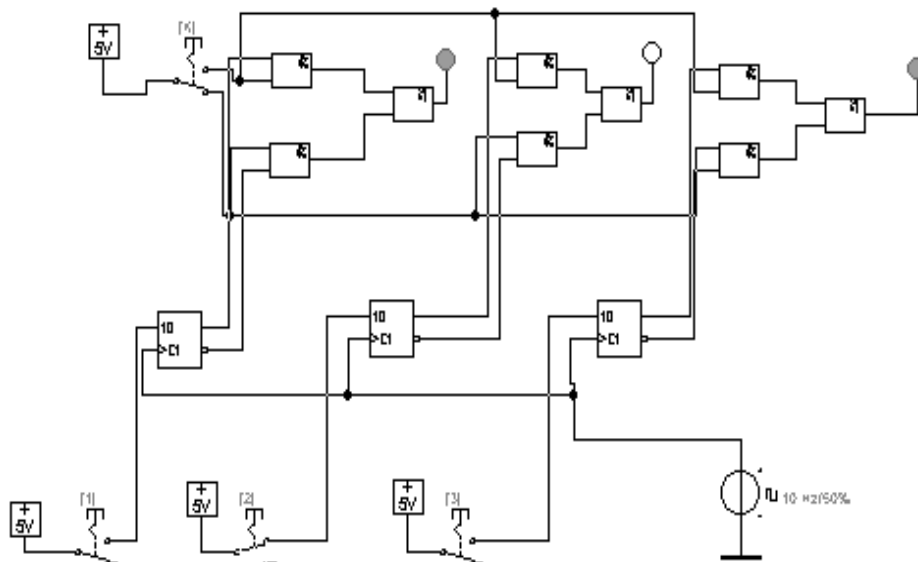


Рис.3.14. Регистр параллельного занесения с выходными мультиплексорами.

При изменении положения переключателя К на индикаторах отображается инверсный код.

2.3 Построение схемы сдвигающего регистра вправо.

2.3.1. В основе схемы сдвигающего регистра используется та же элементная база, что и в п. 2.2.

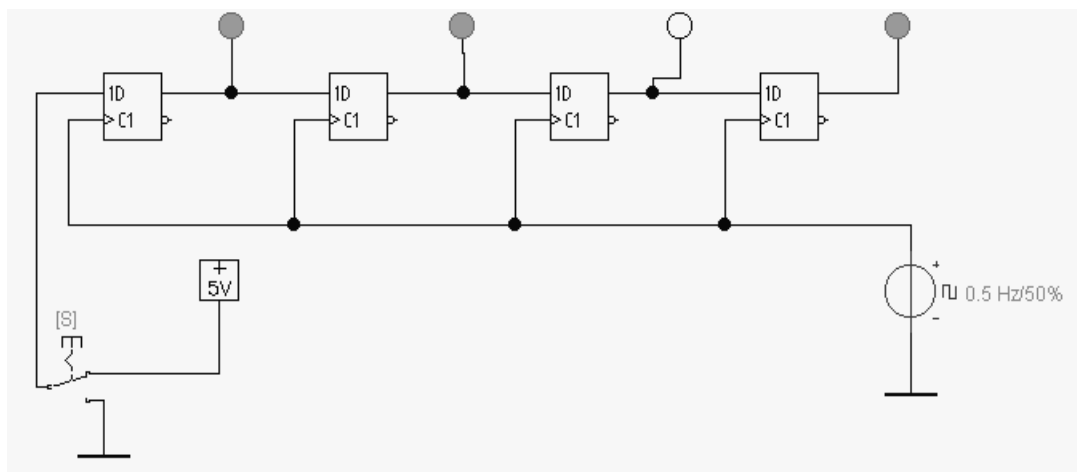


Рис.3.15. Сдвигающий регистр вправо на 4 разряда.

Изменяя частоту генератора синхроимпульсов в пределах 0.1 до 1 Гц, с помощью переключателя S (клавиша S) можно заносить

последовательный код. Желательно добавить выключатель, прерывающий подачу синхросигналов.

Для получения временных диаграмм контакты левой панели логического анализатора соединяют с выходом генератора синхроимпульсов и прямыми выходами каждого из триггеров регистра.

Настройка логического анализатора изложена в лабораторной работе «Исследование триггеров».

2.4. Моделирование работы счетчика Джонсона.

Для получения схемы счетчика Джонсона необходимо соединить инверсный выход старшего разряда регистра с входом младшего.

Изменяя частоту синхроимпульсов, можно добиться разной скорости изменения состояний.

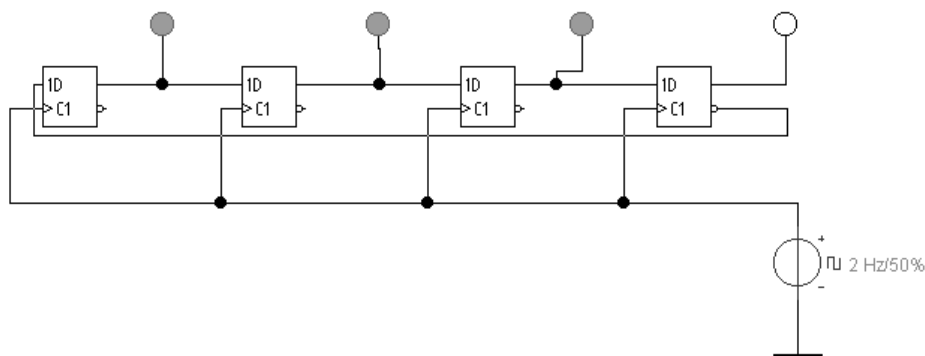


Рис. 3.16. Схема счётчика Джонсона.

2.5. Технология построения реверсивного регистра. В схеме построения реверсивного регистра необходимо к каждому триггеру регистра впереди добавить схему мультиплексора, примененного в п. 2.2.1. Через одни элементы И организовать передачу кода вправо, через другой элемент И передачу кода влево. Два другие входа элементов И использовать для подачи управляющих сигналов.

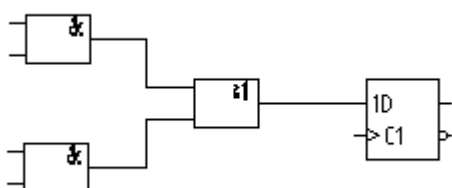


Рис. 3.17. Дополнение триггера реверсивного регистра схемой мультиплексора.

Собрать схему реверсивного сдвигающего регистра. Организовать управление направлением сдвига с помощью переключателя и обеспечить индикацию выполнения операций сдвига.

2.6. Технология построения универсального регистра, выполняющего операции сдвигов в обе стороны и параллельное занесение (рис.3.18).

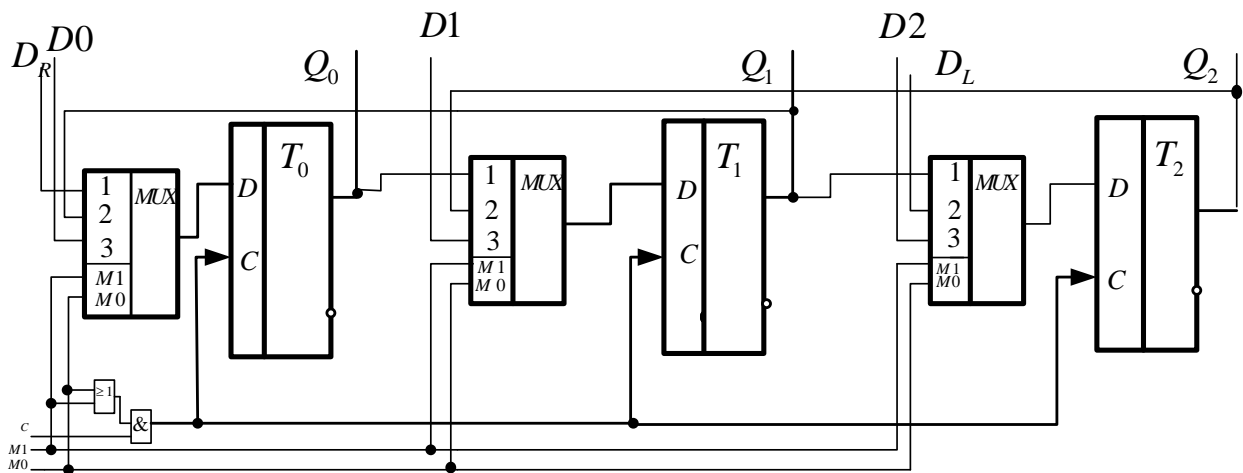


Рис. 3.18. Универсальный регистр на 3 разряда с готовыми мультиплексорами.

На рис. 3.19 показано условно-графическое изображение мультиплексора.

Библиотека пакета EWB имеет в закладке Digital иконку устройств MUX.

В ней надо выделить первый элемент Generic 1-of 8 MUX (рис. 3.19)

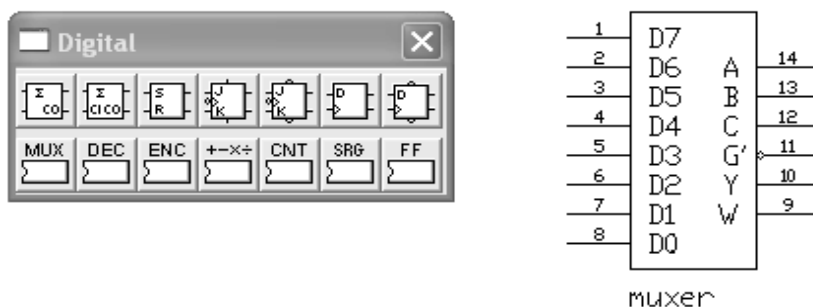


Рис. 3.19 Библиотечный мультиплексор.

Назначение входов и выходов мультиплексора muxer: вход D1 для организации сдвига вправо, вход D2 для организации сдвига влево, D3 для организации параллельного занесения кода. Остальные входы не

используются. Выходы: А –младший разряд адреса, В –следующий (старший) разряд адреса, Y – выход мультиплексора.

3. Задание на выполнение лабораторной работы

3.1. Составить схему трехразрядного регистра для занесения слова параллельным кодом и возможностью вывода в прямом и обратном кодах и контролем по индикаторам.

3.2. Составить схему 4-х разрядного сдвигающего регистра вправо.

Предусмотреть возможность управления отключением синхроимпульса.

Освоить занесение любого 4-х разрядного числа последовательным кодом.

Снять временную диаграмму занесения одного из чисел.

3.3. Составить схему 4-х разрядного сдвигающего регистра влево.

3.4. Составить схему универсального трёхразрядного регистра с применением библиотечного мультиплексора «Genetic-1-of-8 MUX». Исследовать универсальный регистр в режимах: параллельного занесения, сдвига вправо, сдвига влево и считывания содержимого регистра.

4. Содержание отчета

4.1. Схемы, моделирующие работу регистров по всем пунктам задания.

4.2. Временные диаграммы, поясняющие работу регистров.

4.3. Порядок переключения режимов универсального регистра.

5. Контрольные вопросы

5.1. Определение регистра.

5.2. Какие действия выполняются при “сбросе” регистра?

5.3. Перечислите операции, выполняемые регистрами.

5.4. Почему регистры преимущественно строятся на D-триггерах?

5.5. В каком режиме работы регистра осуществляется запись информации в последовательном коде.

5.6. Как производится считывание информации из регистра в прямом коде?

5.7. Как производится считывание информации из регистра в обратном коде?

5.8. Назначение различных типов регистров в вычислительных устройствах.

5.9. Какие типы триггеров могут быть использованы для построения регистров?

5.10. Назначение синхросигнала в работе регистров.

5.11. Какие дополнительные устройства необходимы для построения универсального регистра.

5.12. Последовательность действий, выполняемых на регистрах с целью преобразования параллельного кода в последовательный код и обратно.

Часть 2. Исследование счётчиков (Учётный шифр: Л.3.2)

Цель работы - изучение принципов построения счетчиков и пересчетных схем, выполненных на динамических счётных триггерах. Получение навыков создания схем счётчиков, имеющих различное (заданное) количество состояний, применяя различные методы построения связей в счётчиках.

Продолжительность работы: - 4 часа.

1. Краткие теоретические сведения об объекте исследования.

Одной из наиболее распространенных операций, выполняемых в вычислительных устройствах цифровой обработки информации, является подсчет числа сигналов импульсного или потенциального вида.

Узел вычислительных устройств, предназначенный для подсчета числа входных сигналов, называется *счетчиком*. Счетчики широко применяются почти во всех цифровых устройствах автоматики и вычислительной техники. В цифровых вычислительных машинах счетчики используются: для подсчета шагов программы, для подсчета циклов сложения и вычитания при выполнении арифметических операций, для преобразования кодов, в делителях частоты и распределителях сигналов и т.п.

По *системе счисления* счетчики делятся на двоичные, двоично-десятичные, десятичные, счетчики с основанием системы счисления не равным 2 и 10 (пересчетные схемы).

По *реализуемой операции* счетчики подразделяются на суммирующие, вычитающие и реверсивные.

К основным параметрам счетчиков относятся:

- модуль счета или коэффициент пересчета счетчика $K_{сч}$, характеризующий число устойчивых состояний, в которых может находиться n - разрядный счетчик, т. е. предельное число входных сигналов, которое может быть подсчитано счетчиком.

Двоичный n - разрядный счетчик имеет 2^n различных состояний.

Число разрядов двоичного счетчика можно определить по выражению:

$$n \geq \log_2 K_{сч}$$

где n — число разрядов, определяемое ближайшим целым числом, удовлетворяющим данному неравенству; $K_{сч}$ - коэффициент пересчета;

- максимальная частота поступления входных сигналов $f_{сч\ max}$
 - частота, при которой счетчик еще сохраняет работоспособность;
- эта частота определяется, как правило, максимально допустимой частотой переключения триггера младшего разряда счетчика.

Синтез счетчиков и пересчетных схем на универсальных D- и JK – триггерах.

Простейшим счетчиком является триггер со счетным входом, регистрирующий сигналы по модулю 2, т.е. осуществляющий подсчет и хранение результата подсчета не более двух сигналов. Соединив несколько счетных триггеров определённым образом, можно получить схему многоразрядного счетчика.

В настоящее время в состав большинства современных серий логических микросхем (133, K133, 155, K155 и др./ входят широко используемые **D** и **J-K**-триггеры.

При использовании **D** - триггеров в качестве счетного триггера его инверсный выход соединяют со своим входом **D**. Работать в счётном режиме могут триггеры только динамического типа.

Представление счётчика цепочкой счётных триггеров возможно, как для суммирующего, так и для вычитающего вариантов, поскольку закономерность по соотношению частот переключения разрядов сохраняется как при просмотре таблицы сверху, так и снизу. Различия при этом состоят в направлении переключения предыдущего разряда, вызывающего переключение следующего.

При прямом счёте (суммирование) следующий разряд переключается при переходе предыдущего в направлении из 1 в 0, а при обратном счёте – при переключении из 0 в 1.

Асинхронный суммирующий счетчик на **D** - триггерах можно получить, соединив инверсный выход предыдущего триггера \bar{Q} со входом **C** последующего триггера.

Схема асинхронного четырёхразрядного суммирующего счетчика на **D** - триггерах приведена на рис. 3.20.

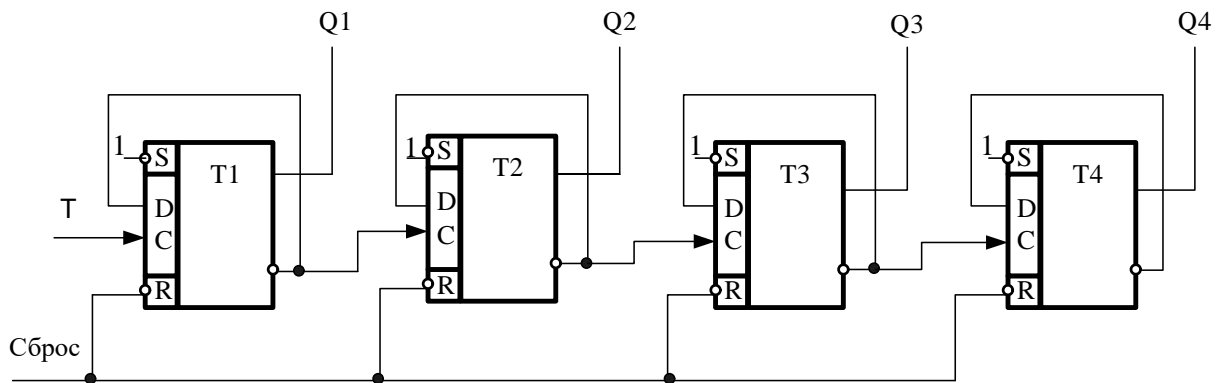


Рис. 3.20. Схема асинхронного суммирующего счётчика на D-триггерах.

Для построения вычитающего счетчика на **D** - триггерах прямой выход предыдущего триггера соединяют со входом **C** последующего триггера.

Схема асинхронного четырёхразрядного вычитающего счетчика на **D** - триггерах приведена на рис. 3.21.

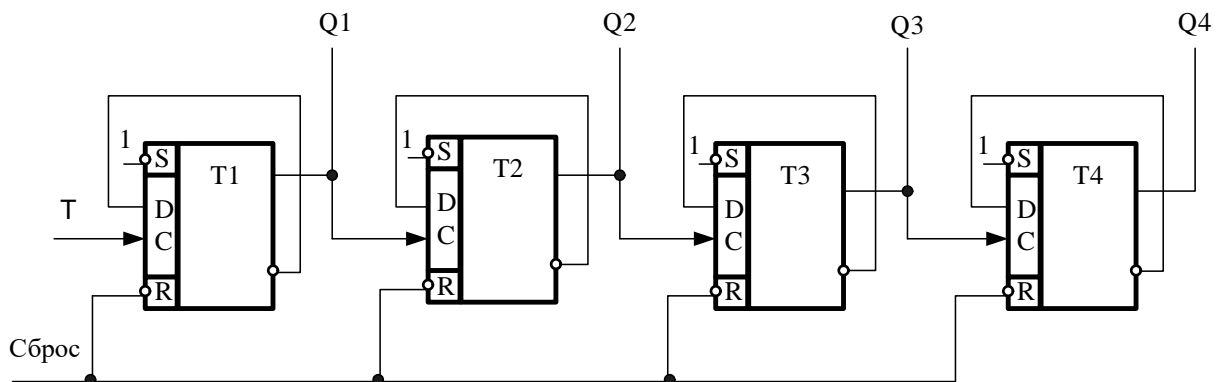


Рис. 3.21 Схема асинхронного вычитающего счётчика на D-триггерах.

Для построения суммирующего асинхронного счетчика на

JK - триггерах необходимо соединить прямые выходы предыдущих триггеров со входом С последующих триггеров.

JK триггер должен находиться в счётном режиме, при котором входные сигналы $J=K=1$.

Схема асинхронного 4-х разрядного суммирующего счетчика на **JK** -триггерах приведена на рис.3.22

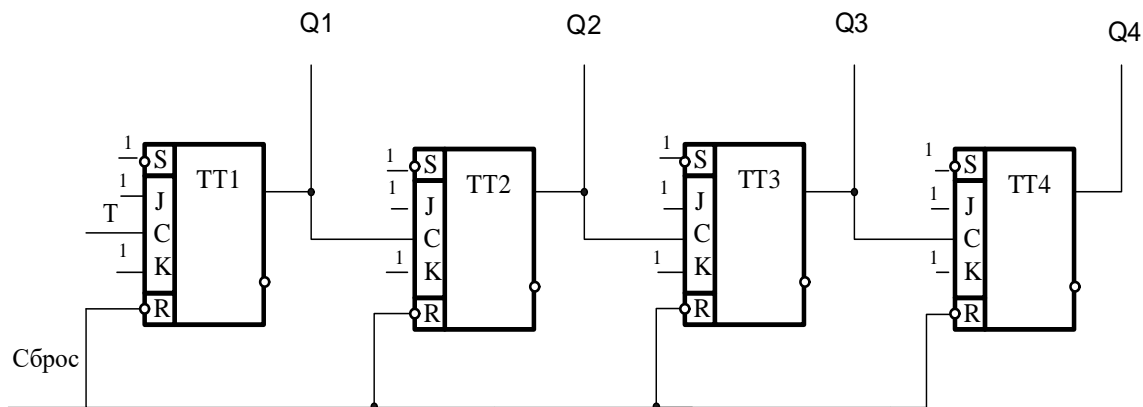


Рис. 3.22 Схема асинхронного суммирующего счётчика на JK – триггерах.

Асинхронный вычитающий счетчик на **JK** - триггерах можно получить, соединив инверсный выход предыдущего триггера соединить со входом С последующего триггера (рис. 3.23).

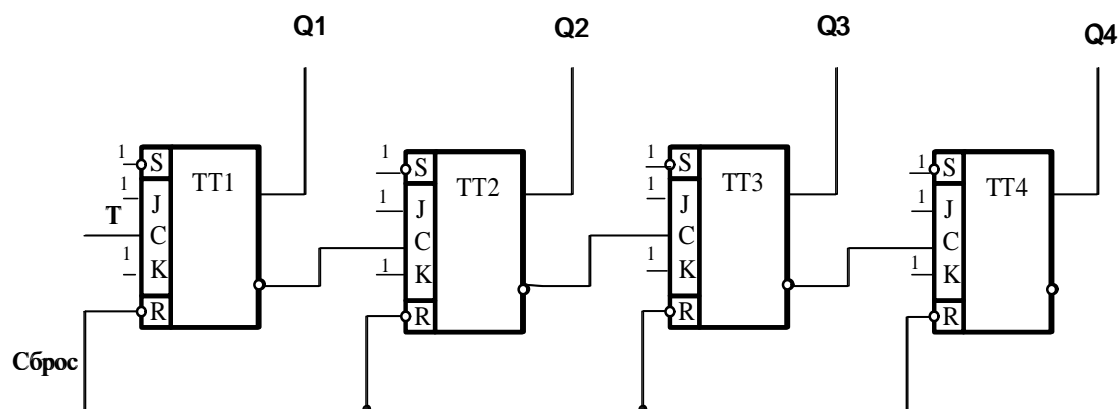


Рис. 3.23 Схема асинхронного вычитающего счётчика на JK – триггерах.

Реверсивные счетчики осуществляют подсчет сигналов, как в прямом, так и в обратном направлении, т.е. они могут работать в режиме сложения и в режиме вычитания сигналов.

Для построения реверсивных счетчиков необходимо предусмотреть схемы, пропускающие сигналы на вход следующих триггеров либо с инверсного (при суммировании), либо с прямого (при вычитании) выходов предыдущего триггера.

Схема асинхронного реверсивного счетчика на **D**-триггерах со схемой управления прямым и обратным счетом приведена на рис.3.24.

Асинхронные реверсивные счетчики на **JK**-триггерах строятся аналогично реверсивным счетчикам на **D** - триггерах.

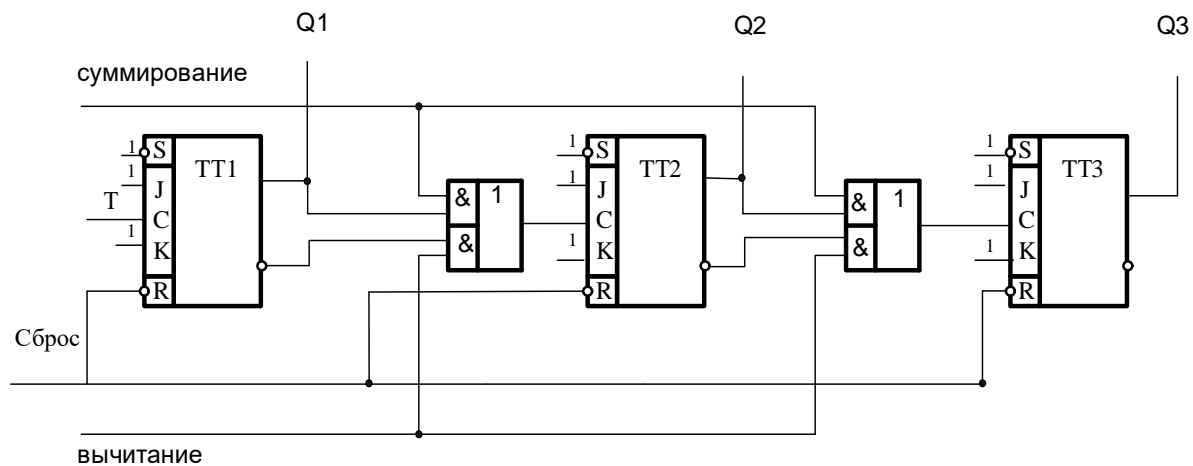


Рис. 3.24. Схема асинхронного реверсивного счётчика на JK триггерах.

Рассмотренные выше счетчики имели коэффициент пересчета 2^n . Однако на практике возникает необходимость в счетчиках, коэффициент пересчета которых отличен от 2^n . Очень часто, например, применяются счетчики с $K_{сч} = 3, 10$ и т.д., т.е. счетчики, имеющие число устойчивых состояний соответственно 3, 10 и т.д. Принцип построения таких счетчиков заключается в исключении “лишних” устойчивых состояний счетчика с $K_{сч} = 2^n$, т.е. в организации схем, запрещающих некоторые состояния.

Число запрещенных состояний для любого счетчика можно определить по следующему выражению:

$$m = 2^n - K_{сч}$$

где m - число запрещенных состояний;

2^n - число устойчивых состояний двоичного счетчика; $K_{сч}$ - требуемый коэффициент пересчета.

Например, для счетчика с $K_{сч} = 3$, который строится на двух счетных триггерах, и для счетчика с $K_{сч} = 10$, который строится на четырех счетных триггерах, число избыточных состояний согласно формуле равно 1 и 6 соответственно.

Рассмотрим способ построения счетчика с естественным порядком счета, у которого уменьшение числа устойчивых состояний достигается за счет сбрасывания счетчика в нулевое состояние при записи в него заданного числа сигналов.

В соответствии с этим способом к счетчику добавляется логическая схема, проверяющая условие: «Код на счетчике изображает число, равное $K_{сч}$ и в зависимости от результата проверки направляет входной сигнал либо на шину "установка 0", либо на суммирование к записанному коду.

Это условие можно проверить с помощью n -входовой схемы «И», связанной с прямыми выходами тех триггеров, которые при записи в счетчике коэффициента $K_{сч}$ должны находиться в состоянии «1», и с инверсными выходами триггеров, которые в этом случае должны находиться в состоянии «0».

Практически число входов элемента "И" можно сократить, связав его с прямыми выходами, т.к. сочетание единиц в записи кода числа $K_{сч}$ может повториться только в недозволённых кодах больших $K_{сч}$.

Рассмотрим синтез схемы подобного счетчика на примере $K_{сч}=10$, т.е. счетчик должен иметь 10 состояний - от 0 до 9 в десятичной системе и от 0000 до 1001 в двоичной системе. Сначала определим разрядность счетчика

$$n \geq \log_2 K_{сч} = \log_2 10 \approx 3.35$$

Полученное значение n округляется до ближайшего целого числа, т.е. $n=4$. Затем определим, какие разряды счетчика будут находиться в единичном состоянии при записи в счетчик коэффициента $K_{сч}$.

$$K_{cy} = 10_{10} = 1010 = Q_4 \overline{Q_3} Q_2 \overline{Q_1}$$

Прямые выходы этих разрядов заводятся на входы логической схемы "И" и далее в цепь установки "0". Таким образом, при достижении счетчиком значения $K_{сч}$ он автоматически возвращается в состояние 0000 и счет начинается снова.

Схемы суммирующих счётчиков с $K_{сч}=10$, построенных на D – триггерах и JK – триггерах, приведены на рис. 3.25 и 3.26.

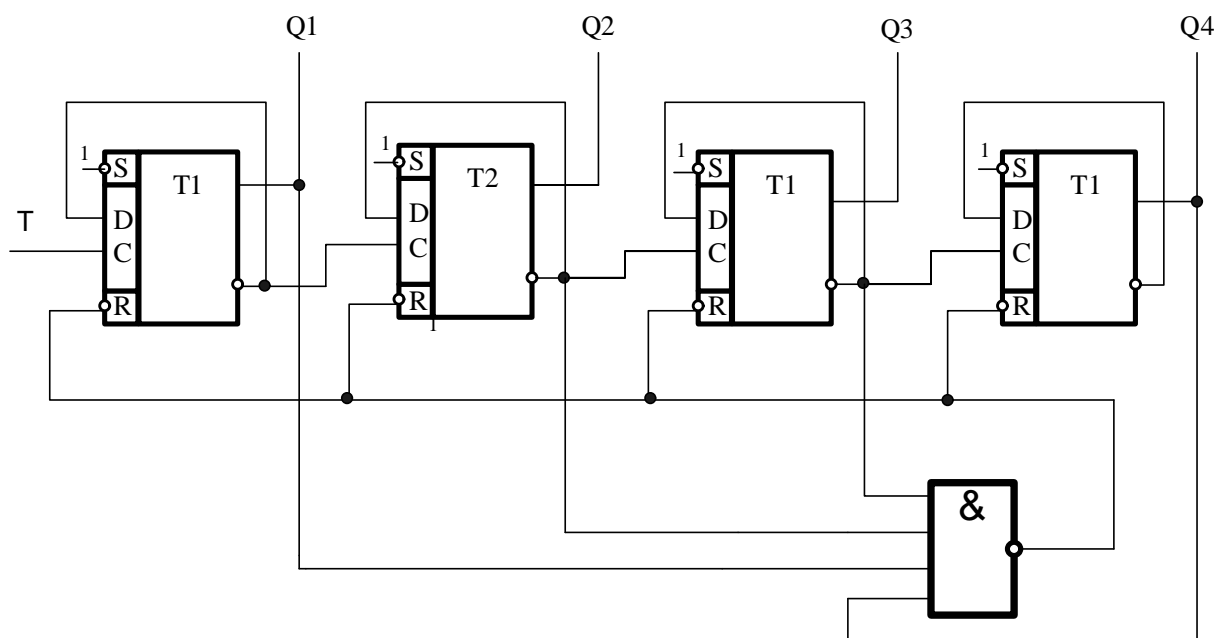


Рис. 3.25. Суммирующий счетчик с $K_{сч}=10$ на D-триггерах.

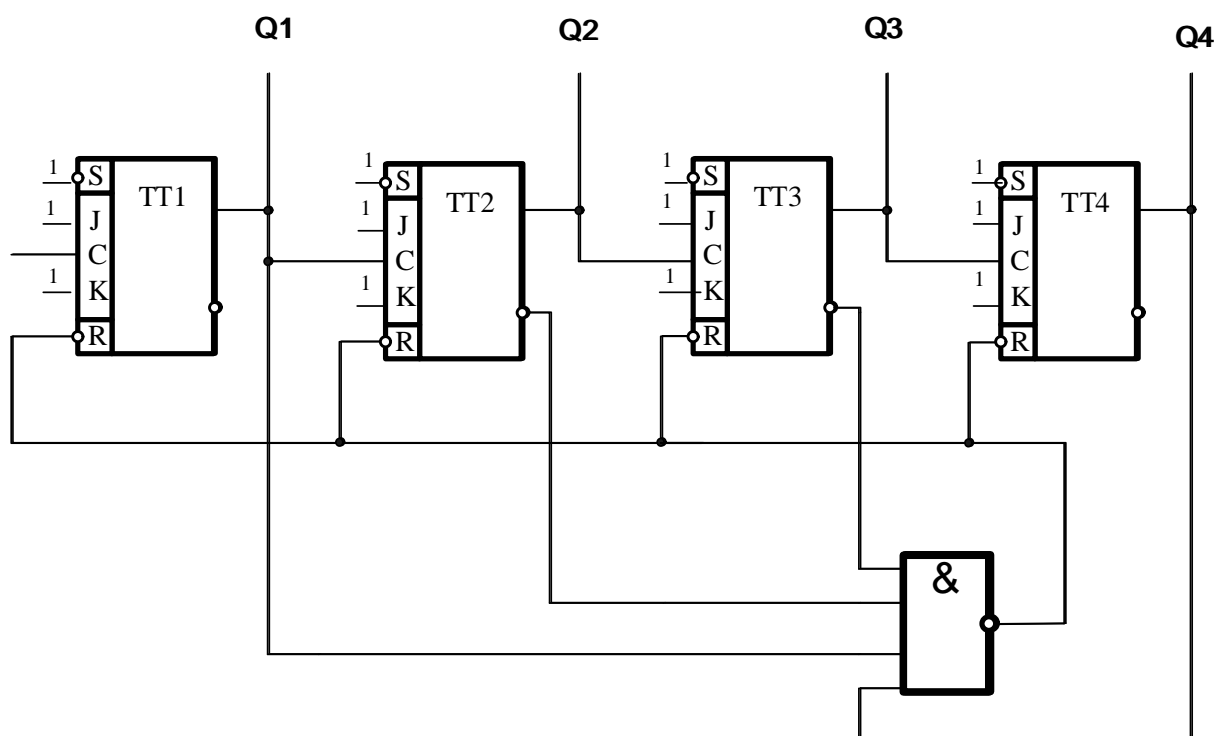


Рис. 3.26 Суммирующий счетчик с $K_{сч}=10$ на JK-триггерах.

Синтез синхронных счетчиков на основе JK -триггера

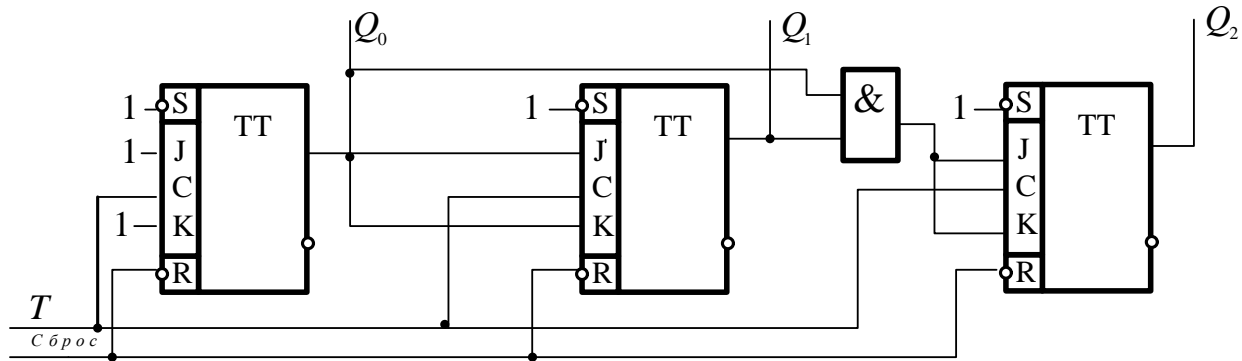
Особенностью синхронного счётчика является то, что счётный сигнал подаётся по шине одновременно на синхровходы триггеров всех разрядов. Логика переключения счётчика управляется переводом триггера данного разряда в счётное состояние (логические единицы на входах J и K), либо в иное состояние, когда изменение состояния триггера не меняется при наличии счётного сигнала.

Во многих схемах JK триггер реализуется с наличием нескольких входов J и входов K, объединённых конъюнкторами (логический элемент «И»).

Проанализировав последовательность двоичных состояний счётчика, можно сделать вывод о том, что i -тый разряд счётчика должен поменять своё состояние при приходе очередного счётного импульса только тогда, когда все разряды более младшие разряды находятся в состоянии логических единиц.

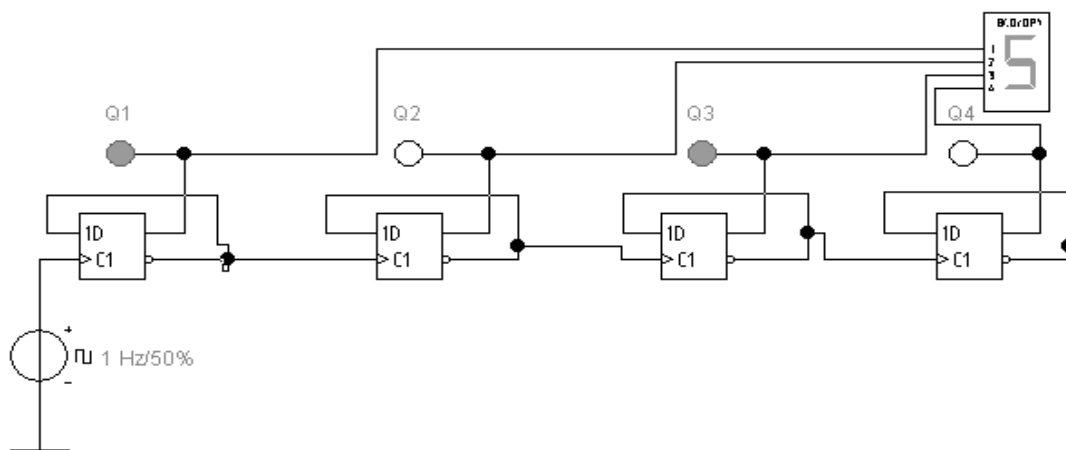
Самый младший разряд счётчика должен менять своё состояние при каждом

Схема трёхразрядного синхронного суммирующего счётчика показана на рис. 3.27



2. Методика подготовки схем для исследования.

На рис. 3.28 представлена схема асинхронного суммирующего счётчика на D-триггерах, преобразованных в счётные, собранная в среде Electronics Workbench.



Подготовить четыре счётных триггера путём преобразования

D-триггеров: для этого воспользоваться соединителем (connector из инструментов basic), через него соединить инверсный выход D-триггера с входом D, без соединителя такое соединение получить нельзя.

К прямым выходам разрядов подключить семи сегментный индикатор с дешифратором (имеющий 4 входных разряда).

Аналогичным образом на тех же триггерах построить вычитающий счетчик.

Асинхронный счётчик на JK триггерах строится аналогично. При использовании JK триггеров с инверсными установочными входами, необходимо запитать их логическими 1, т.е. подать потенциал +5 вольт.

Этим же потенциалом надо запитать все входы J и K.

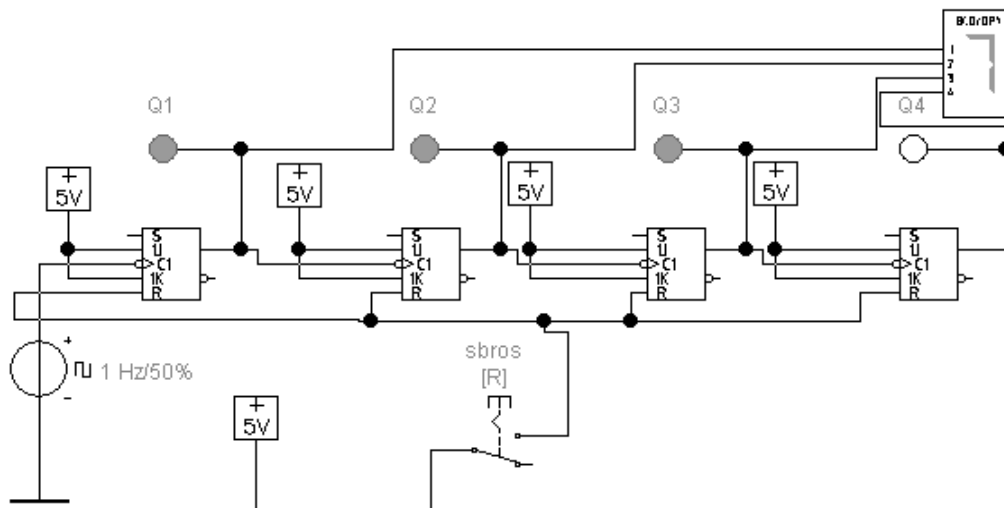


Рис. 3.29. Асинхронный суммирующий счётчик на счётных триггерах с задержкой (JK – триггерах).

2.3 В структуре реверсивного асинхронного счётчика на JK-триггерах добавляются мультиплексоры переключения меж разрядных связей (рис. 3.30).

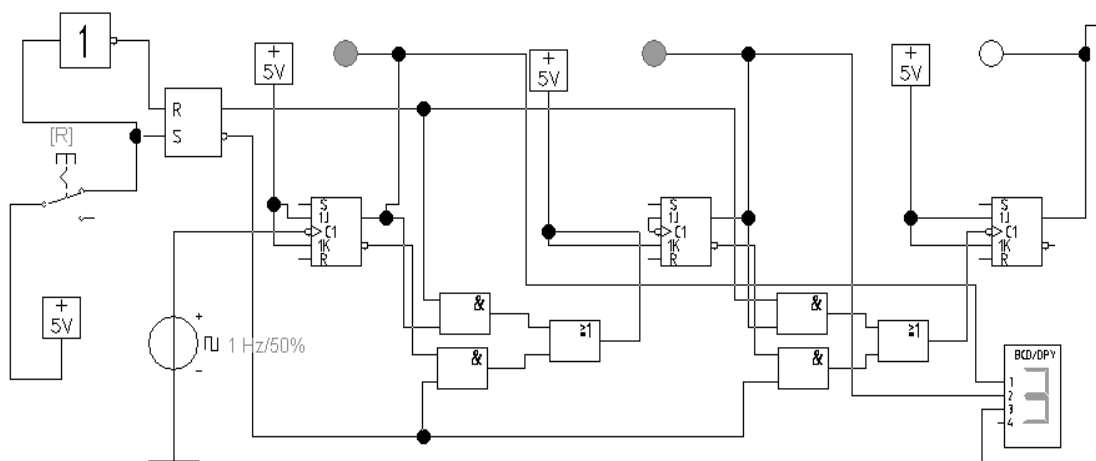


Рис. 3.30 Реверсивный счётчик.

2.4. В счётчиках синхронного типа (рис. 3.31) синхроимпульс заводится на все разряды и добавляются элементы И, управляющие переключением каждого из разрядов, кроме младшего, в счётный режим.

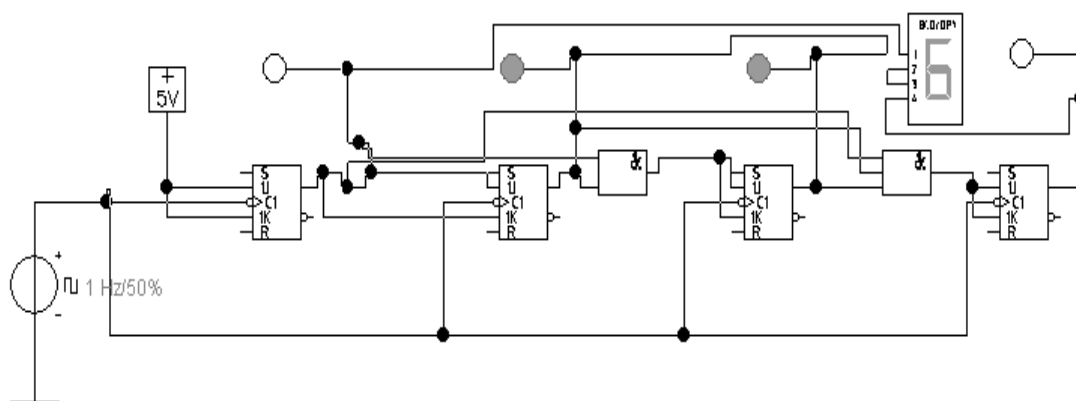


Рис. 3.31 Синхронный суммирующий счётчик на универсальных
J-К триггерах.

3. Задание на выполнение лабораторной работы.

- 3.1. Собрать асинхронные 4-х разрядные счётчики из динамических D-триггеров, превращённых в счётные.
- 3.2. Собрать асинхронные 4-х разрядные счётчики из счётных JK триггеров.
- 3.3. Собрать асинхронный 3-х разрядный реверсивный счётчик, с применением у каждого разряда счётчика мультиплексора для переключения меж разрядных связей.

3.4. Собрать синхронные 4-х разрядные суммирующий и вычитающий счётчики.

3.5. Ограничить значение модуля счётчика (синхронного) (вычитающего или суммирующего) числом, назначенным преподавателем. Собрать схему анализа модуля счёта на элементах «И», либо «И-НЕ».

4. Содержание отчета.

4.1. Схемы, моделирующие работу счётчиков по всем пунктам задания.

4.2. Временные диаграммы, поясняющие работу счётчиков.

4.3. Анализ работы счётчика с помощью цифрового индикатора.

5. Контрольные вопросы.

5.1. Каково назначение счетчиков в вычислительных устройствах?

5.2. Перечислите признаки классификации счетчиков.

5.3. Дайте определение коэффициента пересчета счетчика.

5.4. Чем определяется максимальная частота поступления входных сигналов на счетчик?

5.5. Как построить суммирующий двоичный счетчик на **D**-триггерах?

5.6. Как построить вычитающий двоичный счетчик на **D**-триггерах?

5.7. Как построить суммирующий двоичный счетчик на **JK**-триггерах?

5.8. Как построить вычитающий двоичный счетчик на **JK**-триггерах?

5.9. Дайте определение реверсивного счетчика.

5.10. Расскажите об общем принципе построения пересчетных схем.

5.11 Опишите методику построения пересчетных схем с естественным порядком счета.

5.12. За счет чего можно сократить число входов элемента “И” в пересчетных схемах?

5.13. В чём особенность работы синхронного счётчика?

5.14. Какое свойство JK - триггеров позволяет построить на их основе синхронные счётчики?

5.15. Какое устройство позволяет построить реверсивный счётчик?

Лабораторная работа № 4.

«Исследование арифметических устройств»

Часть 1. Исследование сумматоров и вычитателей.

**Часть 2. Исследование сумматоров дополнительного и
обратного кодов. Исследование компараторов.**

Часть 1. Исследование сумматоров и вычитателей.

(Учётный шифр: Л.4.1.)

Цель работы: - ознакомление с возможностями моделирования работы схем сумматоров. Исследование одноразрядного и многоразрядного сумматоров, одноразрядного и многоразрядного вычитателей, универсального сумматора-вычитателя, инкрементора и декрементора.

Исследование возможности применения сумматора для выполнения операции вычитания над аргументами со знаками.

Продолжительность работы: - 4 часа.

1. Краткие теоретические сведения об объекте исследования.

Сумматор- это электронное устройство, выполняющее арифметическое сложение кодов двух чисел. Сумматоры применяются и для выполнения операции вычитания, но для этого осуществляются дополнительные преобразования кодов чисел.

В зависимости от системы счисления различают:

- двоичные сумматоры;
- двоично-десятичные;
- десятичные;

По количеству одновременно обрабатываемых разрядов складываемых чисел сумматоры бывают:

- одноразрядные;
- многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров различают:

- четвертьсумматоры (элементы «сумма по модулю 2», то есть «исключающее ИЛИ»), имеют два входа для двух одноразрядных чисел и один выход, на котором реализуется их арифметическая сумма;
- полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом - перенос в следующий (более старший разряд);

- полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом - перенос в следующий (более старший разряд).

По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

- последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно соединённых цепями переноса.

По способу выполнения операции сложения выделяются два типа сумматоров:

- комбинационный сумматор, выполняющий микрооперацию " $S=A+B$ ", в котором результат выдаётся по мере его образования;
- накапливающий сумматор, на вход которого операнды подаются последовательно с некоторой задержкой.

2. Методика подготовки схем для исследования.

Voltage Source – источник постоянного напряжения +5 вольт. С помощью этого источника на вход триггеров и логических элементов подается

логическая единица.

Переключатель (Basic->Switch).

Переключение производится нажатием на клавишу, указанную в скобках над этим элементом.

Логический элемент "И" (Logic gates->2-Input AND gate).

Логический элемент "ИЛИ-Исключающее" (Logic gates->2-Input NOR gate).

Светоиндикатор (Indicators->red Prob). При подаче на этот элемент логической единицы светодиод загорается красным цветом.
 Семи сегментный цифровой индикатор.

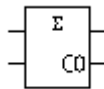


Рис. 4.1 Одноразрядный полусумматор из библиотеки пакета EWB (Half-Adder) (закладка Digital).

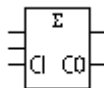


Рис. 4.2 Одноразрядный полный сумматор из библиотеки пакета EWB (Full-adder) (закладка Digital).

Полный одноразрядный вычитатель, который надо оформить в виде субблока представлен на рис. 4.3

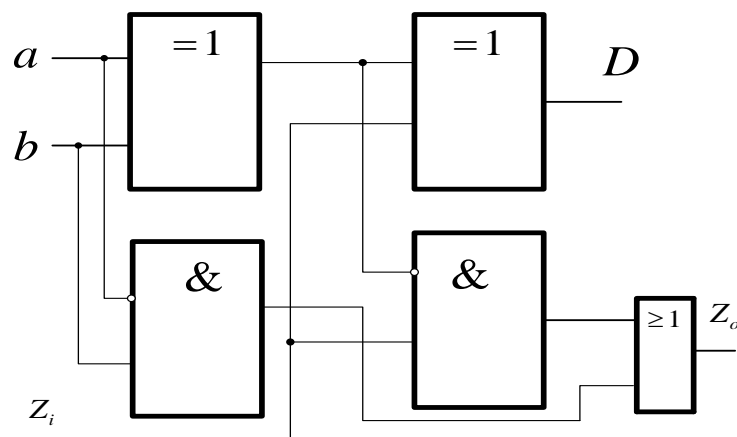


Рис. 4.3 Схема полного вычитателя на логических элементах «Исключающее ИЛИ», «Запрет» и «ИЛИ».

3. Задание на выполнение лабораторной работы.

3.1. Собрать и исследовать работу одноразрядного полусумматора по таблице истинности (табл. 1), в которой:

a - первое одноразрядное слагаемое, b - второе одноразрядное слагаемое, p - выходной перенос, s - сумма.

Таблица истинности полусумматора. Таблица 1.

a	b	p	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Собрать одноразрядный полусумматор на элементах «ИЛИ-исключающее» и «И».

Повторить исследование, используя библиотечный полусумматор (рис.1).

3.2. Собрать и исследовать работу полного одноразрядного сумматора
таблице истинности (табл. 2):

Таблица истинности полного сумматора. Таблица 2.

a	b	p	P	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

p – входной перенос, P – выходной перенос.

Собрать схему полного сумматора из двух полусумматоров.

Повторить аналогичное исследование с библиотечным полным сумматором.

3.3. Собрать четырёхразрядный параллельный сумматор (из библиотечных сумматоров, рис. 4.1, рис. 4.2) и исследовать его работу. Организовать цепь последовательного переноса между разрядами.

Для одновременной подачи кодов двух слагаемых использовать группы выключателей установки кода первого слагаемого и группы выключателей установки кода второго слагаемого.

Представить в отчёт по лабораторной работе собранные схемы сумматоров.

3.4. Собрать и исследовать схему одноразрядного полувычитателя по таблице истинности табл. 3, в которой: a - одноразрядное уменьшаемое, b - одноразрядное вычитаемое, z – выходной заём, D - разность.

Таблица истинности полувычитателя. Таблица 3.

a	b	z	D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

3.5. Собрать и исследовать полный вычитатель из двух полувычитателей.

Проверить работу по таблице истинности полного вычитателя табл.4.

Таблица истинности полного вычитателя. Таблица 4.

a	b	z	Z	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

z - входной заём, Z – выходной заём.

Отлаженный полный вычитатель оформить в виде субблока с наименованием VCH и сохранить в библиотеке субблоков.

3.6. Собрать и исследовать четырёхразрядный вычитатель параллельного действия из подготовленных в п.3.5. субблоков полных вычитателей.

Организовать последовательную цепь распространения заёма между разрядами.

Проверку осуществить для двоичных значений $a > b$ для отображения разности в прямом коде.

3.7. Собрать и исследовать трёхразрядную схему инкрементора из библиотечных полусумматоров (рис. 4.1). Организовать цепь последовательного переноса, используя вход «b» полусумматора. На вход «b» младшего разряда инкрементора подать значение 1 (потенциал + 5v). На выходе инкрементора подаваемое многоразрядное число должно увеличиться на единицу.

3.7. Собрать схему универсального сумматора-вычитателя и исследовать его работу в режимах сложения и вычитания. Объяснить назначение логических элементов "исключающее ИЛИ" схеме универсального сумматора-вычитателя в режиме подачи изменяющегося кода на вторые входы данных элементов при смене режима работы универсального устройства. Для получения результата вычитания в прямом коде выполнить условие $a > b$.

4. Содержание отчета.

4.1. Схема исследованного полусумматора.

4.2. Схема исследованного полного сумматора.

4.3. Схема исследованного 4-х разрядного сумматора с последовательным переносом.

4.4. Схема исследованного полувычитателя.

4.5. Схема исследованного полного вычитателя и полученная структура субблока вычитателя.

4.6. Схема исследованного 4-х разрядного вычитателя с последовательным заёмом.

4.7. Схема исследованного 3-х разрядного инкрементора.

4.8. Схема исследованного универсального сумматора-вычитателя с пояснением назначения линии управления сложением и вычитанием, а также отключаемой линии переноса из старшего разряда в младший.

5. Контрольные вопросы.

5.1. В чём состоит различие в схемах полусумматора и полного сумматора?

5.2. С какой логической функцией совпадает функция генерации заёма в вычитателях?

- 5.3. Назначение входа и выхода переноса в полных сумматорах.
- 5.4. Как выполняется операция вычитания с использованием сумматоров?
- 5.5. Поясните на примерах принцип работы сумматора дополнительного и обратного кода.

Часть 2. Исследование сумматоров дополнительного и обратного кодов.

Исследование компараторов.

(Учётный шифр: Л.4.2.)

Цель работы: - исследование возможности применения сумматора для выполнения операции вычитания над аргументами со знаками. Изучение особенности структур многоразрядных сумматоров дополнительного и обратного кодов. Получение навыков выполнения операций суммирования над аргументами, представленными с кодом знакового разряда. Ознакомление с функцией модифицированных дополнительного и обратного кодов. Исследование сумматоров, модифицированных дополнительного и обратного кодов.

- исследование структур одnorазрядных и многоразрядных компараторов.

Продолжительность работы: - 4 часа.

1. Краткие теоретические сведения об объекте исследования.

1.1. Сумматоры дополнительного кода и сумматоры обратного кода.

Применение модифицированного дополнительного кода и модифицированного обратного кода.

В большинстве вычислительных устройств используется представление целых чисел со знаком. Старший разряд используется для кодирования знака: 0 обозначает положительное число, 1- отрицательное число. Использование представления чисел вместе со знаками в двоичном коде позволяет осуществлять арифметические операции суммирования и вычитания, получая результат с готовым знаком числа результата, применяя тот же классический комбинационный многоразрядный сумматор. Применение дополнительного и

обратного кода позволяет представлять отрицательные числа в этих кодах и, подавая их на сумматор фактически выполняя операцию суммирования, получать разность.

Перед рассмотрением примеров использования дополнительного и обратного кода необходимо остановиться на следующих аксиомах и правилах:

1. Сумма двух чисел в дополнительном (или обратном) коде есть дополнительный (или обратный) код.
2. Дополнительный (обратный) код положительного числа совпадает с его прямым кодом.
3. Дополнительный код отрицательного числа со знаком формируется путём инвертирования разрядов числовой части целого числа, исключая знак и арифметическое сложение инвертированного значения с единицей.
4. Обратный код отрицательного числа со знаком формируется путём инвертирования разрядов числа, кроме разряда знака.

Сумматор дополнительного кода выглядит как многоразрядный комбинационный сумматор рис. 4.1. Самый старший одnorазрядный сумматор в таком сумматоре складывает двоичные коды знаков. Выходной перенос из знакового разряда отбрасывается. Ниже приведены несколько примеров сложения чисел со знаками в различных сочетаниях у аргументов.

Примеры:

9.6.1. $C=A+B=(+9)+(-3)$

В прямом коде: A 0 1001 ; B 1 0011 .

В дополнительном коде A 0 1001 ; B 1 1101 .

Результат сложения:

$$\begin{array}{r} 0\ 1001 \\ + \\ 1\ 1101 \\ \hline \end{array}$$

C= 0 0110 наличие нуля в знаковом разряде говорит

о положительном результате. То есть дополнительный код результата равен прямому коду и это есть окончательный результат.

9.6.2 $C=A+B=(+4)+(-9)$

В прямом коде: A 0 0100 ; B 1 1001

В дополнительном коде: A 0 0100 ; B 0111

Результат сложения: 0 0100

+

1 0111

C=1 1011 (отрицательный результат в дополнительном

коде). После преобразования в прямой код C= 1 0101.

Операция сложения со знаками возможна и в обратных кодах.

Особенностью сумматора обратного кода является наличие связи по переносу между сумматором знаков и сумматором младших разрядов. Схема сумматора обратного кода представлена на рис. 4.2.

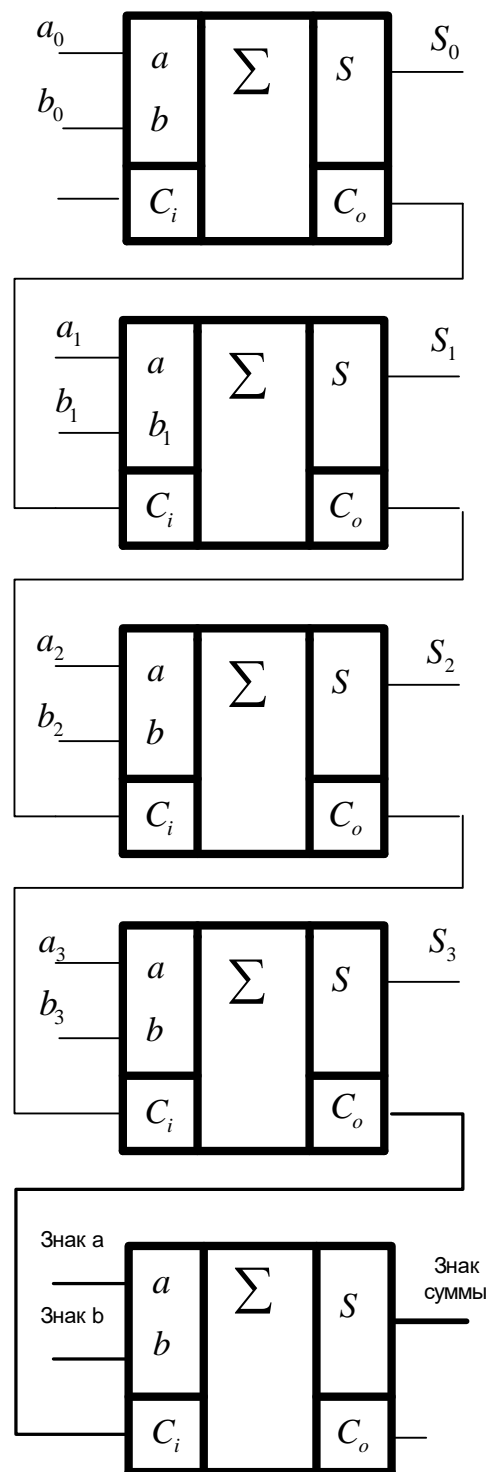


Рис. 4.1 Схема сумматора дополнительного кода.

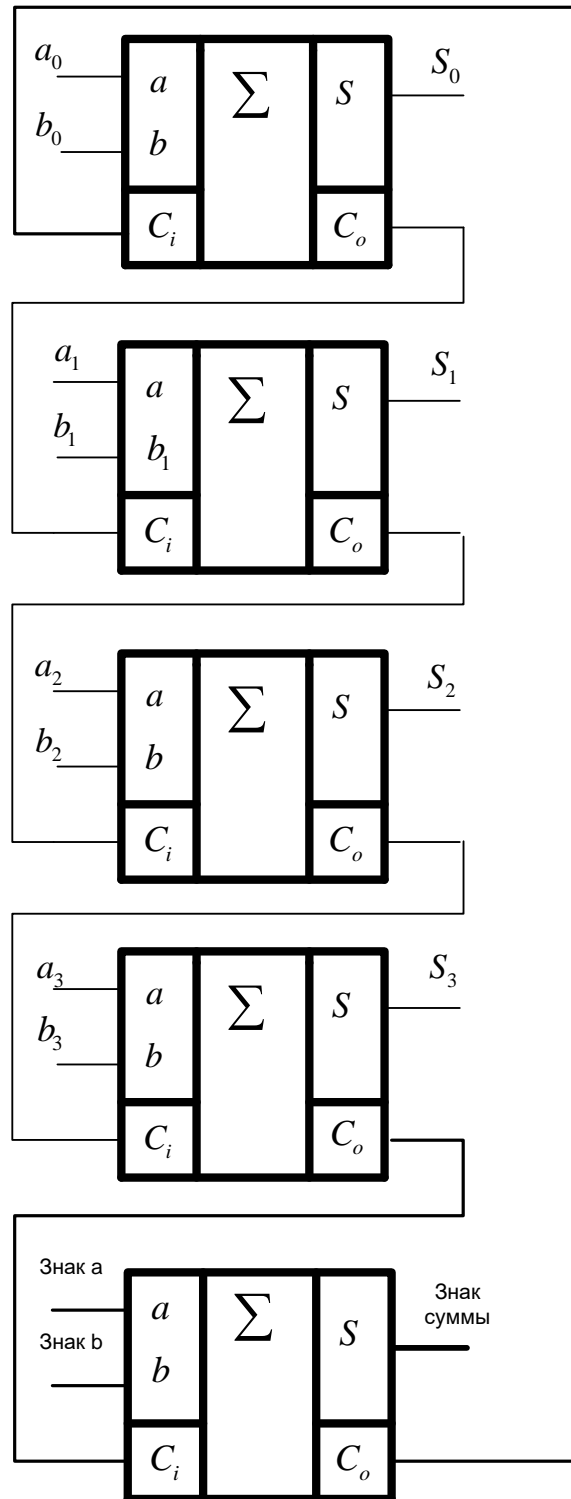


Рис. 4.2 Схема сумматора обратного кода.

Применение модифицированных кодов.

При выполнении операций в дополнительном и обратном коде включая знаки чисел, происходит нарушение правильного значения знака результата из-за переполнения разрядной сетки числовой части и поступления вызванного

переполнением переноса в сумматор знаков. Аппаратно определить данную ситуацию не представляется возможным. Для решения данной проблемы было предложено использовать модифицированный дополнительный и модифицированный обратный код. Отличие состоит в дублировании битов, обозначающих код знаков слагаемых. Благодаря такому дублированию, возникающий перенос искажает только один из знаков результата в модифицированном коде. Признаком переполнения является несовпадение знаков результата выполнения операции сложения. Это несовпадение легко обнаруживается при помощи логического элемента «Исключающее ИЛИ».

1.2. Цифровые компараторы.

Компаратор – это электронное устройство, выполняющее арифметическое сравнение двух многоразрядных кодов A и B и сообщает является ли $A > B$, $A = B$ или $A < B$. Компараторы относятся к арифметическим устройствам и, как правило, входят в состав арифметико-логических устройств.

В вычислительной технике компараторы применяются:

- для выявления нужного числа в потоке информации,
- для отметок времени в часовых приборах,
- для выполнения условного перехода в вычислительных устройствах.

В устройствах обработки информации и автоматики компараторы применяются:

- для сигнализации о выходе величины за пределы допуска,
- в приводах следящих систем для определения направления воздействия, ликвидирующего рассогласование,
- при построении счётчиков и сумматоров по произвольному основанию.

1.2.1 Синтез одноразрядного компаратора. Для синтеза комбинационной схемы одноразрядного компаратора воспользуемся табл. 5.

Таблица 5.

Таблица истинности одnorазрядного компаратора.

ВХОДЫ		ВЫХОДЫ		
a	b	$F(a > b)$	$F(a = b)$	$F(a < b)$
1	1	0	0	0
1	0	1	0	0
0	1	0	0	1
0	0	0	1	0

На соответствующем выходе компаратора появляется логическая 1, когда сравниваемые входные двухразрядные числа находятся в нужном соотношении. По таблице истинности можно записать соотношения:

$$F(a > b) = a * \bar{b}, F(a = b) = a * b + \bar{a} * \bar{b}, F(a < b) = \bar{a} * b$$

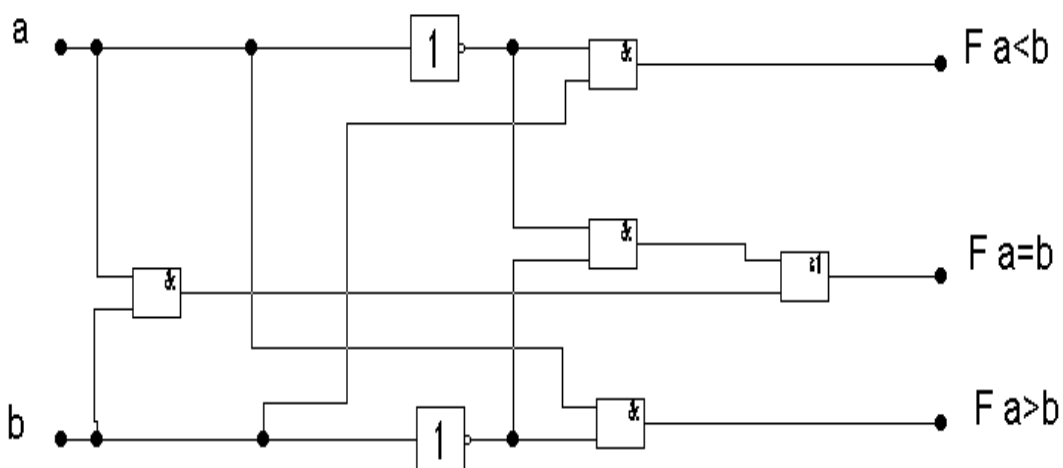


Рис. 4.3. Схема одnorазрядного компаратора.

Можно реализовать многоразрядные компараторы, выдающие выходной сигнал одной из функций сравнения или всех трёх разновидностей функций сравнения.

Синтез многоразрядного компаратора основывается на анализе влияния анализируемого разряда на выдаваемую функцию сравнения. Рассмотрим пример синтеза компаратора на три разряда. Часть схемы компаратора, выдающая сигнал равенства двух трёхразрядных чисел основана на логических элементах «равнозначность».

Если осуществить запись выражений для одного из неравенств, то для определения второго сигнала неравенства можно принять, что это будет при нулевом значении противоположного неравенства и равенства. Если выходы этих функций подать на вход логического элемента «ИЛИ-НЕ» получим единичное значение искомой функции неравенства.

Разобьем синтез схемы для получения, например, функции $F_{a>b}$ на три этапа анализа влияния каждого из трёх разрядов:

- этап 1. Сравниваются наиболее значимые биты, т.е. a_2 с b_2 . Если $a_2 > b_2$, то и $A > B$. Следовательно, схема для этого случая синтезируется на основе выражения $F2_{a>b} = a_2 \bar{b}_2$;

- этап 2. Если старшие разряды равны $a_2 = b_2$, то $F_{a>b}$ выполнится при $a_1 > b_1$. Следовательно, схема для этого случая синтезируется на основе выражения $F1_{a>b} = (a_2 b_2 + \bar{a}_2 \bar{b}_2) * a_1 \bar{b}_1$;

- этап 3. Если оба разряда $a_2 = b_2$ и $a_1 = b_1$, то $F_{a>b}$ выполнится при $a_0 > b_0$. Следовательно, схема для этого случая синтезируется на основе выражения $F0_{a>b} = (a_2 b_2 + \bar{a}_2 \bar{b}_2) * (a_1 b_1 + \bar{a}_1 \bar{b}_1) * a_0 \bar{b}_0$.

Все эти три выражения по трём этапам связываются функцией дизъюнкции:

$$F_{a>b} = F2_{a>b} + F1_{a>b} + F0_{a>b}.$$

Согласно выведенным выражениям схема трёхразрядного компаратора для трёх функций условий сравнения примет вид рис.4.4.

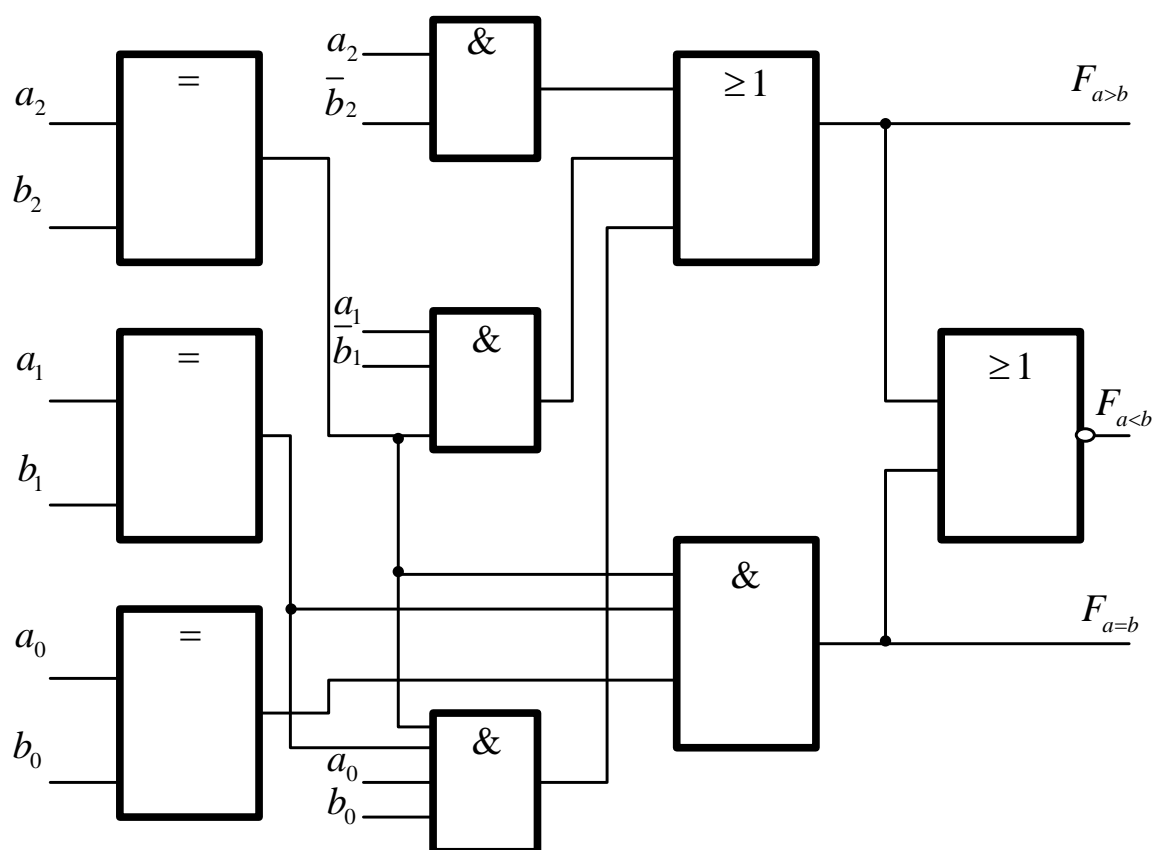


Рис. 4.4. Схема трехразрядного компаратора с тремя выходами результатов сравнения.

2. Методика подготовки схем для исследования.

Данный раздел подробно изложен в п.2 часть 1 данной лабораторной работы.

3. Задание на выполнение лабораторной работы.

3.1. Исследовать сумматор дополнительного кода. Собрать сумматор с последовательным переносом из 5 полных библиотечных сумматоров. Самый старший пятый сумматор использовать для сложения кодов знаков слагаемых. Первые 4 разряда использовать для сложения числовой части аргументов. Выход переноса сумматора знаков не учитывать. Данная структура сумматора соответствует сумматору дополнительных кодов. В связи с этим, предварительно аргумент, имеющий знак минус, т.е. 1 в знаковом разряде, должен быть преобразован в дополнительный код и только после преобразования числовой части, при сохранении кода знака подан на сумматор. Исследовать сумматор на парах подготовленных аргументов со

знаками в разных сочетаниях. Если в результате операции сложения значение суммы результирующего знака числа равно 1, то на выходе сумматора дополнительный код. При 0-вом значении суммы знаков на выходе сумматора прямой код результата.

3.2. Исследовать сумматор обратного кода. Собрать сумматор с последовательным переносом из 5 полных библиотечных сумматоров. Самый старший пятый сумматор использовать для сложения кодов знаков слагаемых. Первые 4 разряда использовать для сложения числовой части аргументов. Организовать линию связи выхода переноса одноразрядного сумматора знаков (старшего) с входом переноса младшего разряда.

3.3. Модернизировать сумматор дополнительного кода (п.3.1), дополнив дополнительным сумматором кодов знаков. Данный шестой сумматор присоединить по схеме последовательного переноса. У полученного теперь сумматора модифицированного дополнительного кода добавить логический элемент «ИЛИ исключающее» к выходам сумматоров кодов знаков аргументов для обнаружения переполнения. Проверить факт переполнения, т.е. получение разных кодов на выходе сумматоров знаков, получая суммы, превышающие код 1111. Логический элемент «исключающее ИЛИ » должен иметь на выходе 1.

3.4. Собрать одноразрядный компаратор (полный) на функции: равенство, больше, меньше. Проверить работу.

3.5. Собрать двухразрядный компаратор на функции: равенство, больше и меньше, проверить работу.

3.6. Собрать четырёхразрядный компаратор на функции: равенство, больше и меньше, проверить работу.

4. Содержание отчета.

4.1. Исследованная схема сумматора дополнительного кода. Перечень пар чисел со знаками, проверенными на данном сумматоре.

- 4.2. Исследованная схема сумматора обратного кода. Перечень пар чисел со знаками, проверенными на данном сумматоре.
- 4.3. Исследованная схема сумматора модифицированного дополнительного кода. Перечень пар чисел со знаками, проверенными на данном сумматоре, с обнаруженным фактом переполнения числовой части.
- 4.4. Исследованная схема одноразрядного полного компаратора.
- 4.5. Исследованная схема компаратора на равенство.
- 4.6. Исследованная схема двухразрядного полного компаратора.

5. Контрольные вопросы.

- 5.1. Какие технические решения позволяют ускорить работу комбинационных сумматоров?
- 5.2. Для каких целей применяется модифицированный дополнительный и обратный коды?
- 5.3. Чем отличается структура сумматор обратного кода от структуры сумматора дополнительного кода?
- 5.4. Какое усовершенствование схемы сумматора обратного кода позволяет получать результат суммирования в прямом коде, не зависимо от полученного знака отрицательного результата?
- 5.5. Можно ли в компараторе на равенство использовать схемы «исключающее ИЛИ»?

Литература

1. Спиридонов С.Б. Схемотехника дискретных устройств. Часть 1: Учебно-методическое пособие. – М.: Издательство «Спутник», 2022. – 141 с.
2. Спиридонов С.Б. Схемотехника дискретных устройств. Часть 2: Учебно-методическое пособие. – М.: Издательство «Спутник», 2022. – 98 с.
3. Бойт к. Цифровая электроника Москва: Техносфера, 2007. – 472 с.
4. В.И. Карлащук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.
5. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах /Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА,2000.
6. Потёмкин И.С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988. - 320 с.
7. Савельев А.Я. Арифметические и логические основы цифровых автоматов: Учебник. - М.: Высшая школа, 1980.-255с.
8. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.: ил.