

## 실리콘 포토닉스 기술 동향

2025. 7. 16. 한국반도체산업협회 전략기획실

- ☞ AI 기술 확산에 따라 데이터센터 내부 서버 간 데이터 트래픽이 급격히 증가하면서 데이터 처리 병목 해소를 위한 통신 인프라의 중요성 확대
- ☞ 실리콘 포토닉스 기술은 고속·저전력 데이터 전송을 실현하는 차세대 데이터센터 네트워크 솔루션으로 주목받으며, AI시대 핵심 기술로 부상

### 1 도입 배경

#### 데이터 처리량의 폭발적 증가로, 데이터센터 서버 네트워크 중요성 부각

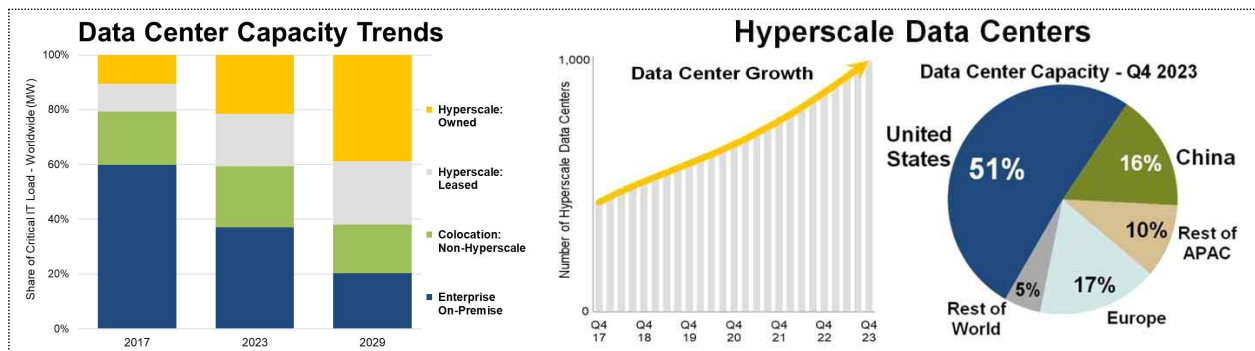
- 인공지능(AI)과 머신러닝(ML) 기술의 고도화로 인해 초거대 AI 모델이 지속 확대됨에 따라 학습과 추론 과정에서 데이터 트래픽이 기하급수적으로 증가
  - 초거대 AI 모델이란, 대규모의 컴퓨팅 인프라를 바탕으로 방대한 데이터를 학습하여 인간처럼 인지·판단·추론이 가능해진 큰 규모의 AI 모델을 의미
  - 지난 5년간('20~'24년) 전 세계적으로 총 271개(누적)의 초거대 AI 모델이 출시되었으며, 스케일링 법칙\*에 따라 대형 AI 모델 개발은 지속 확대 추세
- \* AI 스케일링 법칙(scaling law) : AI 모델의 성능은 AI 모델의 규모(model parameter size), 학습에 사용되는 데이터(data set), 컴퓨팅 자원(computing power)의 크기에 따라 향상되는 경향성

< 연도별 초거대 AI 모델 출시 건수 >

구분	2020	2021	2022	2023	2024	누적합계
초거대 AI 모델 출시 건수	2	9	29	109	122	271

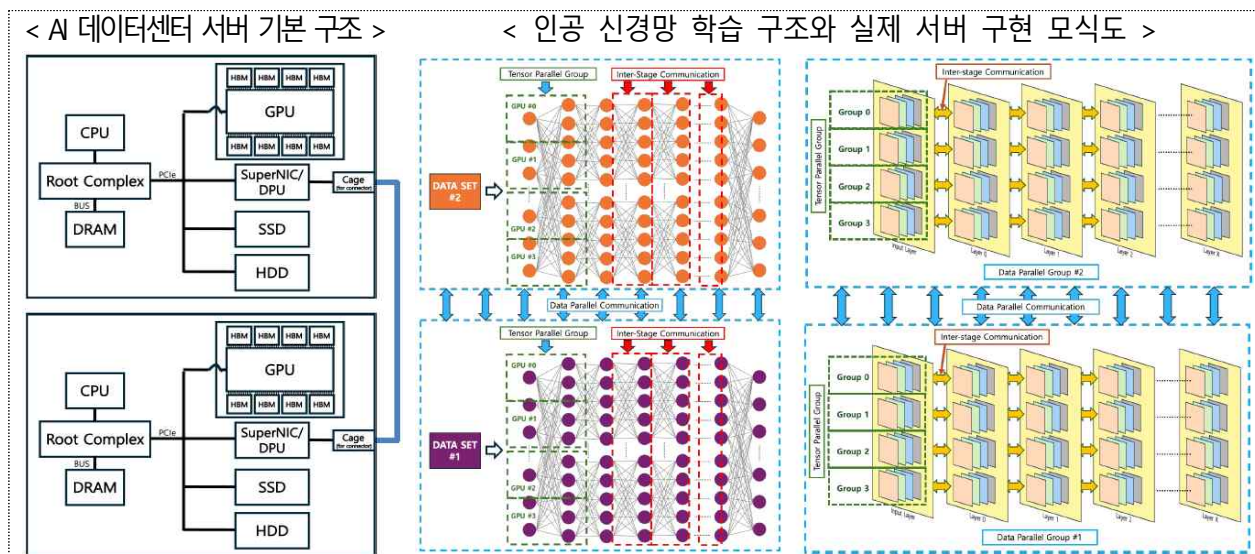
\*출처 : 글로벌 초거대 AI 모델 현황 분석('25.2월, SPRI)

- 이에 따라, 하이퍼스케일\* 데이터센터의 수요도 증가하고 있으며, 데이터센터 내 서버 간 고속 데이터 전송 및 처리를 위한 통신 인프라의 중요성이 부각
- \* 하이퍼스케일 데이터센터 : 서버 10만 대 이상, 전력량 20MW 이상, 총면적 22,500m<sup>2</sup> 크기의 초대형 데이터센터를 의미하며, 메타, 구글, 아마존, MS 등이 하이퍼스케일러에 해당



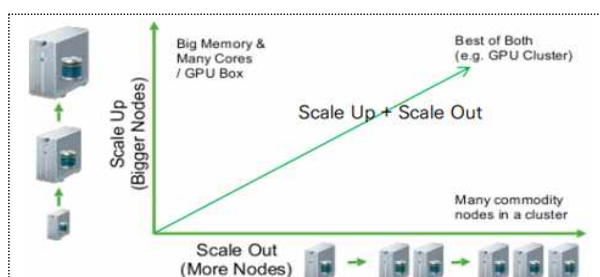
\* 출처 : Synergy Research Group('24)

- 데이터센터 서버의 기본 구조는 컴퓨터와 흡사하나, AI 데이터센터의 서버는 대규모 데이터 처리를 위해 GPU 중심의 높은 병렬 연산 성능을 요구
  - 특히, ChatGPT 등 생성형 AI의 발달로 인해 AI 데이터센터 서버의 구조는 인공 신경망의 구조를 닮아가고 있으며, 인공 신경망의 크기도 증가 추세
  - 인공 신경망은 Input layer를 통해서 data set을 받아들이고, hidden layer들을 거친 후 최종 결과물이 나오는 구조로, AI 학습 시 다양한 데이터 이동\*이 발생
    - \* Data parallel communication(입력 데이터의 배분 및 통합), Tensor parallel grouping(신경망 노드에 따른 데이터 분산 처리), Inter stage communication(layer 간 데이터 이동)
  - 인공 신경망의 크기가 커질수록 다수의 data set를 따로 학습시키고, 병합하는 과정에서 서버 또는 GPU 간 데이터 이동 횟수 및 네트워크 복잡성이 증가
    - \* GPT-3의 인공신경망 파라미터 수는 약 1,750억 개, GPT-4는 약 1.8조 개로 추정



\* 출처 : 신영증권 리서치센터

- 따라서, 수천에서 수백만개의 연산 자원(CPU, GPU, NPU 등)들을 연결하고, 하나의 컴퓨터처럼 동작시키기 위한 네트워크 인프라의 전략적 중요성 확대
  - 과거에는 개별 CPU, GPU가 연산 단위였으나, AI 워크로드에서는 데이터센터 전체가 하나의 연산 단위처럼 동작하며, 네트워크 인프라가 전체 성능을 결정
  - 이에, 데이터센터 내 대규모 분산(Scale-out) GPU 클러스터 구축을 위한 고속, 저전력, 대역폭 확장성을 갖춘 인터커넥트 기술의 진화 필요성 대두

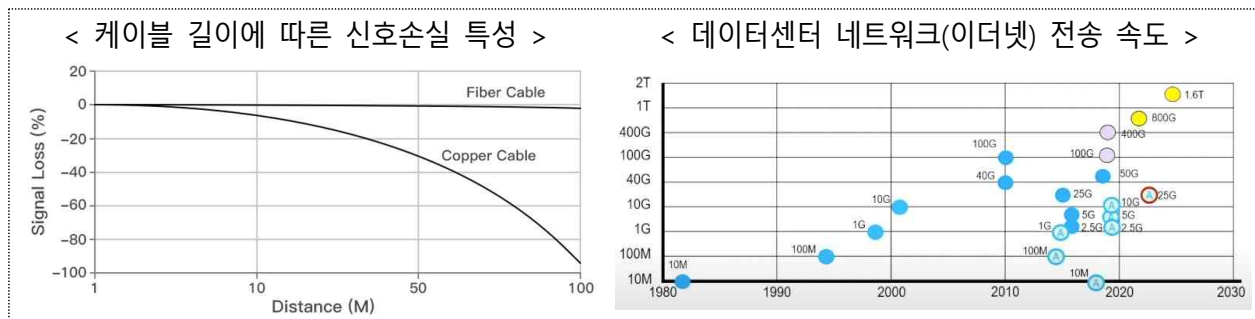


< 데이터센터 컴퓨팅 파워 확장 방식 >

	Scale-up(수직확장)	Scale-out(수평확장)
방식	단일 서버 성능 향상	서버 개수 증가
특징	네트워크 복잡성 低 고비용, 확장 한계 존재	네트워크 복잡성 高 경제적, 무한 확장 가능
활용처	고성능 데이터 처리 적합 (금융시스템, DB서버 등)	분산 데이터 처리 적합 (클라우드, AI 학습 등)

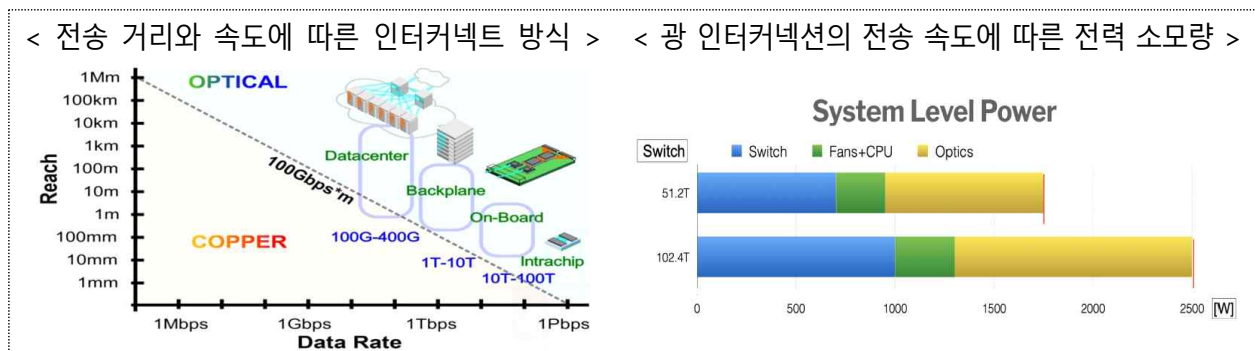
## 기존 인터커넥트 기술의 한계와 실리콘 포토닉스 기술의 부상

- 실리콘 포토닉스(Silicon Photonics)는 빛을 이용한 데이터 전송 기술로, 기존 데이터 전송 방식(interconnect)의 한계를 넘어서려는 시도에서 등장
  - 전기 인터커넥트 방식은 구리(Copper) 등 금속 배선 기반으로 고속 신호 전달에 따른 전력 소모 및 신호 손실 증가, 전송거리 제한 등 물리적 한계가 존재
    - 금속 도체를 통해 고속으로 데이터를 보낼 경우, 신호가 도체의 표면으로 흐르게 되며, 전송 속도가 높아질수록 저항이 커져 전송 거리의 제한이 발생
    - 구리 기반의 데이터 전송 최대 속도는 채널당 약 50~100Gbps 수준이나, 현재 사용되는 데이터 전송 속도는 400~800Gbps로, 향후 1.6Tbps까지 증가 전망



\* 출처 : TSMC, fastcabling, 신영증권 리서치센터

- 광 인터커넥트 방식은 적은 신호 손실로 장거리 고속 신호 전달이 가능하나, 높은 부품 비용과 전력 소모량으로 인해 구리선과 같은 대중화가 어려운 상황
  - 광통신은 광 신호와 전기 신호의 상호 변환 과정에서 전력 손실이 불가피하며, 고속 광 인터커넥트의 절대적인 사용량 증가는 급격한 전력 소모 증가로 연결



\* 출처 : Arista networks, TSMC, 신영증권 리서치센터

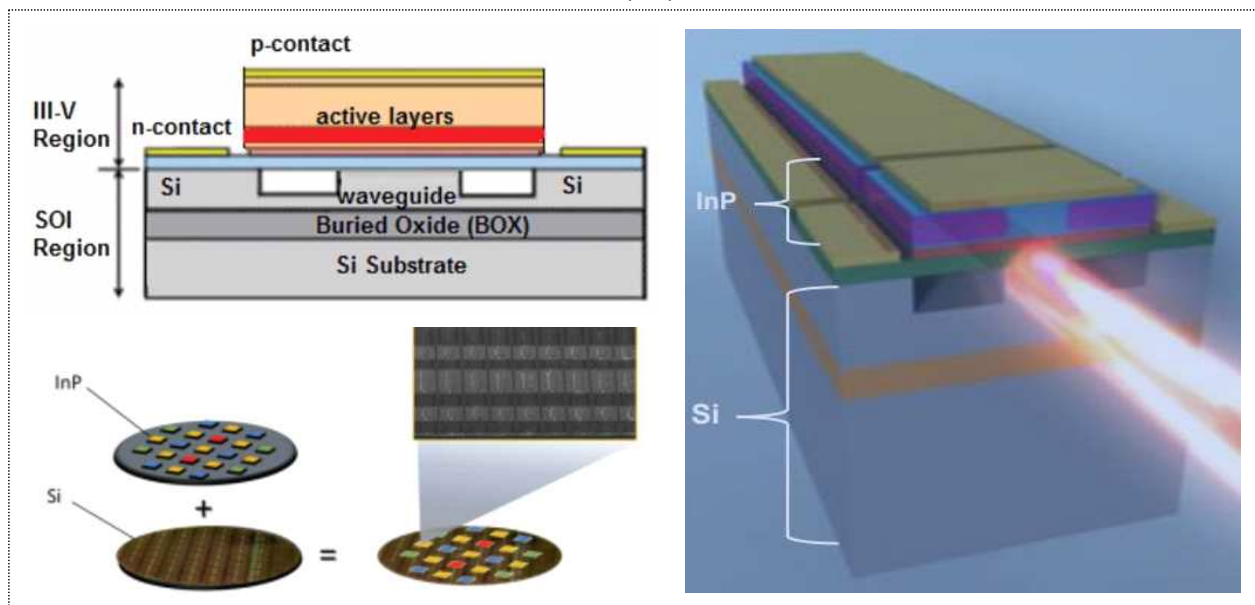
- 따라서, 실리콘 포토닉스 기술은 기존 전기 및 광 인터커넥트 방식의 한계를 동시에 극복할 수 있는 차세대 대안으로서, 저변이 확대되고 있는 추세
  - 최근 기존 CMOS 공정을 활용한 대량 생산 가능성, 첨단패키징 적용 기술이 주목 받으며, 데이터센터 서버에서 반도체 칩 영역까지 상용화 검토가 활발하게 진행중

## 2 실리콘 포토닉스 기술 개요

### 고속·저전력 데이터 전송을 실현하는 차세대 광통신 플랫폼, 실리콘 포토닉스

- 실리콘 포토닉스는 실리콘 기반의 반도체 공정을 활용하여 빛을 처리하는 소자 및 회로를 제작하는 기술로, 차세대 고속·저전력·저지연 광통신 플랫폼으로 급부상
- 실리콘 포토닉스는 전기신호와 광신호를 동시에 활용하는 반도체 기술로, 연산 능력이 뛰어난 전자(electron)와 통신에 최적화된 광자(Photon)를 결합함으로써 기존 전자회로의 한계는 뛰어넘는 데이터 처리 및 전송 성능을 제공
  - 전자 대신 광자를 이용한 데이터 전송은 열 발생이 적어 에너지 효율이 높으며, 이는 높은 전력 소모가 문제인 데이터센터와 같은 환경에서 큰 장점
  - 또한, CMOS 공정과 높은 호환성으로 기존 반도체 생산 인프라(구형 노드)를 활용한 생산이 가능하여 생산 비용 절감 및 신속한 양산성 확보에 유리
- 실리콘 포토닉스 기술을 적용한 광 집적 회로(PIC, Photonic Integrated Circuit)는 전자 집적 회로와 유사한 구조를 가지며, 광도파로, 광변조기, 광검출기, 레이저 다이오드 등 다양한 광학 소자들을 통합하여 구현
  - (제조방식) 대부분의 실리콘 포토닉스 기술은 SOI(Silicon On Insulator) 기판에서 정의되는 광 도파로형(optical waveguide type)이며, SOI 기판 위에 III-V족 화합물 반도체 중 하나인 InP(Indium+Phosphate)을 올림으로서 제조

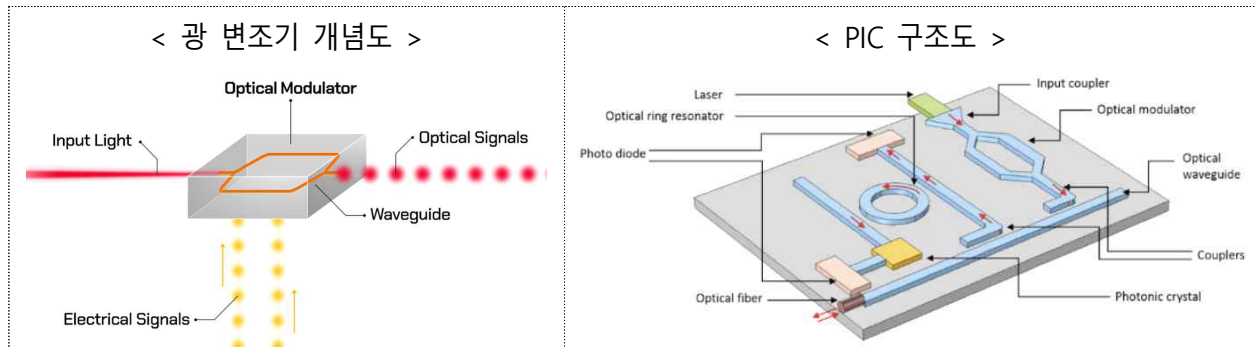
< III-V족 화합물 반도체(InP)를 이용한 PIC 제조 >



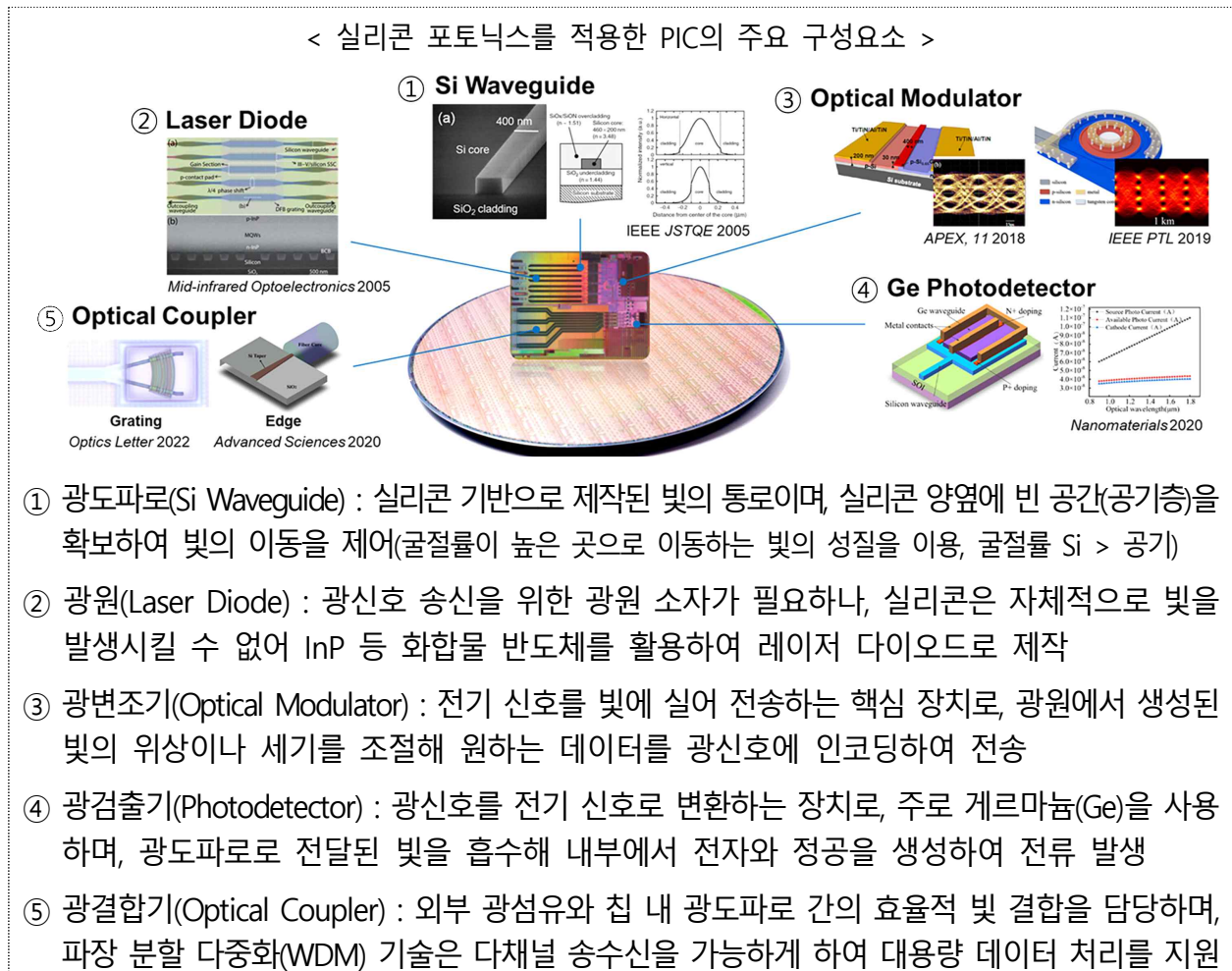
\* 출처 : juniper, Synopsys, Intel, 신영증권 리서치센터



- (동작원리) 광 송신부는 III-V족 반도체를 통해 전기신호가 광신호로 전환되어 광도파로를 통해 전송되며, 광 수신부는 포토디텍터(Ge-on-Si)가 빛을 흡수하여 전자를 방출함으로써 광신호가 전기신호로 변환되어 데이터로 해석



\* 출처 : SK하이닉스



\* 출처 : J. Microelectron. Packag. Soc. Vol. 31, No. 4 (2024)를 참고하여 재작성

- (주요과제) 최근 실리콘 포토닉스 기술이 연구개발 수준을 넘어 제품개발 단계로 전환되면서 상용화 기대가 커지고 있으나, 여전히 기술적 한계는 존재
- (광원 통합) 실리콘은 간접 천이형 반도체로, 자체적인 광원 구현이 어려우며, 외부 광원을 실리콘 칩에 모놀리식으로 통합하기 위한 추가적인 연구가 필요

- (제조 복잡성) 기존 CMOS 공정과 호환되지만 고정밀 광학소자 제작을 위한 추가 공정이 필요하며, 제조 공정의 복잡도와 단가를 높이는 요인으로 작용
- (패키징 기술 고도화) 동일 칩 또는 모듈 내에 광학소자와 전자소자를 통합하기 위해서는 고정렬, 고밀도, 고성능 패키징 및 모듈화 기술력의 뒷받침이 필요
- (열 취약성) 실리콘은 온도가 높아질수록 광학적 손실이 증가하여 고온 환경에서는 실리콘 포토닉스의 성능 저하를 막기 위한 열 튜닝 및 제어 기술 필요

※ **실리콘 포토닉스와 유리기판** : 실리콘 포토닉스 칩과 다른 소자를 유리기판에 집적할 경우, 기존 대비 광 도파로의 손실이 약 90% 감소하여 전송 효율이 높아지며, 유리의 높은 내열 특성으로 인해 고주파 전송 시 열에 의한 신호왜곡을 감소시켜 신뢰성 확보에 유리

## CPO(Co-Packaged Optics) 도입으로 실리콘 포토닉스 활용 극대화 전망

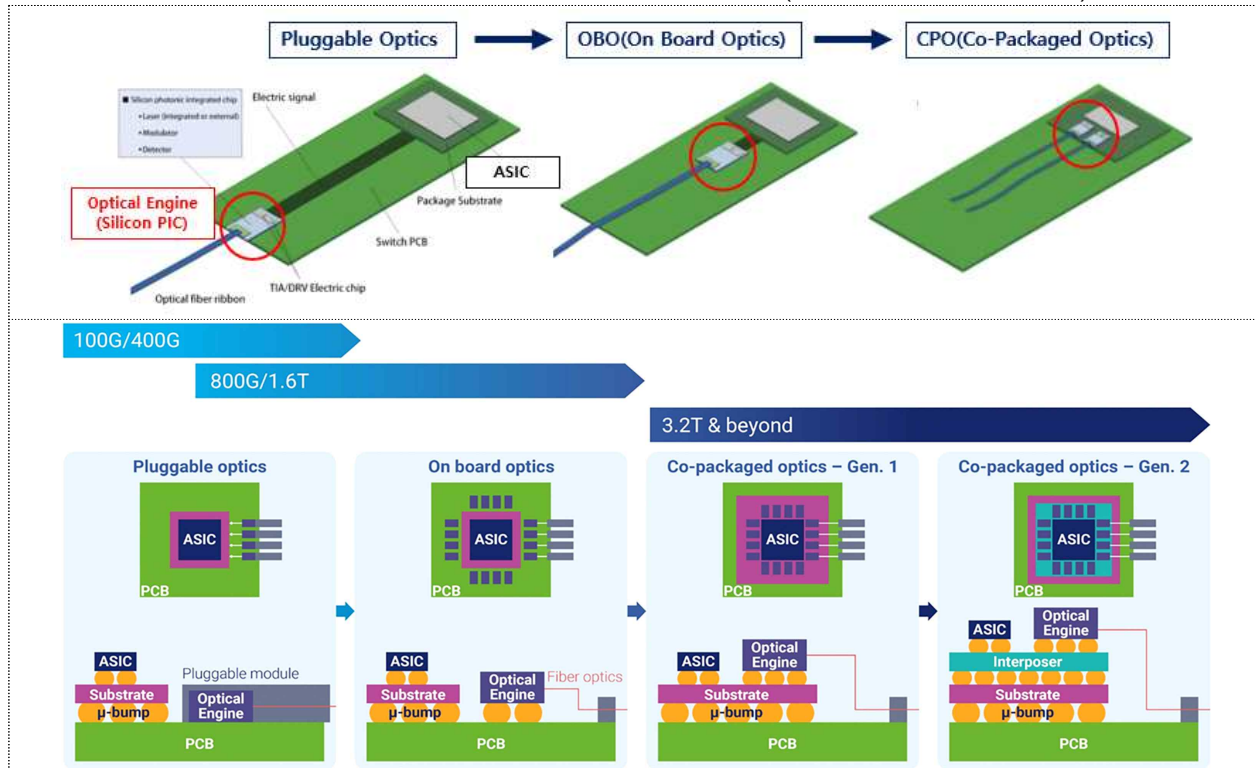
- 실리콘 포토닉스는 데이터센터의 광 트랜시버(Optical Transceiver)를 중심으로 상용화가 진행 중이며, 이더넷 전송 속도 1.6Tbps 도달 시점부터 본격 채택 전망
  - 데이터센터에 있는 수만 대의 서버는 고대역폭의 통신을 위해 광섬유들로 연결되어 있으며, 송수신단에서 전기신호를 광신호로, 또는 그 반대로 변환하기 위해 광학 모듈(Optical Module)인 광 트랜시버를 사용
    - \* 하이퍼스케일러의 데이터센터 규모는 머지않아 AI가속기 100만개까지 늘어날 것으로 전망되며, 이에 따라 광 트랜시버의 수요도 지속증가 전망 → 엔비디아에 따르면 GPU 1개당 약 6개의 광트랜시버가 필요하며, 100만개 GPU를 연결하려면 600만개 광트랜시버가 소요



\* 출처 : LX세미콘, Fiber mall

- 실리콘 포토닉스는 단일 칩에서 빛과 전기 신호를 동시에 처리할 수 있어 광 트랜시버를 구성하기에 이상적인 기술이며, 최근 첨단패키징 기술과 결합한 CPO(Co-Packaged Optics) 도입으로 모듈형에서 통합패키지형으로 진화 추세
  - 기존의 광학 모듈은 스위칭 ASIC과 독립되어 구리 또는 광 케이블을 통해 다른 전자 부품과 연결되며, 고속 전송 시 상당한 전력 소비와 신호 손실을 초래
  - CPO기술은 실리콘 포토닉스 칩과 ASIC 등 고성능 전자 칩들을 동일한 패키지에 통합함으로써 물리적 거리를 단축시켜 데이터 전송 속도 및 효율 극대화를 지원

< 실리콘 포토닉스를 적용한 PIC의 구현 방식 진화(모듈형 → 통합패키지형)>



\* 출처 : Fiber mall, Microelectron. Packag. Soc. Vol. 31, No. 4 (2024)

- 이는 광통신이 데이터센터 서버 연결을 넘어 반도체 칩 간 통신까지 확대될 수 있음을 시사하며, 실리콘 포토닉스의 적용 분야도 지속 확대될 것으로 전망

Market	Optical TRX Form Factor	Optical TRX Location	Decade of Mass Adoption	Distance Scale	Electrical Technologies Displaced	Enabling Optical Technologies
Longhaul	Discrete	Rack	1980s	> 100 km	Twisted pair	Low-loss fiber, fiber amplifiers
Metro area	Discrete	Rack	1990s	10 – 100 km	Twisted pair	WDM
Local area	Pluggable	Edge of card	2000s	100 m – 10 km	Twisted pair, coaxial cable	VCSELs, DMLs
Datacenter, HPC	Active optical cable, pluggable	Edge of card, on board	2010s	10 m – 1 km	Passive copper, direct-attach copper	VCSELs, Si photonics
Datacenter, HPC, AI	CPO	On package	2020s	100 mm – 1 km	PCB traces, flyover cables	Si photonics
	CPO	On interposer		> 10 mm	Package traces	
	3DIC	On die		> 1 mm	Silicon wiring	

\* 출처 : B.G.Lee et al "Beyond CPO: A Motivation and Approach for Bringing Optics Onto the Silicon Interposer", IEEE, 2023

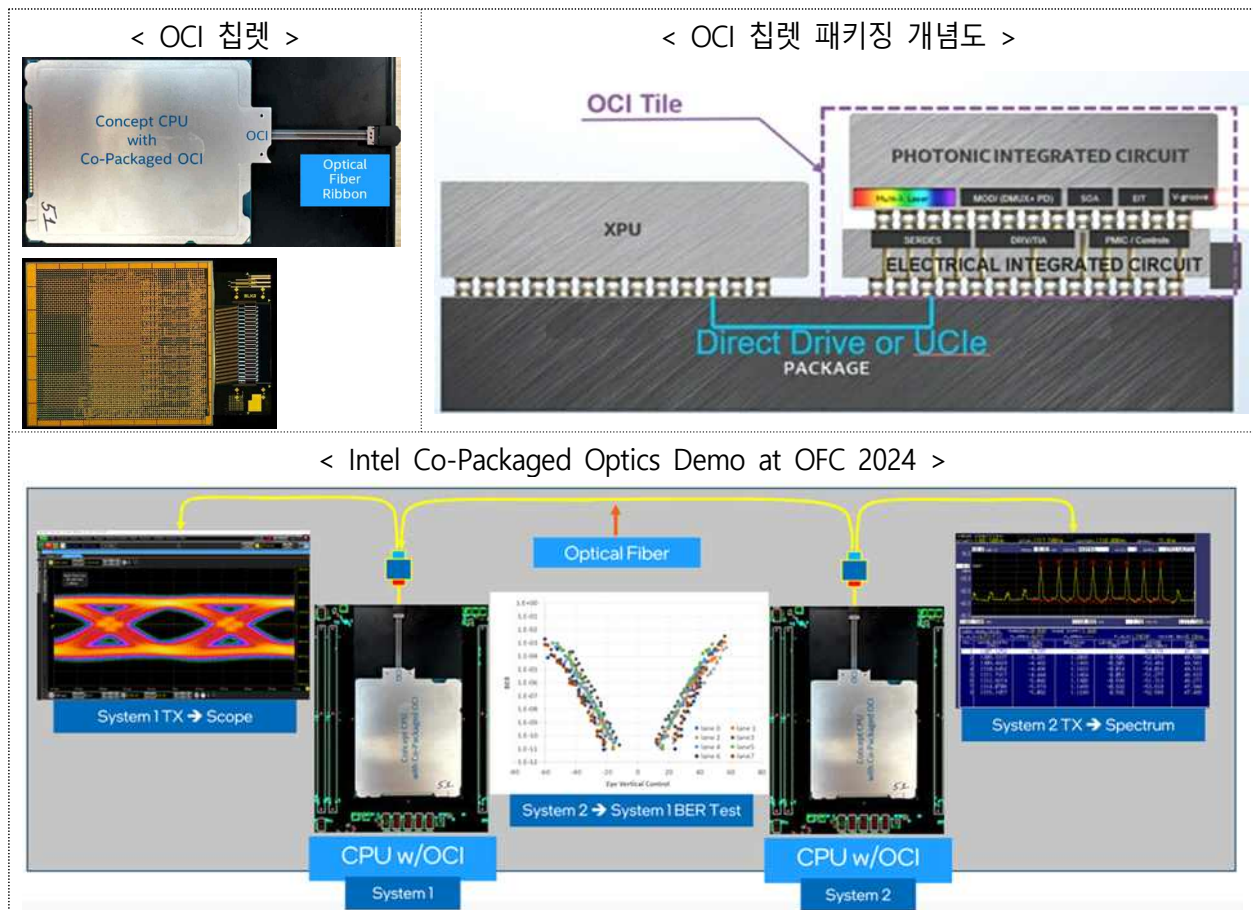
### 3 주요 반도체 기업의 기술개발 동향

#### 글로벌 반도체 기업을 중심으로 실리콘 포토닉스 상용화 개발 가속화

- 실리콘 포토닉스는 데이터센터, 고성능 컴퓨팅(HPC), AI 반도체, 5G/6G 네트워크 등 대규모 데이터 통신이 필요한 분야를 중심으로 상용화 기술 개발이 추진되고 있으며, 인텔, 브로드컴, TSMC 등 글로벌 반도체 기업이 적극 진출



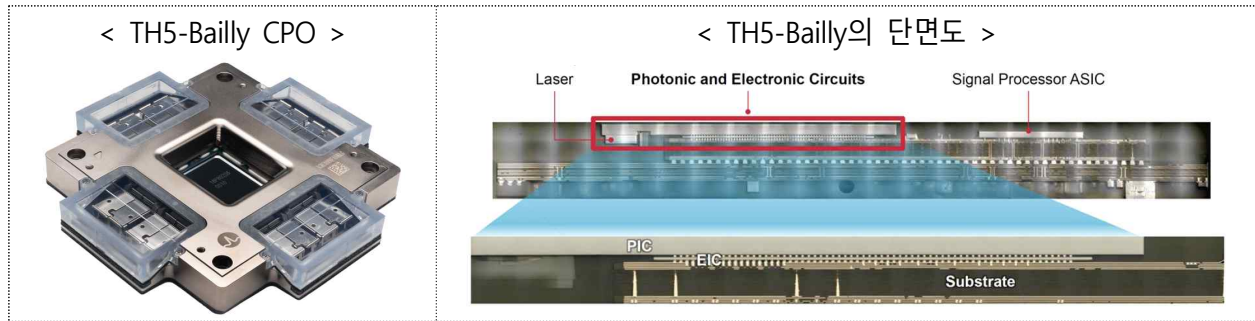
- (인텔) 실리콘 포토닉스의 개척자로서, '04년 CMOS 공정으로 1Gbps 실리콘 광변조기를 구현하였으며, 이후 상용화를 위한 연구개발을 지속적으로 추진
  - 데이터센터용 광 트랜시버(100G/200G/400G)를 상용화하여 제품 출하 중이며, '24년 업계 최초 OCI 칩렛\* 시제품을 공개, 실시간 데이터를 전송 기술을 시연
- \* OCI(Optical Compute Interconnect) : 온칩 레이저 및 광 증폭기를 포함하는 실리콘 포토닉스 직접회로(PIC)를 CPU, GPU 등 전자IC와 통합 패키징(CPO)하는 기술
- OCI 칩렛은 길이 최대 100미터 광섬유를 이용해 양방향 32Gbps 데이터 전송이 가능한 채널 최대 64개를 지원하며, 최대 양방향 4,096Gbps 전송 속도 구현



\* 출처 : Intel

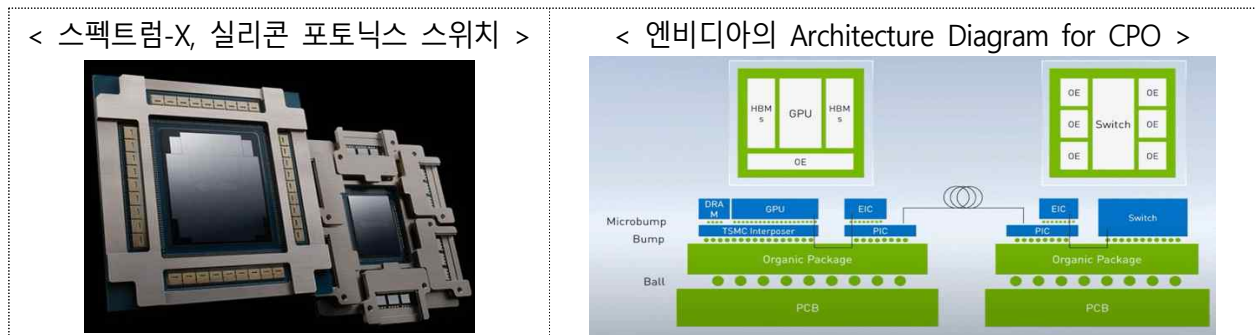
- (브로드컴) 기존 데이터센터 네트워크에 사용되는 광학 모듈을 공급하는 업체로, 최근 차세대 네트워크 스위치용 CPO 제품을 출시하며, 기술 리더십 발휘 전망
  - '24년 PIC와 EIC을 이중 접합(FOWLP)하여 CPO를 구현한 데이터센터용 스위치 TH5-Bailly를 공개하였으며, 스위치 ASIC와 PIC를 자체 설계하여 제작
  - 'COMPUTEX 2025'에서 데이터센터 솔루션 선도업체인 Delta가 브로드컴의 CPO 스위치를 탑재한 네트워킹 솔루션을 선보이면서 제품의 신뢰성 증명





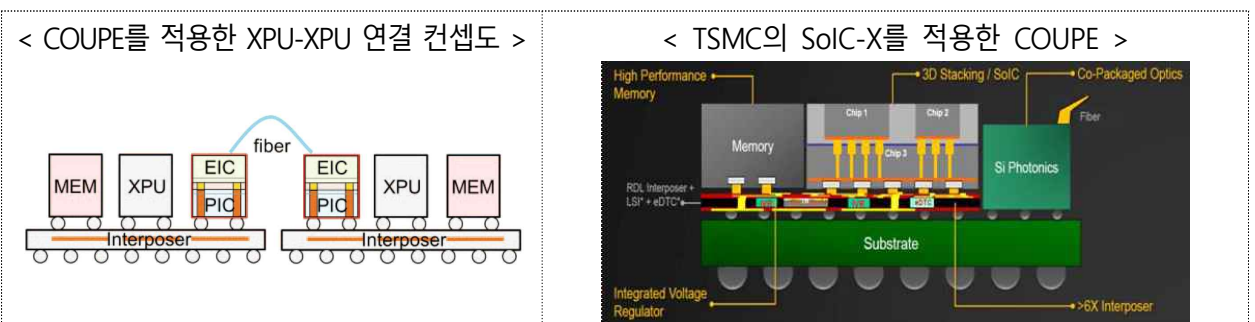
\* 출처 : Broadcom

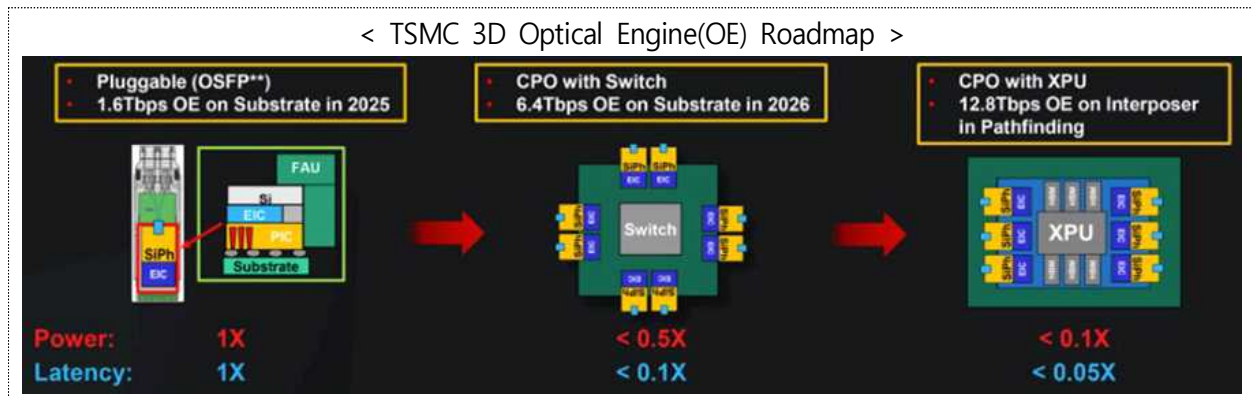
- (엔비디아) TSMC와 브로드컴과 협력하여 실리콘 포토닉스 기술을 공동 개발하였으며, '25년부터 AI 데이터센터와 HPC에 적용할 것을 시사
- 엔비디아는 실리콘 포토닉스의 사용자로서, Optical Engine, GPU, HBM 및 스위치가 동일한 인터포저에 패키징되어 통신하도록 CPO 요구사항을 제시
- 'GTC 2025'에서 '퀀텀-X'와 '스펙트럼-X' 실리콘 포토닉스 네트워킹 스위치를 공개하였으며, 각각 '25년 하반기, '26년 주요 인프라 및 시스템 업체를 통해 출시 예고



\* 출처 : Nvidia

- (TSMC) EIC와 PIC 사이에 SoIC 인터페이스를 적용하여 패키징을 간소화하고, 에너지 효율을 높이는 'COUPE'라는 형태의 패키징을 '25년부터 도입 예정
- COUPE는 로직 칩에 하이브리드 본딩을 사용하는 SoIC 공정을 적용하여 다이간 저항을 낮추고, 상단의 EIC를 배치하여 열 방출이 용이하도록 구현
- COUPE 사용 시, 저항 특성은 Wire Bonding 대비 92%, TSV 본딩 대비 51%가 개선되며, 단위 비트당 전송 전력은 타 공정 대비 약 40% 감소 확인





\* 출처 : TSMC

- (삼성전자) '27년 양산을 목표로, 실리콘 포토닉스 공정 개발을 추진 중이며, 글로벌 파운드리 3사(TSMC, 삼성전자, 인텔) 중 가장 늦게 상용화될 전망
- 실리콘 포토닉스를 적용한 공정 이름을 'I-Cube So', 'I-Cube Eo'로 정하고, 제품 개발을 진행 중이며, 브로드컴과 기술 상용화를 위한 협업도 추진



\* 출처 : 삼성전자

## 4 결론 및 시사점

- AI 고도화는 데이터센터 통신 인프라의 구조적 전환을 촉진하고 있으며, 실리콘 포토닉스는 이러한 변화의 중심에서 핵심 솔루션 기술로 부상
  - 기존 전기 인터커넥트 기반 네트워크는 데이터 속도 증가와 병렬 연산 확대에 의한 전력 소모, 신호 손실, 발열 문제 등의 한계에 직면
  - 실리콘 포토닉스는 고속·저전력·저지연의 특성을 바탕으로, AI 데이터센터와 고성능 컴퓨팅(HPC) 환경에서의 통신 병목을 해소할 수 있는 기술로 각광
- 실리콘 포토닉스의 기술 성숙도와 상용화 수준은 초기 단계이나, 주요 글로벌 기업의 적극적인 개발 및 투자로 산업 전반의 기술 도입이 가속화될 전망
  - 실리콘 포토닉스는 현재 광 트랜시버에서 칩 간 통신까지 응용 범위를 확대하고 있으며, CPO 등 고집적 패키징 기술 개발을 통해 빠르게 상용화될 것으로 기대
  - CMOS 호환성과 첨단 패키징 기술 도입을 통해 대량 생산이 가능하다는 점은 반도체 생태계 내에서 실리콘 포토닉스의 파급력 확대에 중요한 이점으로 작용

- 실리콘 포토닉스 기술의 구현은 반도체 제조기술의 뒷받침이 필수적으로 요구되며, 열 안정성 확보, 저비용 패키징 기술, 모놀리식 광원 통합 등 기술 과제를 해결하는 기업이 차세대 반도체 시장의 주도권을 선점할 것으로 전망
  - 인텔, 브로드컴, 엔비디아, TSMC 등 주요 반도체 기업들은 차세대 네트워크 아키텍처에 실리콘 포토닉스를 적극 채택하고 있으며, '25년부터 일부 도입 전망
- 향후 실리콘 포토닉스는 AI 인프라뿐만 아니라, 차세대 통신망(5G/6G), 양자 컴퓨팅, 광센서 등 고대역 데이터 기술 전반으로 확장될 가능성이 높으며, 국내 기업들도 적극적인 기술개발을 통한 초기 시장 진입 노력이 중요한 시점
- 글로벌 선도기업들이 구체적인 기술로드맵을 공개하고, 고객사 중심의 에코 시스템을 적극 구축 중인 반면, 국내 기업은 진입 시기 측면에서 후발주자로 평가되며, 공정 경험, 고객사 확보 등 상대적으로 약세를 보이는 상황
  - 따라서, 국내 기업이 보유한 첨단 제조 역량을 바탕으로 첨단 패키징과 연계한 전략적 실리콘 포토닉스용 광소자 집적 플랫폼 개발 및 생태계 구축이 필요
- (첨단 패키징 인프라 및 테스트베드 구축) 실리콘 포토닉스는 고정렬·고밀도·저손실 패키징 기술 확보가 핵심 경쟁력이므로, 광·전자 소자의 집적 모듈 검증에 위한 공용 테스트베드 및 패키징 장비 인프라 구축이 필요
  - (CMOS 호환 소재·부품·장비의 국산화 및 공정 검증 추진) 실리콘 기반 광도파로, Ge 검출기, InP 레이저 등 핵심 광소자에 대한 국산화를 추진하고, 기존 CMOS 공정 라인과의 호환성 확보를 위한 표준 프로세스 구축이 중요
  - (글로벌 팹리스, 파운드리, OSAT 기업과의 협업 강화) 엔비디아, 브로드컴, 인텔 등 주요 기업들과의 광트랜시버/모듈 제품 공동개발 및 패키징 최적화 협력을 통해 초기 레퍼런스 확보 및 시장 진입 속도 제고 필요
  - (포토닉스 IP 및 EDA 연계 통합 설계 환경 구축) 광소자 통합 설계를 위해 포토닉스 전용 설계 툴(EPDA) 및 공정 설계 키트(PDK)를 기반으로 한 설계 인프라 구축과 전문인력 양성 병행이 중요
  - (정부 전략사업과의 연계 강화를 통한 공급망 안정성 확보) 첨단 패키징, 광소자·모듈 등 정부 R&D 사업과 실리콘 포토닉스 기술 개발을 연계하여, 산업 전반의 생태계 조성 및 공급망 안정성 확보 지원 필요