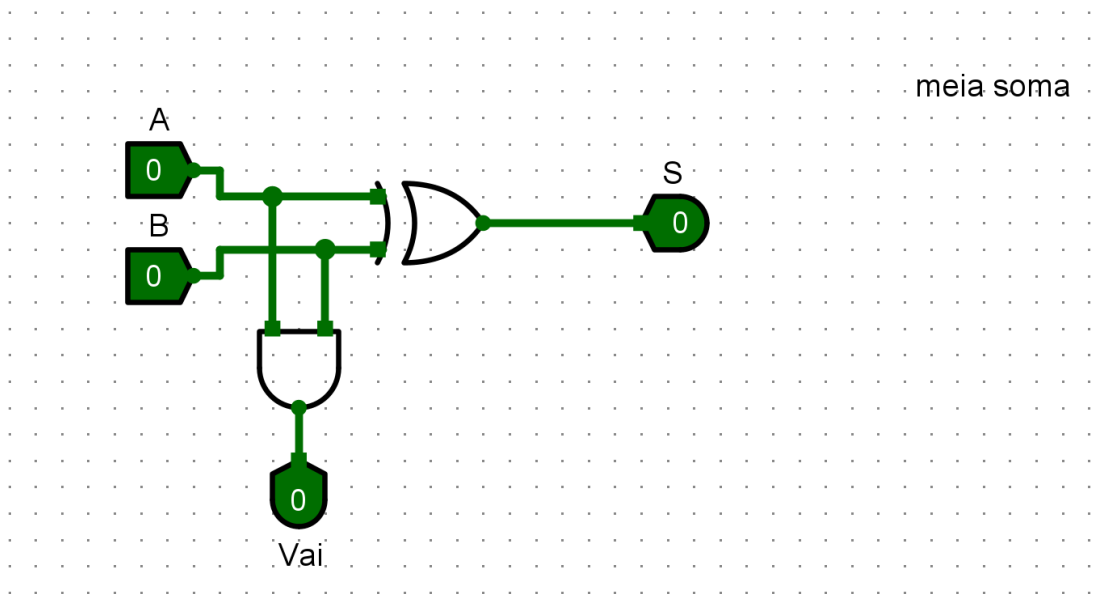


Número 1



Número 2

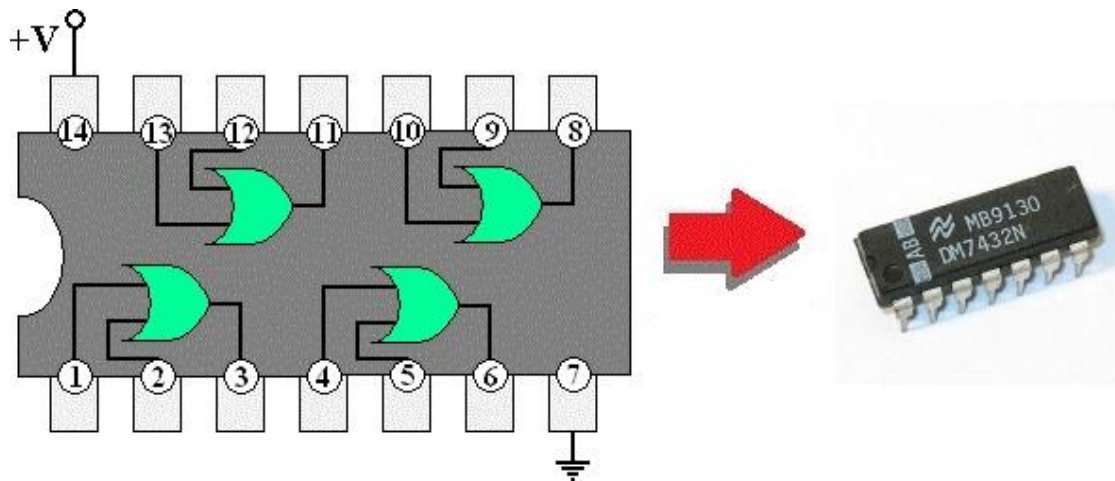
A	B	S	VAI
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Número 3

PORTA XOR = 74HC86 / PORTA AND = 74HC08 / PORTA OR = 74HC32

Número 4

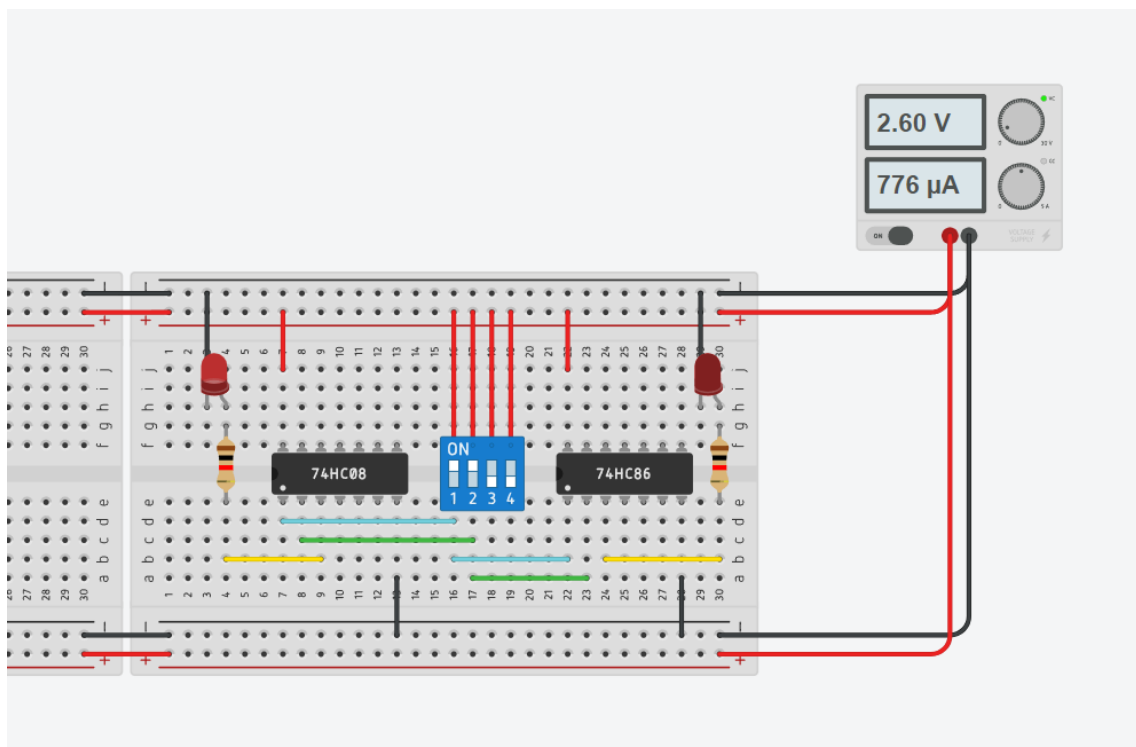
As portas lógicas geralmente são apresentadas em um chip que contém quatro portas. Cada perna do conector desse chip possui um número. Geralmente, o pino 14, localizado na parte superior esquerda, é o VCC (alimentação), e o pino 7, situado no canto inferior direito, é o GND (terra) deixo um exemplo abaixo.



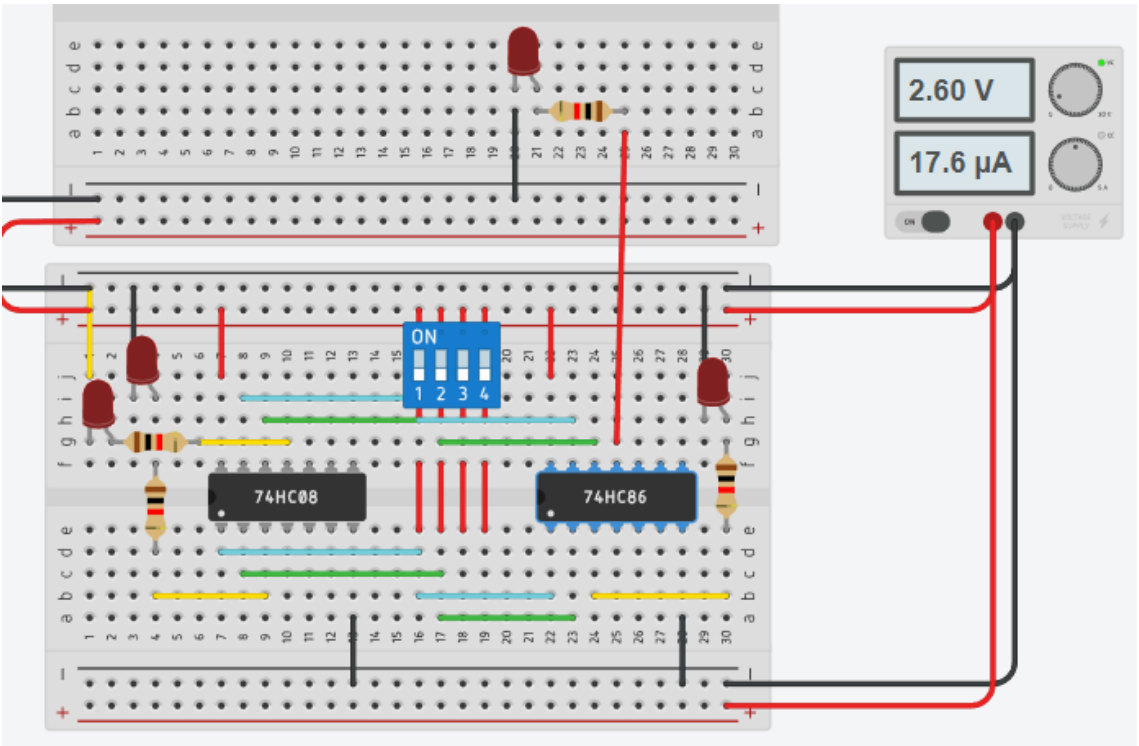
Pergunta 1

Quando não está chegando tensão nos terminais de entrada o comportamento da porta lógica se torna imprevisível. Podendo ter algumas consequências como: Ruído e oscilação, comportamento aleatório e danos potenciais ao circuito.

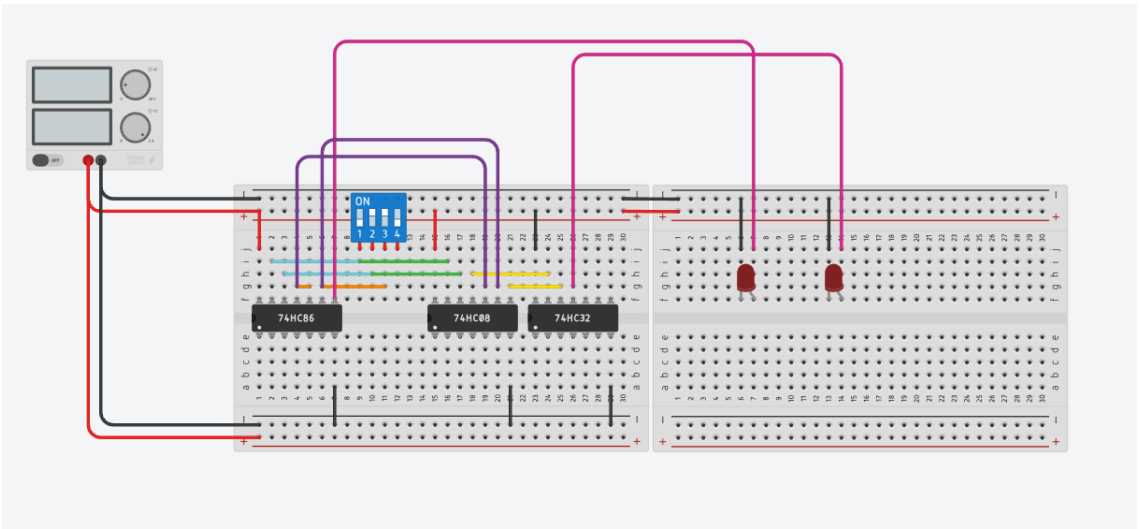
Numero 6



Número 7



Número 8



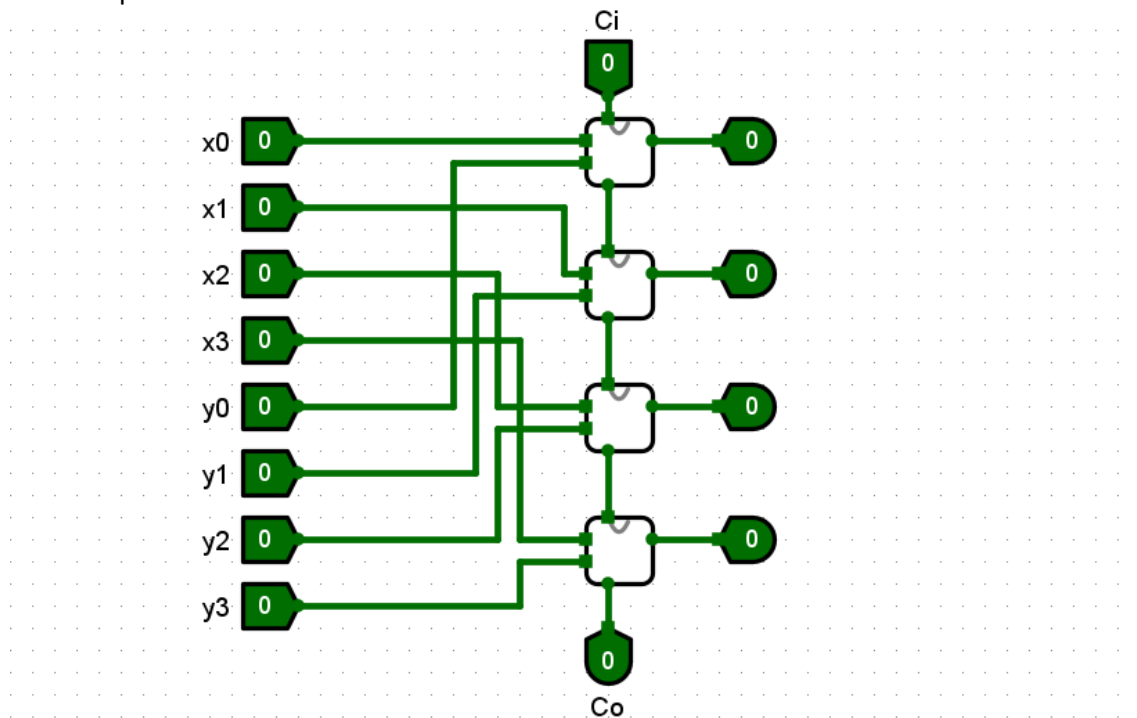
Número 9

A	B	CIN	S	COUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0

1	0 1	0	1
1	1 0	0	1
1	1 1	1	1

Número 10

Um somador de 4 bits é composto por quatro somadores completos de 1 bit, conectados em sequência. Cada somador soma dois bits de entrada e um bit de transporte do somador anterior. O conceito é similar ao polimorfismo, onde cada somador completo age como uma "classe" que realiza a soma.



Pergunta 2

Cada somador tem um atraso de 10ns a mais por causa da porta AND que calcula o cout (verificando o cin e se a e b são 1).

Pergunta 3

São necessários 90ns. Tempo da porta 1 até 4: 30ns => 50ns => 70ns => 90ns

Pergunta 4

Utilizando os conceitos de polimorfismo, montamos um circuito com 2 somadores de 4 bits (formando um de 8), sendo assim seriam necessários 4 somadores de 8bits para realizarem a soma dos 32bits.

Pergunta 5

Cada somador de 8bits terá um atraso de 180ns, logo serão 720ns de atraso. $1/720 = 0,001388\text{hz}$

Pergunta 6

Através de uma indução matemática conseguimos reduzir esse atraso da porta que calcula o cout, reestruturando o circuito de maneira onde se utilizam formula simplificada e evita reduncia.

