PRINTED CURCUIT BOARD DESIGN

1. Giới thiệu

* Tất cả các nội dung trong tài liệu này điều được tập hợp từ các kiến thức đã được học hỏi và thực nghiệm thực tế. Tuy nhiên, các nội dung có thể còn thiếu sót và chưa hoàn thiện. Cho nên, nếu có những sai sót xin hãy bổ sung và sửa đổi để hoàn thiện hơn.

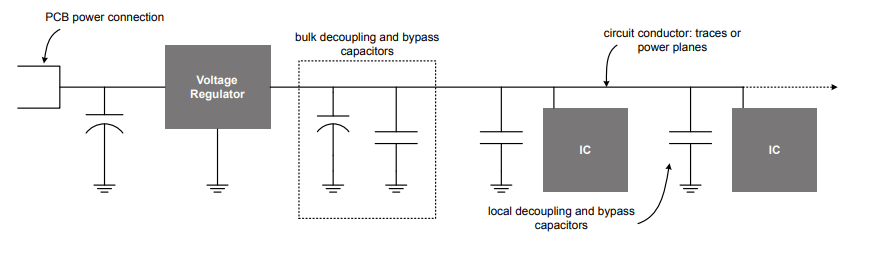
1. Lý thuyết và các hướng dẫn về thiết kế PCB

Hướng dẫn thiết kế PCB

* 1. Nguồn (VCC) và đất (GND)

Tất cả các thiết kế hệ thống nhúng đều có VCC và GND được chia sẻ bởi các thành phần trên PCB. Hoạt động của một thành phần có thể ảnh hưởng đến hoạt động của các thành phần khác dùng chung VCC và GND.

* Mục tiêu của nguồn điện của hệ thống nhúng là duy trì điện áp trong một phạm vi xác định đồng thời cung cấp đủ dòng điện. Trong khi nguồn điện lý tưởng sẽ duy trì cùng một điện áp cho bất kỳ dòng điện nào có thể xảy ra, các hệ thống trong thế giới thực thì sẽ không lý tưởng và có những vấn đề sau:
  + Sự thay đổi dòng điện và nhiễu liên quan của nó do một thiết bị gây ra sẽ ảnh hưởng đến các thiết bị khác được gắn vào cùng một mạng cung cấp điện.
  + Sự thay đổi dòng điện ảnh hưởng đến điện áp của lưới điện.
  + Sử dụng thiết bị điều chỉnh điện áp không đúng cách có thể dẫn đến sự mất ổn định điện áp nguồn.
* Mạch cung cấp điện điển hình bao gồm:
  + Kết nối nguồn điện PCB với các thành phần tách và lọc.
  + Bộ điều chỉnh điện áp duy trì điện áp trong phạm vi yêu cầu đồng thời cung cấp đủ dòng điện cho tất cả các thành phần được phục vụ.
  + Tụ decoupling, tụ bypass và tụ chống ghép (Bulk Capacitor)
  + Các đường mạch nguồn và nguồn cung cấp hoặc mặt phẳng cung cấp điện phân phối điện cho các thành phần.
  + Tụ decoupling và tụ bypass cục bộ tại mỗi mạch tích hợp (IC).
  + Bộ lọc nguồn tùy chọn được đặt giữa các mạch cung cấp điện khác nhau



* + 1. Bộ điều chỉnh điện áp (Voltage Regulator)

Bộ điều chỉnh điện áp lấy điện áp đầu vào từ nguồn bên ngoài hệ thống và đầu ra là một điện áp xác định có thể cấp nguồn cho các thành phần, linh kiện trên bảng mạch. Hai loại bộ điều chỉnh điện áp phổ biến là bộ biến đổi DC-DC và bộ điều chỉnh tuyến tính LDOs. Khi quyết định lựa chọn bộ điều chỉnh điện áp, hãy đọc kỹ datasheet để lựa chon loại phù hợp với thông số kỹ thuật của bộ phận với yêu cầu hệ thống.

1. Bộ chuyển đổi điệp áp DC-DC

Hiệu quả cao của loại bộ điều chỉnh này làm cho nó trở thành lựa chọn lý tưởng cho các thiết kế mà vấn đề tiết kiệm điện là một vấn đề, chẳng hạn như các ứng dụng chạy bằng pin. Tuy nhiên, loại nguồn này gây nhiễu tần số cao cho mạng lưới cung cấp điện. Nhiễu này có thể được giảm bớt bằng cách lọc và thêm các tụ bypass.

Loại điều chỉnh này sẽ cho ra dòng điện lớn cho nên khi mạch điện có nhiều linh kiện trên bo mạch thì loại này được sử dụng để chuyển đổi điện áp từ nguồn vào sau đó sẽ qua bộ chuyển đổi LDO để cung cấp nguồn cho các linh kiện.

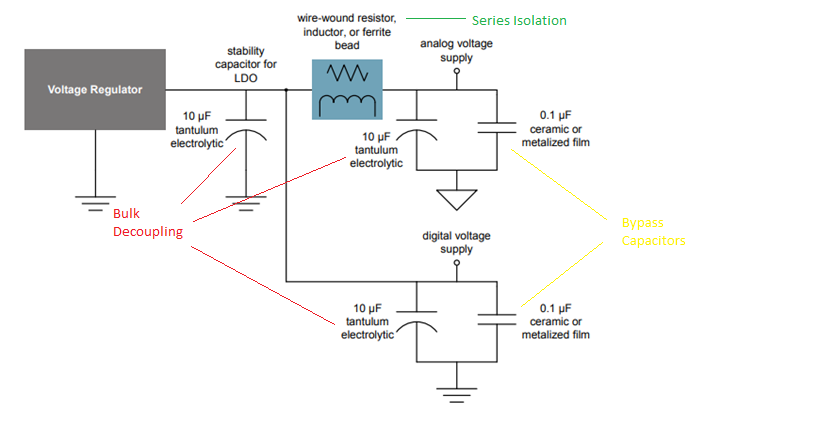
1. Bộ chuyển đổi tuyến tính LDO

Bộ điều chỉnh mức độ bỏ rơi thấp (LDO) kém hiệu quả hơn so với bộ chuyển đổi dc-dc, nhưng chúng cũng đưa vào mạch nguồn ít nhiễun hơn.

Loại này dòng ra khá thấp, thường thì < 1000mA. Tuy nhiên hoạt động hiệu quả thì ~500mA.

* + 1. Power Supply Bulk Decoupling and Bypassing

Nhiễu được sinh ra từ các bộ điều chỉnh điện áp hoặc nhiễu từ trường từ các vòng lặp của dòng điện. Thêm các tụ điện (Bulk, Decoupling, Bypassing) sẽ giảm thiểu nhiễu cho nguồn điện và mang lại nhiều lợi ích, tính tin cậy của bo mạch.



Một tụ điện Bulk decoubling cung cấp nguồn điện tạm thời để ngăn chặn sự sụt áp trong thời gian không có sẵn dòng điện. Các tụ điện này có thể cung cấp điện tích cho các tụ decoupling / bypassing local của IC.

Các tụ điện Bulk nên được đặt gần chân đầu ra của bộ điều chỉnh điện áp. Thông thường, giá trị điện dung của tụ Bulk phải gấp 10 lần tổng điện dung của các tụ decoupling local của mỗi IC. Các tụ Bulk decoupling thường là **Tantalum** hoặc tụ **electrolytic**.

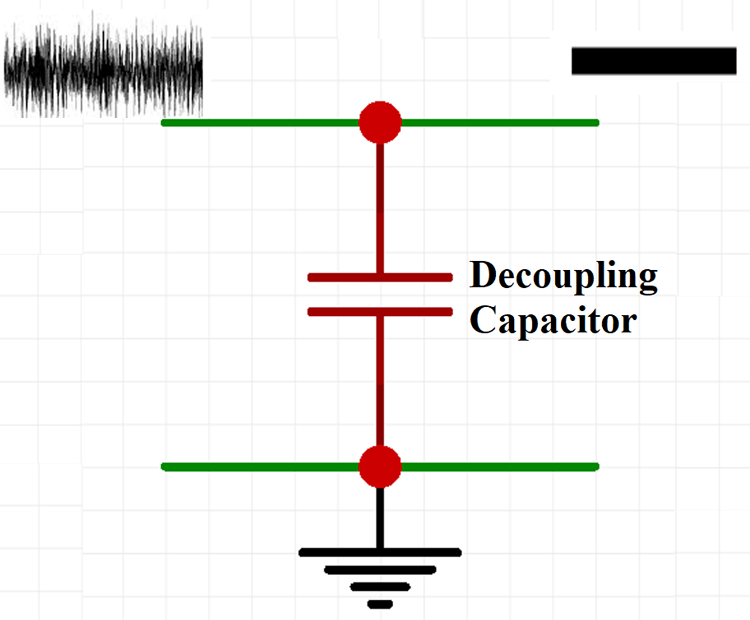
Để giúp lọc nhiễu Digital và nhiễu EMI tần số cao, một tụ điện bypass có điện dung nhỏ hơn một hoặc hai bậc độ lớn so với tụ Bulk decouling nên được đặt song song với tụ Bulk decouling. Tụ điện có giá trị thấp hơn sẽ ngăn chặn nhiễu tần số cao kết hợp với nguồn điện được nối đất do trở kháng thấp của nó trong dải tần số cao hơn.

* + 1. IC Decoupling and Bypassing (Local)

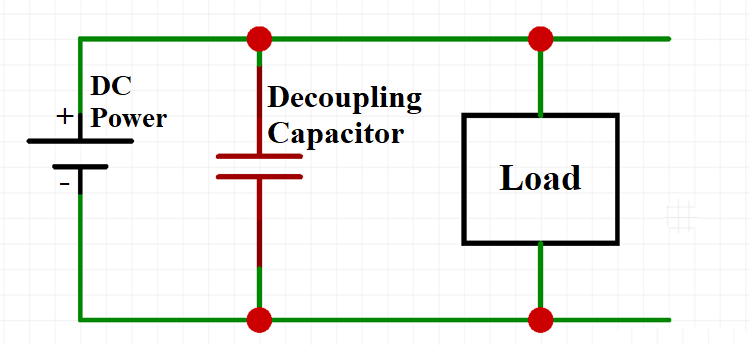
Khi các cổng logic Digital của IC chuyển từ trạng thái này sang trạng thái khác, dòng điện của IC dao động ở tần số được xác định bởi tốc độ chuyển đổi trạng thái logic hoặc thời gian chuyển đổi rise-time. Những thay đổi này làm cho điện áp nguồn dao động vì các đường kết nối có trở kháng đặc trưng.

Trở kháng của mạch có thể được giảm xuống bằng cách thêm điện dung vào đường nguồn cung cấp để làm giảm trở kháng xuống đất cho các tín hiệu tần số cao.

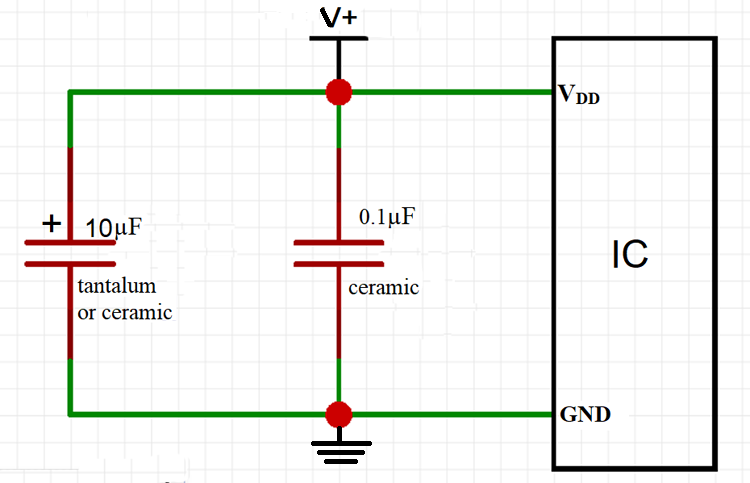
* Decoupling capacitor:
  + Tụ decoupling được sử dụng để cách ly hoặc tách hai mạch khác nhau hoặc một mạch cục bộ từ mạch bên ngoài, nói cách khác tụ decoupling được sử dụng để tách tín hiệu AC khỏi tín hiệu DC hoặc ngược lại.
  + Chúng ta có thể định nghĩa tụ decoupling là tụ điện được sử dụng để loại bỏ biến dạng điện và nhiễu và bảo vệ hệ thống / IC bằng cách cung cấp nguồn điện một chiều thuần túy.



* + Quá trình Decoupling thực sự quan trọng khi nói đến mạch logic. Ví dụ, hãy xem xét một cổng logic có thể hoạt động ở điện áp cung cấp là 5V, nếu Điện áp trên 2,5V thì nó sẽ được đọc là tín hiệu Cao và nếu Điện áp xuống dưới 2,5V thì nó sẽ đọc là tín hiệu Thấp. Vì vậy, nếu có nhiễu trong điện áp cung cấp, nó sẽ kích hoạt mức cao và mức thấp trong mạch logic, do đó các tụ DC decoupling được sử dụng rộng rãi cho các mạch logic.
* Vị trí của tụ điện decoupling trong mạch điện:
  + Tụ decouping nên được đặt song song giữa nguồn điện và tải / IC. Khi nguồn điện một chiều cung cấp điện cho mạch, tụ decoupling sẽ có điện kháng vô hạn đối với tín hiệu DC và chúng sẽ không có bất kỳ ảnh hưởng nào đến dòng DC, nhưng nó có điện trở ít hơn nhiều trên tín hiệu AC để chúng có thể đi qua. Tụ điện sẽ tạo ra một đường dẫn trở kháng thấp để các tín hiệu tần số cao đi qua và xuống mass, dẫn đến tín hiệu DC sạch.



* + Việc xác định vị trí liên quan đến hai tụ điện khác nhau, coi một tụ điện có điện dung **10µF** đặt cách xa IC được sử dụng để làm giảm sự thay đổi tần số thấp trong nguồn điện (cung cấp nguồn tạm thời để tránh sụt áp tức thời trên đường nguồn) và một tụ điện **0,1 µF** đặt gần IC hơn được sử dụng để lọc nhiễu cao tần.

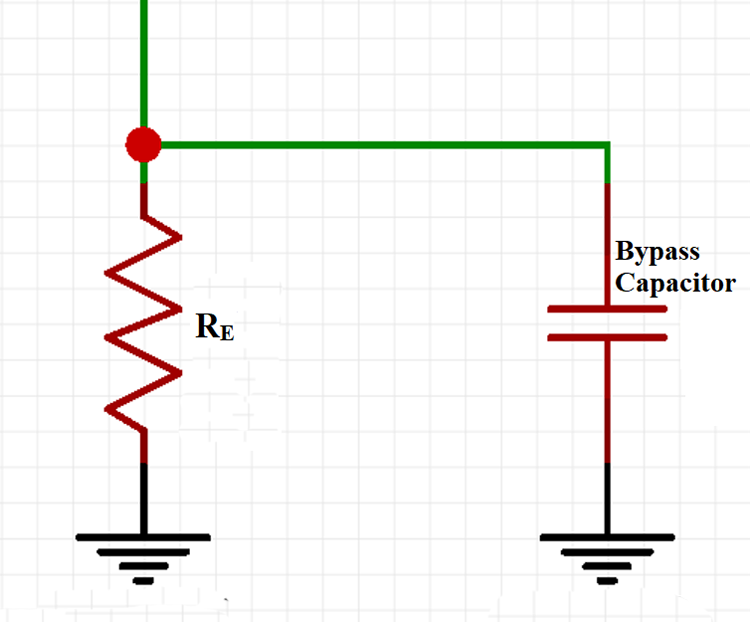


Loại tụ decoupling được sử dụng nhiều nhất để lọc gơn thông thấp là tụ điện hóa và tụ điện được sử dụng để lọc nhiễu cao tần thường là các tụ gốm SMD.

* + Giá trị của decoupling capacitor:

Giá trị của tụ decoupling không giống như tụ điện bypass, không có nhiều tiêu chuẩn để chọn giá trị của tụ decoupling. Vì các tụ điện decoupling được sử dụng rộng rãi nên có một số tiêu chuẩn nhất định để lựa chọn giá trị. **Giá trị của tụ decoupling lọc gợn thông thấp thường nằm trong khoảng từ 1 µF đến 100 µF**. **Tụ điện decoupling lọc nhiễu tần số cao thường có giá trị từ 0,01 µF đến 0,1 µF**. Giá trị chính xác của tụ điện sẽ được sử dụng luôn được cung cấp cùng với datasheet của IC. Các tụ điện decoupling phải luôn được kết nối trực tiếp với mặt đất trở kháng thấp để nó hoạt động hiệu quả.

* Bypass Capacitor
  + Tụ điện Bypass được sử dụng để ngăn nhiễu xâm nhập vào hệ thống bằng cách đi qua nó xuống đất. Tụ bypass được đặt giữa các chân của điện áp nguồn (Vcc) và đất (GND) để giảm cả nhiễu nguồn cung cấp và kết quả của sự đột biến trên đường cung cấp. Đối với các thiết bị khác nhau và các thành phần khác nhau, tụ điện có khả năng triệt tiêu cả nhiễu trong và ngoài hệ thống.



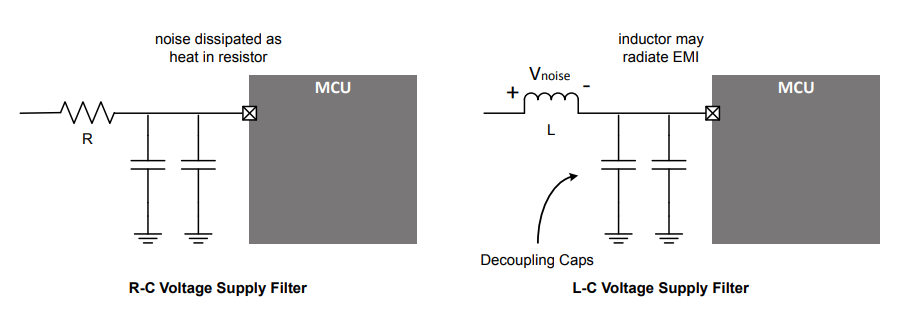
* + Khi hoạt động, tụ điện bypass bất kỳ loại tín hiệu AC nào xuống đất để nhiễu AC trong tín hiệu DC được loại bỏ, dẫn đến tín hiệu DC sạch hơn.
  + Giá trị của tụ bypass:

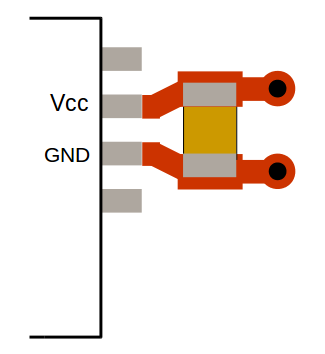
Cảm kháng của tụ điện mắc thêm vào mạch phải bằng 1/10 hoặc nhỏ hơn cảm kháng song song. Chúng ta đều biết rằng dòng điện luôn có điện trở thấp, nếu bạn muốn chuyển tín hiệu AC xuống đất thì tụ điện phải có điện trở thấp hơn. Giá trị điện dung của tụ bypass được sử dụng có thể được tính bằng công thức:

|  |
| --- |
| C= |

* + Ứng dụng của tụ Bypass

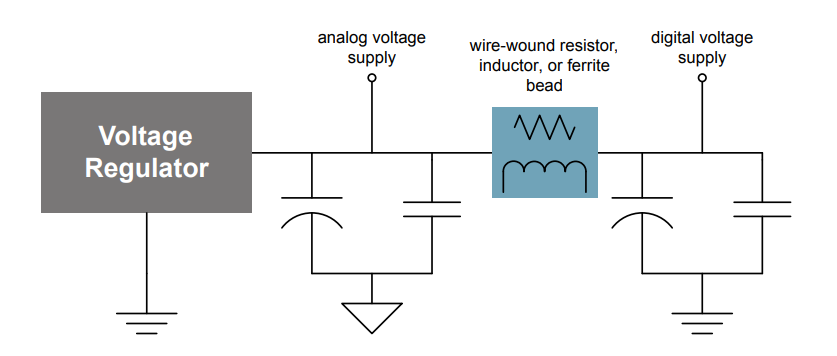
Các tụ bypass hầu như được sử dụng trong tất cả các mạch Analog và Digital để loại bỏ tín hiệu không mong muốn khỏi điện áp cung cấp, một số ứng dụng đáng chú ý mà chúng được sử dụng giữa bộ khuếch đại và loa để có âm thanh rõ ràng. Được sử dụng trong bộ chuyển đổi DC / DC, trong việc ghép và tách tín hiệu Được sử dụng trong bộ lọc High Pass (HP) và Low Pass (LP).

* + 1. Bộ lọc nguồn điện
* Bộ lọc nguồn được thêm vào để ngăn chặn các nhiễu cao tần cho nguồn điện và cung cấp một nguồn điện sạch cho các thành phần của bo mạch.
* Diện tích vòng lặp từ chân cung cấp điện áp đến chân của tụ decoupling xuống đất phải được giữ càng nhỏ càng tốt bằng cách đặt tụ điện gần chân cấp nguồn và chân nối đất của IC.



* + 1. Cân nhắc khi thiết kế bộ lọc đối với các IC có tín hiệu hỗn hợp

Các hệ thống nhúng tín hiệu hỗn hợp có cả nguồn cung cấp điện áp Analog và digital thường dùng chung một bộ điều chỉnh điện áp. Thông qua mạng lưới điện chung này, nhiễu digital số tần số cao có thể ghép nối vào mạch analog và làm cho các phép đo Analog không còn tin cậy. Lọc hoặc cách ly mạch nguồn analog có thể loại bỏ sự ghép nối này.



* Điện cảm nối tiếp cung cấp khả năng cách ly hiệu quả nhất khỏi nhiễu tần số cao. Thành phần cảm kháng nên được đặt giữa mạch cấp nguồn Analog và Digital. Phần mạch Analog nên đặt gần với bộ điều chỉnh điện áp nhất.t. Nếu do chi phí hoặc không có sẵn, việc sử dụng cuộn cảm là không thể, thì điện trở dây có giá trị thấp (~ 2 Ω) cũng có thể được sử dụng do điện cảm ký sinh vốn có của điện trở.
* PCB phải được thiết kế với một vị trí cho (các) tụ điện bypass và decoupling, trong trường hợp cần thiết và loại bỏ hoặc thử nghiệm với các giá trị tụ điện khác nhau nếu PCB có một lượng lớn nhiễu digital ghép nối vào các mạch analog.
  1. Mạch nối đất

Mạch nối đất có thể gây nhiễu cho hệ thống nhúng và ảnh hưởng đến các thành phần, linh kiện. Mạch nối đất lý tưởng là mạch đẳng thế, nghĩa là điện áp của mạch không thay đổi bất kể cường độ dòng điện. Các mạch nối đất trong thế giới thực có trở kháng đặc trưng và trải qua sự thay đổi điện áp với sự thay đổi của dòng điện. Thiết kế PCB cẩn thận có thể giảm thiểu hành vi không lý tưởng này để tạo ra một mạch nối đất cung cấp các return path trở kháng thấp cho dòng điện.

* + 1. Thiết kế với mặt phẳng đất (Ground Plane)

Trong khi một số hệ thống kết nối các thành phần, linh kiện với mạch nối đất thông qua dây dẫn hoặc đường mạch trên PCB, hầu hết các thiết kế sử dụng mặt phẳng nối đất trong đó các thành phần của PCB kết nối các chân mass của chúng với mặt phẳng dẫn điện chung. Thiết kế với mặt đất được khuyến khích vì hai lý do:

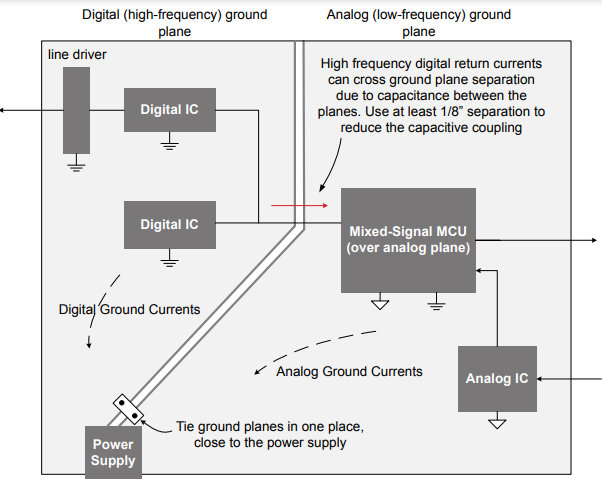
• Nhiễu dòng điện return của một thiết bị ít ảnh hưởng đến các thành phần khác.

• Kết nối ngắn giúp loại bỏ sụt áp do điện cảm và điện trở bởi return path gây ra.

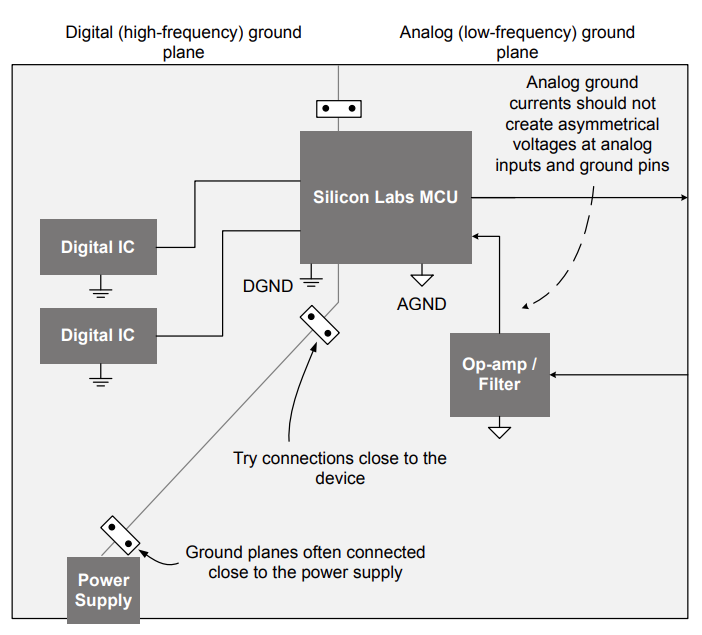
* + 1. Thiết kế mặt phẳng đất bằng cách phủ mass (Ground Plane Fill)

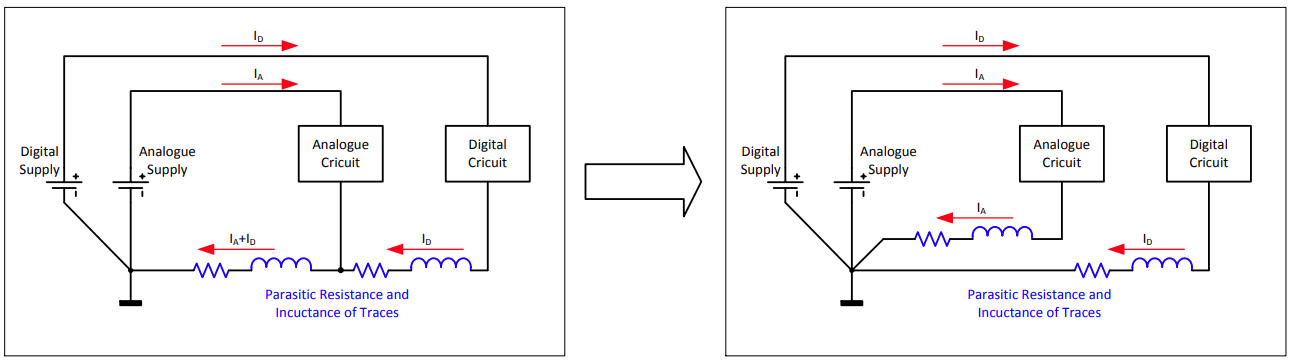
Mặt phẳng nền phải che phủ càng nhiều bảng càng tốt, ngay cả trong khoảng trống giữa các thành phần, linh kiện và đường mạch định tuyến. Các vùng đồng chết được hình thành giữa các đường mạch định tuyến hoặc thành phần, linh kiện phải luôn được kết nối với mặt đất và không bao giờ được để trôi nổi. Trải rộng mặt phẳng mặt đất trên bảng cũng giúp tiêu tán nhiễu và che chắn các đường mạch định tuyến. Nếu có thể, mặt đất cũng nên được đặt dưới IC, MCU.

* + 1. Tách rời các mặt phẳng đất của tín hiệu hỗn hợp

Tách return path của dòng điện analog khỏi return path của dòng điện digital có thể tránh nhiễu từ digital ảnh hưởng đến độ tin cậy của tín hiệu Analog. Cách ly nối đất cũng có thể cải thiện hiệu suất trong các bo mạch kết nối với hệ thống công nghiệp hoặc môi trường nhiễu cao. Các mặt đất riêng biệt chỉ nên được kết nối ở một vị trí, thường là gần nguồn điện.

***Lưu ý***: Việc tách các mặt phẳng trên mặt đất có thể cải thiện nhiễu trong trường hợp không có tín hiệu digital tốc độ cao giao nhau giữa các mặt phẳng. Nếu những tín hiệu này tồn tại, việc tách các mặt phẳng buộc dòng điện qua một đường dài hơn nhiều để trở về nguồn, điều này sẽ dẫn đến EMI cao hơn. Thay vào đó, một mặt phẳng duy nhất được khuyến khích trong những trường hợp này.

Nếu có thể, các IC tín hiệu hỗn hợp nên được đặt hoàn toàn trong mặt đất analog. Thành phần, linh kiện cũng có thể nằm trên cả hai mặt phẳng, với đường phân cách chạy dưới.

* + 1. Sử dụng chung mặt đất cho bo mạch có tín hiệu hỗn hợp

Không phải tất cả các hệ thống nhúng có các tín hiệu hỗn hợp đều yêu cầu các mặt phẳng đất giữa tín hiệu Analog và Digital để chúng có thể hoạt động một cách chính xác. Các hệ thống với các phép đo và tính toán tín hiệu Analog với độ phân giải thấp thì sẽ không bị ảnh hưởng bởi nhiễu Digital.

Trong các hệ thống dùng chung mặt phẳng đất giữa tín hiệu Analog và Digital, nên giảm thiểu sự tương tác các dòng điện giữa mặt đất Analog và Digital. Không nên đặt các thành phần, linh kiện Analog giữa các thành phần, linh kiện Digital và nguồn cung cấp của nó, Vì các dòng điện chạy trong mặt phẳng đất của tín hiệu Digital sẽ gây nhiễu cho các tín hiệu Analog.

Nói chung các thành phần, linh kiện Digital có tần số cao hơn thì nên đặt gần nguồn điện hơn so với các thành phần linh kiện có tần số thấp. Nếu có thể, mỗi thành phần linh kiện phải có một đường return của tín hiệu chạy dọc theo bên dưới đường tín hiệu đi.

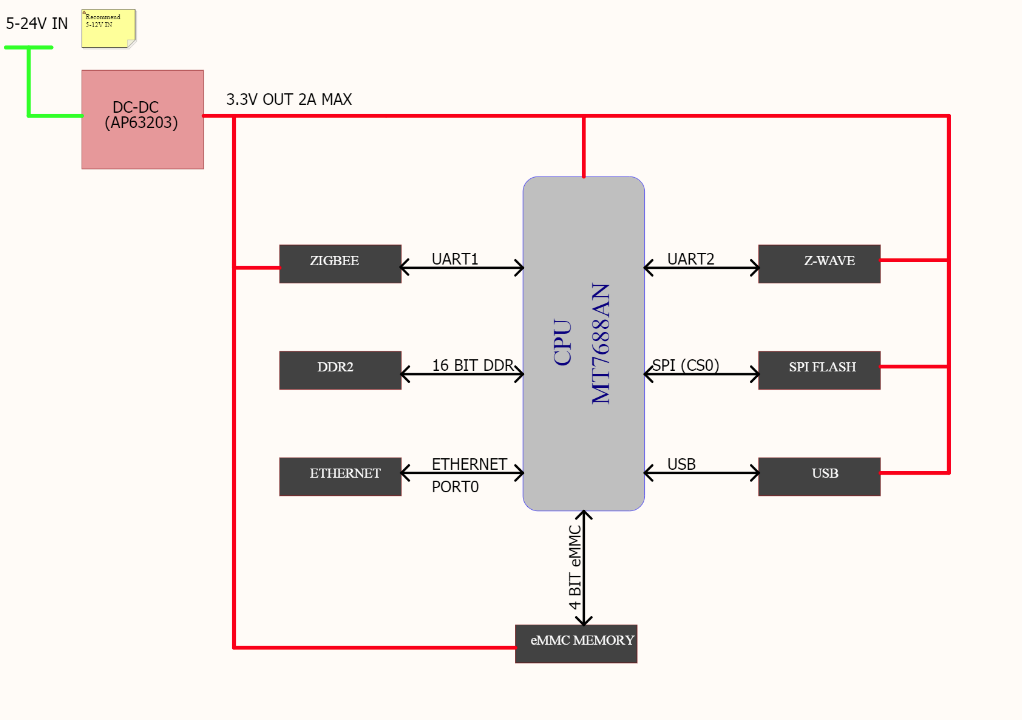
* + 1. sd
  1. sd

1. Quy trình thiết kế PCB
   1. Tiếp nhận yêu cầu

* Xác nhận rõ những yêu cầu của bo mạch
* Xác định số lượng input, output. Chúng thuộc loại tín hiệu nào (Analog hay Digital)
* Xác định các kết nối trong hệ thống
* Điện áp cung cấp và hoạt động của mạch là bao nhiêu.
  1. Thiết kế sơ đồ nguyên lý

Sau khi xác định được hết các yêu cầu của hệ thống thì tiến hành xây dựng và thiết kế sơ đồ nguyên lý cho bo mạch.

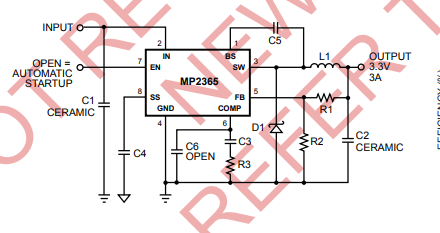
* Xậy dựng sơ đồ khối chức năng của hệ thống
  + Xác định các khối chức năng đó là gì. Vẽ sơ đồ khối bắt đầu từ đầu vào của yêu cầu cho đến đầu ra.
  + Mỗi khối chức năng thì đảm nhiệm một chức năng con của hệ thống

Ví dụ sơ đồ tổng thể của hệ thống.

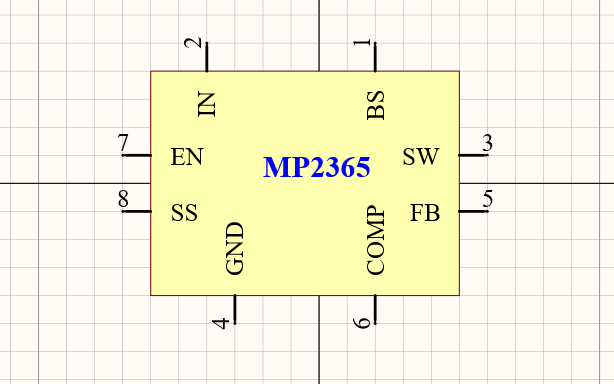
* Từ sơ đồ khối chức năng đã được xây dựng, tiếp theo là phân tích, lựa chọn những linh kiện thành phần để đáp ứng được chức năng của từng khối đó.
  + Ví dụ cho sơ đồ hình trên, yêu cầu của hệ thống GateWay này bao gồm: Kết nối với các thiết bị khác thông qua các giao tiếp: Zigbee, Zwave, kết nối với Server thông qua giao tiếp Ethernet và Wifi. Từ đó ta xác định được các khối như trên hình.
    - Khối Zigbee: Xử lý chức năng Zigbee -> lựa chọn IC Zigbee (CC2530 TI). Khối này tiêu thụ nguồn <= 80mA .
    - Khối Zwave: Xử lỹ chức năng xử lý truyền dữ liệu bằng sóng Zwave -> Lựa chọ module Zwave (ZM5304 Silabs). Từ đó suy ra điện năng tiêu thụ của khôi này <=100mA.
    - Khối xử lý chính: Xử lý dữ liệu. truyền dữ liệu lên Server thông qua chuẩn Ethernet và Wifi -> lựa chọn CPU để đáp ứng được yêu cầu trên (MediaTek MT6788AN). Lựa chọn được CPU thì xác định các thành phần cần thiết cho CPU như (RAM, ROM, SD,…). Thiết kế các ngoại vi giao tiếp cần thiết để có thể giao tiếp với CPU (USB, Serial Console,…). Từ đó xác định điện năng tiêu thụ lớn nhất của khôi này là 800mA.
    - Khối nguồn cung cấp cho hệ thống: Từ nguồn đầu vào là ngưỡng từ 5-24V, nguồn đầu ra để đáp ứng đủ cho các linh kiện trong hệ thống -> chọ đc IC nguồn.
  1. Tạo thư viện Symbol cho linh kiện
     1. Đối với linh kiện đơn giản:

Tạo Symbol giống với Schematic reference của linh kiện trong datasheet.

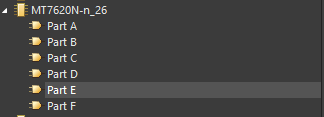
Mục đích là để khi thiết kế Schematic xong kiểm tra lại thì nhanh chóng, dễ dàng hơn và tranh sai sót.



Từ sơ đồ nguyên lý tham khảo của nhà sản xuất, tạo symbol cho linh kiện tương tự như vậy để khi thiết kế mạch điện sử dụng IC này sẽ tương tự với sơ đồ nguyên lý tham khảo của nhà sản xuất.



* + 1. Đối với các linh kiện phức tạp, có nhiều chân với các chức năng khác nhau như MCU, MPU, RAM, FPGA…
* Tạo Symbol linh kiện với các chân có chức năng giống nhau thành 1 khối



Mỗi Part chứa các thành phần (Pin) có chức năng tương tự nhau để dễ quản lý, sử dụng khi thiết kế Schematics và thuận tiện khi kiểm tra nguyên lý mạch. Giảm thời gian tìm kiếm các chân tương ứng với các chức năng cần dùng, tránh sai sót, nhầm lẫn chân chức năng.

* + 1. Khi đặt tên cho Symbol linh kiện thì nên đặt tên các linh kiện theo các ký hiệu sau đây:
    - IC: IC or U
    - Resistor: R
    - Capacitor: C
    - Inductor: L
    - Transistor: Q or T
    - Diode/LED: D
    - Crystal: Y/XTAL
    - Pin headers: J
    - Jumper: JP
    - Fuse: F
    - Ferrite Bead: FB
    - Fiducial: FD
    - Test point: TP
    - Solder Bridge: SB

1. Tạo thư viện FootPrint cho các linh kiện

Khi tiến hành tạo thư viện, thì có thể tạo luôn Footprint không cần phải chờ đến khi tiến hành Layout mới tạo.

* + - Đối với các linh kiện dip: Thiết kế đúng theo các thông số Recommend trong datasheet

Đối với các linh kiện SMD:

* + - Các linh kiện kểu 0201, 0402, 0603, 0805, 1206, 2010,… thì nên thiết kế footprint sao cho 2 loại gần kề nhau có thể thay thế được cho nhau. Ví dụ: thiết kế 0201 thì có thể dùng cho 0402 (tức là Footprint dài hơn, to hơn bình thường 1 chút để có thể dùng cho 0402).
    - Các loại IC khác thì tuân theo recommend của datasheet để tạo Footprint.

Khi tạo Footprint cho các linh kiện thì nên sử dụng các công cụ của phần mềm để tạo, tránh mất thời gian.

Có thể download thư viện linh kiện trên các trang web.

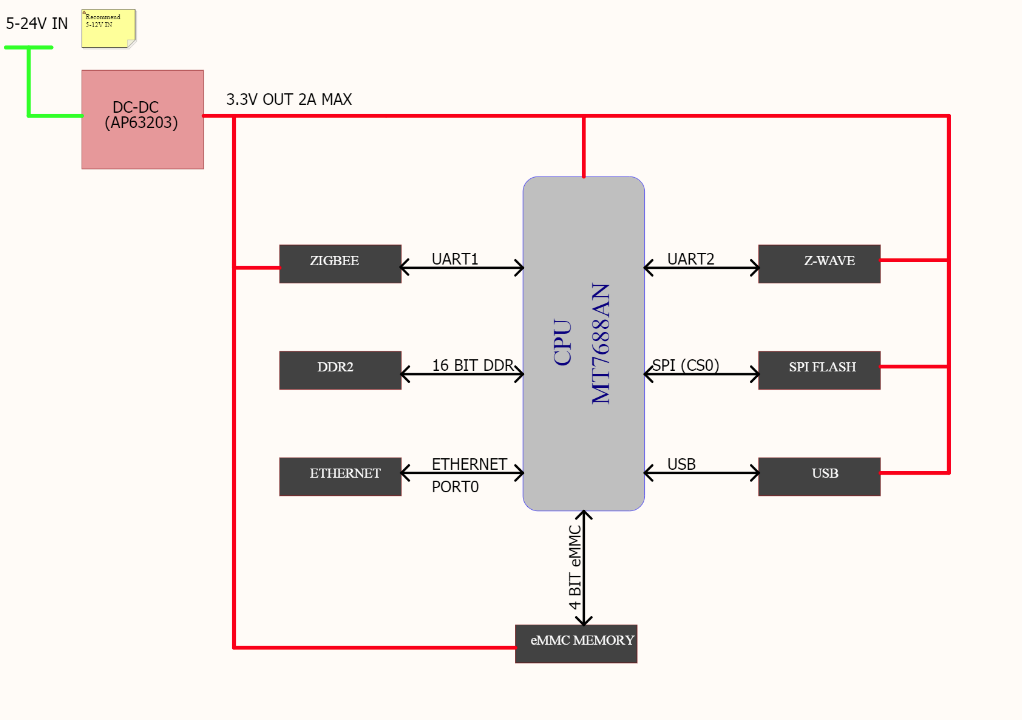
|  |  |
| --- | --- |
| STT | Tên trang web |
| 1 | Snapeda.com |
| 2 | Octopart.com |
| 3 | Ultralibrarian.com |
| 4 | Mouser.com |
| 5 | Digikey.com |

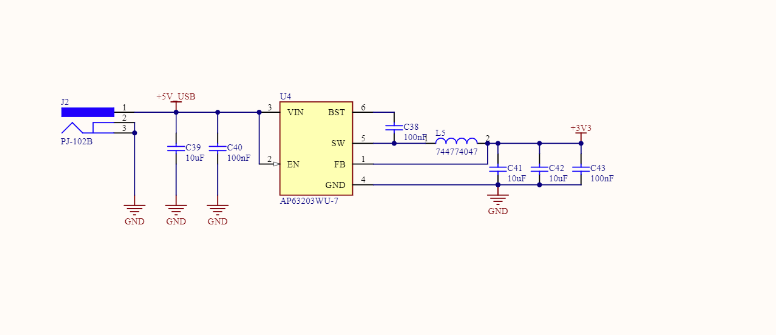
Lưu ý: Khi tải thư viện linh kiện từ các trang web về thì phải kiểm tra kỹ footprint và Symbol có đúng với datasheet hay chưa để tránh sai sót sau khi thiết kế PCB.

1. Thiết kế sơ đồ nguyên lý

Khi thiết kế sơ đồ nguyên lý nên chia ra từng Sheet với các chức năng riêng để khi kiểm tra nguyên lý hoặc người khác nhìn vào sẽ không bị rối.

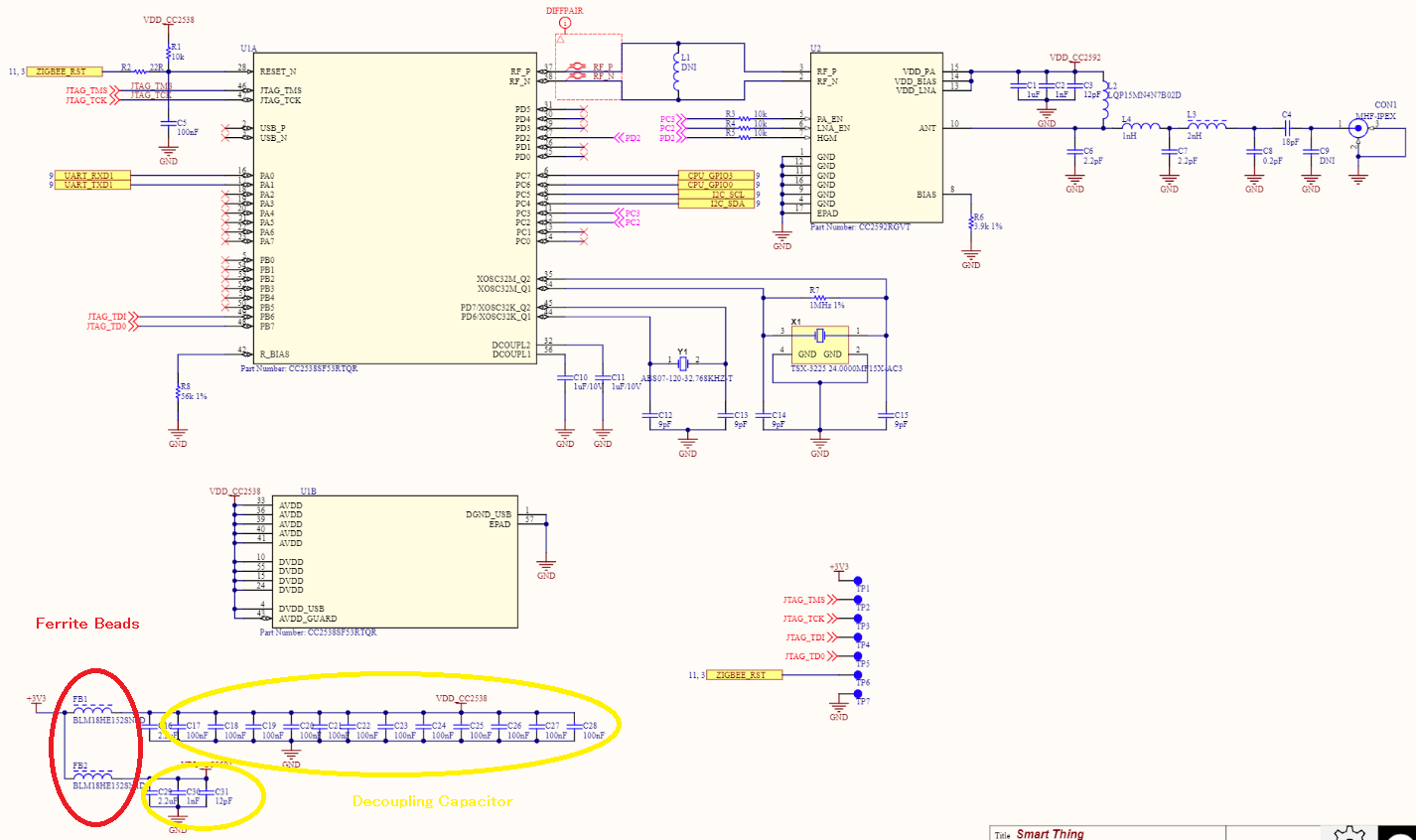
* + 1. Bố trí các Sheet

Chia ra từng mục từ bao quát đến chi tiết. Như hình trên là Sheet Main nó giống như diagram chức năng của mạch, bao quát tất cả những gì có trong PCB.



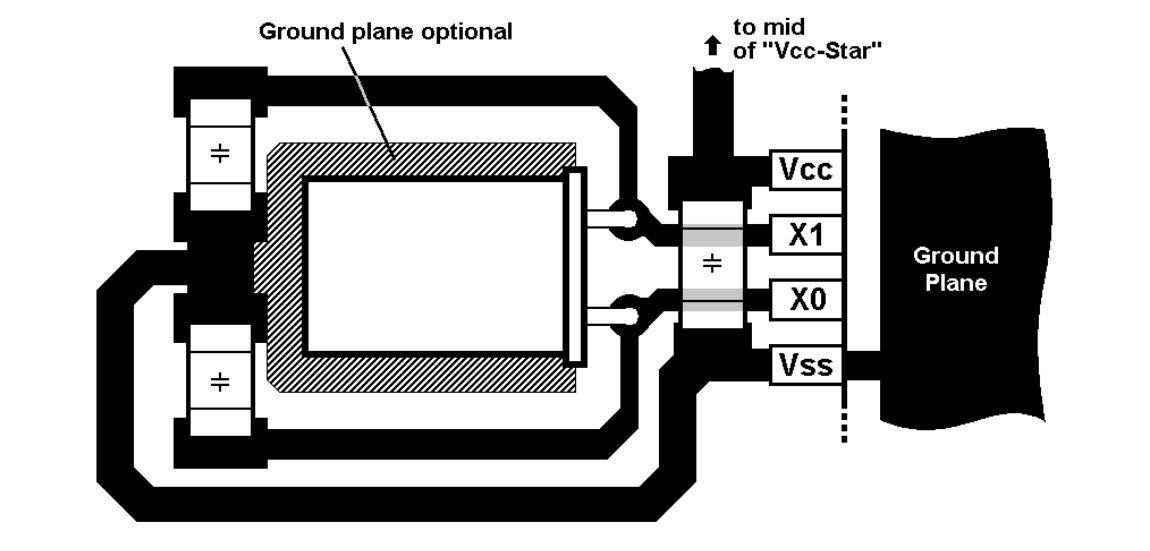
Đối với từng chức năng của từng mạch được chỉ ra ở trên thì tương ứng với một Sheet chi tiết (các sheet này để thể hiện nguyên lý và kết nối giữa các linh kiện với nhau).

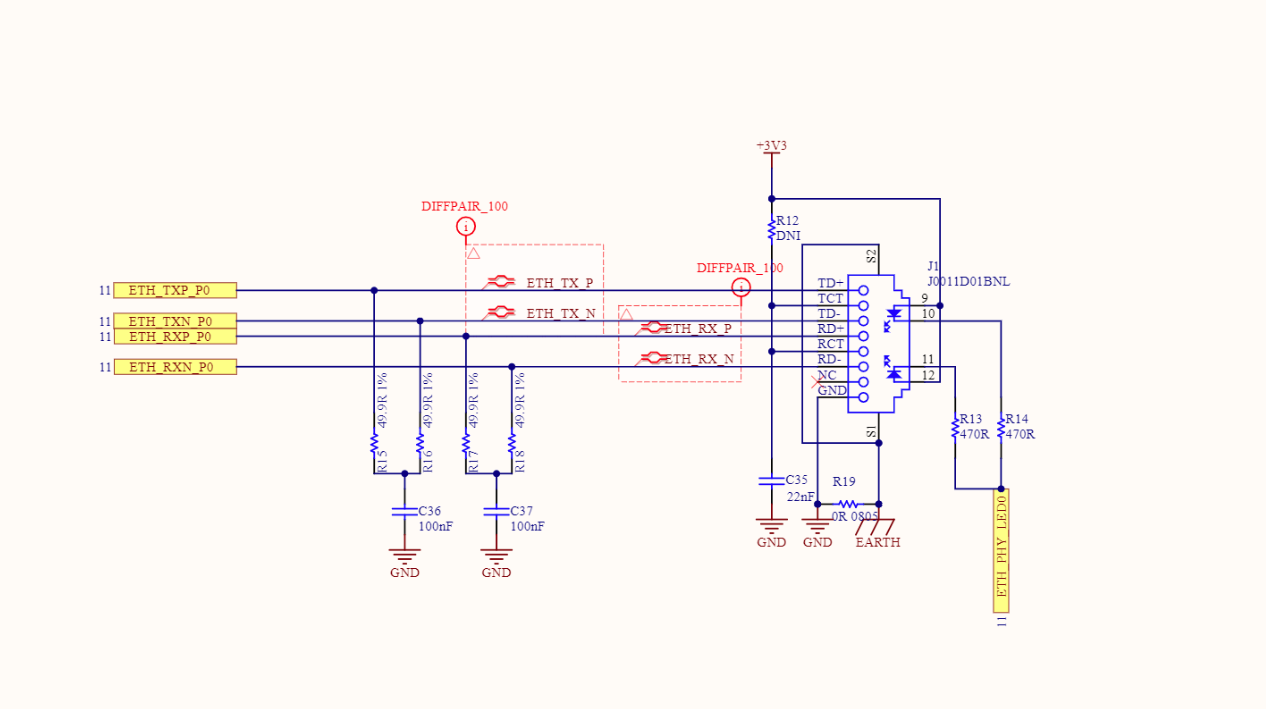
* + 1. Thêm các chỉ dẫn và các thông số của linh kiện ngay trên schematics.
    2. Thêm các tụ điện Decoupling và bypass, ferritebeads

Đối với MCU, Nếu có thể thì ứng với mỗi cặp chân VCC thì hãy thêm 1 tụ điện decoupling (Giá trị thường từ 1nF đến 100nF) để lọc nhiễu cho nguồn.

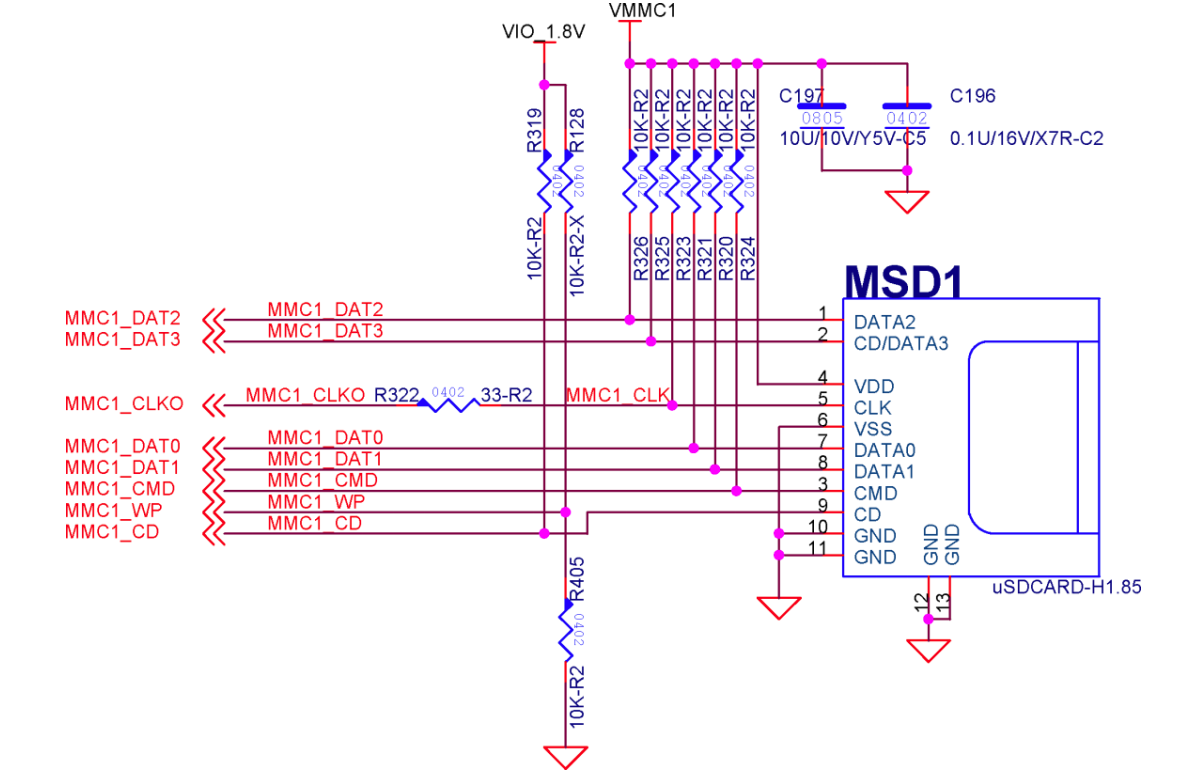
Thêm ferrite beads gữa các nguồng cung cấp (đặc biệt là giữa Analog và Digital) để tránh gây nhiễu lẫn nhau giữa các mạch.

* + 1. Thạch anh

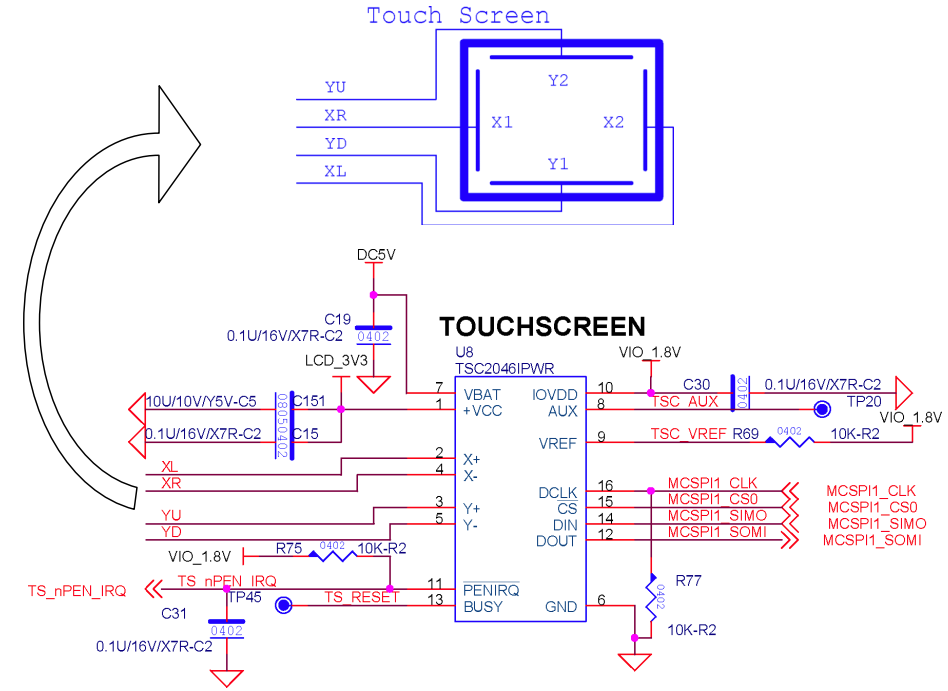
Thạch anh phải được đặt càng gần MCU càng tốt. Do đó, các tụ dao động phải được đặt "phía sau" thạch anh.

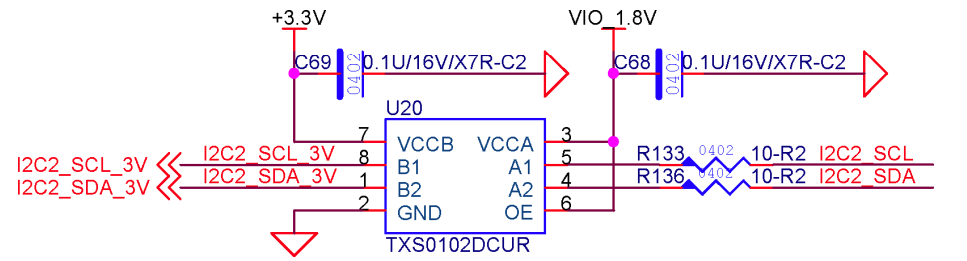
* + 1. Các mạch nguyên lý tham khảo
       1. Mạch kết nối Ethernet

Mạch kết nối 10/100Mbs đối với vi xử lý đã có PHY. Các cặp tín hiệu TX-RX là cặp tín hiệu diffriential pair. Các cáp tín hiệu này có thể swap cho nhau khi kết nối với connector, do đó khi gặp khó khăn khi layout thì có thể xem xét swap các cặp tín hiệu này để dễ dàng cho layout.

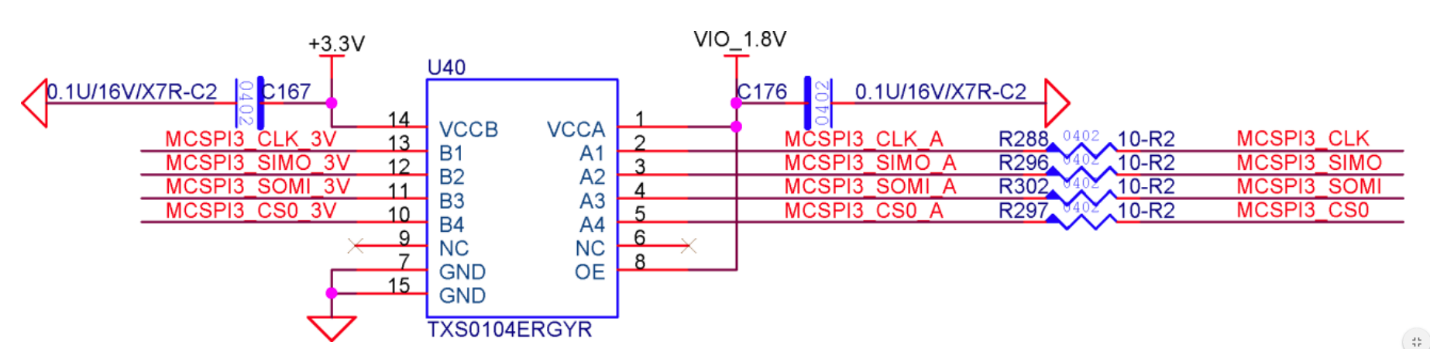
Mạch SD

* MMC\_CLK: không cần kéo lên
* MMC\_CMD, MMC\_DATx: 10K kéo lên cần trên mỗi tín hiệu, trừ khi sử dụng nó ở chế độ SDIO (ví dụ: được kết nối với thiết bị WLAN). Đảm bảo kéo đến điện áp MMC (trên MMC1, có thể là 1,8V hoặc 3,0V) 
* Cần có điện trở nối tiếp MMC1\_CLK, đặt càng gần bộ xử lý càng tốt. Giá trị được đề xuất là 33ohm, nhưng sẽ cần được điều chỉnh dựa trên độ dài đường tín hiệu tới thiết bị ngoại vi MMC.
* Khi sử dụng MMC1, VDDS\_MMC1 cấp nguồn cho MMC1\_DAT (0-3).
* Nếu sử dụng tín hiệu MMC1\_WP (chống ghi) và MMC1\_CD (phát hiện thẻ), chúng thường sẽ được kéo lên trước khi kết nối với GPIO của bộ xử lý hoặc TPS659xx GPIO. MMC1\_CD có thể được sử dụng như một tính năng tiết kiệm năng lượng để phát hiện việc chèn thẻ ngay cả khi bạn đã tắt nguồn qua VDDS\_MMC1. Kết nối nó với thiết bị TPS659xx sẽ cho phép nó bật / tắt điện áp khi lắp / tháo thẻ. Tương tự, kết nối MMC1\_CD với bộ xử lý sẽ cho phép ngắt để cho phép nguồn điện bên ngoài bật / tắt khi lắp / tháo thẻ.

Mạch xử lý tấm cảm ứng điện trở



Logic Shifter 2 kênh

 Logic Shifter 4 kênh

* Phần thiết kế, Layout PCB

Phần này sẽ mô tả cách bố trí linh kiện và các rule layout cho từng loại tín hiêu, giao tiếp. Tuy nhiên, trong thực tế nhiều trường hợp không thể tuân thủ theo tất cả các luật này, hãy tùy chỉnh sao cho hợp lý nhất và gần đúng với các khuyến nghị dưới đây nhất.

Với sự hỗ trợ của hướng dẫn thiết kế này, Người thiết kế sẽ quyết định những quy tắc nào có thể bỏ qua, các quy tắc nào bắt buộc phải tuân thủ để tạo ra một board mạch có chất lượng tốt nhất. Các giao diện có ‘mức độ ưu tiên quan trọng’ hơn nhau khi nói đến việc đảm bảo định tuyến thiết kế tối ưu. Danh sách được đề cập dưới đây mô tả mức độ ưu tiên quan trọng của các tín hiệu. PCIe là cái đầu tiên trong danh sách và có mức độ ưu tiên cao nhất, và cần được định tuyến một cách cẩn thận. Các tín hiệu tiếp tục được sắp xếp theo thứ tự với mức độ ưu tiên giảm dần và do đó trở nên ít vấn đề hơn đối với bố cục và định tuyến. Thông thường, một cách tiếp cận tốt để thực hiện là bố trí và định tuyến các giao diện theo thứ tự mức độ ưu tiên quan trọng của chúng, từ cao đến thấp.

1. PCI Express

2. USB 3.0 (Super Speed signals)

3. SATA

4. Ethernet

5. HDMI

6. LVDS Display

7. USB 2.0

8. SD/MMC/SDIO

9. Parallel RGB LCD Interface

10. Parallel Camera Input

11. HD Audio

12. Analogue VGA

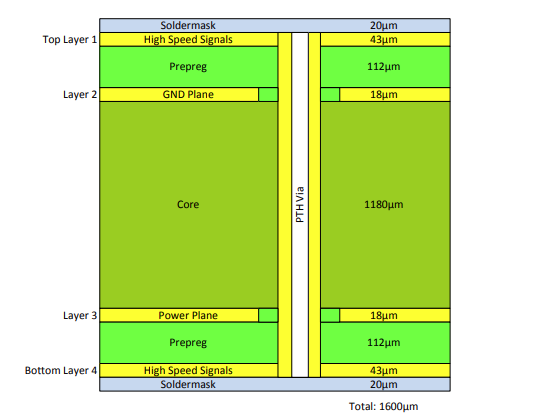
13. Analogue Audio, ADC Inputs, Touch Panel

14. Low Speed Interfaces (I2C, UART, SPI, CAN, PWM, OWR, S/PDIF, Keypad, GPIO)

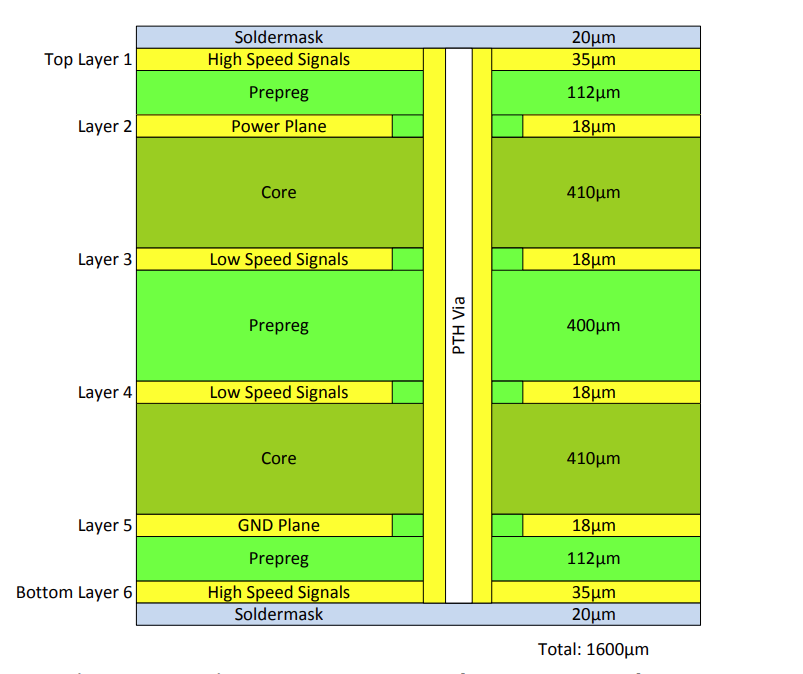
* 1. PCB Stack – Up

Để giảm sự phản xạ đối với tín hiệu tốc độ cao, cần phối hợp trở kháng giữa bộ truyền, bộ nhận và đường mạch truyền dẫn tín hiệu. Trở kháng của đường mạch tín hiệu phụ thuộc vào dạng hình học và vị trí của nó đối với bất kỳ mặt phẳng chuẩn nào. Chiều rộng của đường mạch và khoảng cách giữa các cặp vi sai đối với một yêu cầu trở kháng cụ thể phụ thuộc vào stack - up PCB đã chọn. Vì có những hạn chế về độ rộng và khoảng cách của các đường mạch tối thiểu phụ thuộc vào loại công nghệ PCB và yêu cầu về chi phí, nên cần phải chọn stack - up cho phép thực hiện tất cả các trở kháng cần thiết.

* + 1. 4 Layer Stack – Up

Các tín hiệu tốc độ cao ở lớp trên cùng (Top layer) được tham chiếu tới mặt phẳng đất (Ground Plane) ở Layer 2. Các tín hiệu ở lớp Bottom được tham chiếu tới mặt phẳng nguồn (Power Plane) ở Layer 3. Nếu có sự chuyển lớp tín hiệu tốc độ cao giữa Top Layer và Botom Layer thì cần phải đặt thêm tụ nối giữa 2 lớp Power và Ground để đường Return Path của tín hiệu có thể đi qua 2 lớp này. Chi tiết về việc lựa chọn và đặt các tụ điện này sẽ được trình bày ở phần sau. Theo Stack – Up này thì các tín hiệu tốc độ cao được ưu tiên định tuyến ở lớp Top Layer vì các tín hiệu này có thể tham chiếu trực tiếp đến mặt phẳng đất ngay bên dưới. Nếu muốn ưu tiên định tuyến các tín hiệu tốc độ cao ở lớp Bottom thì có thể hoán đổi Layer 2(Ground Plane) với Layer 3 (Power Plane).

* + 1. 6 Layer Stack – Up

Trong ví dụ Stack – Up này, mặt phẳng tham chiếu của tín hiệu tốc độ cao ở Top Layer là mặt phẳng nguồn ở Layer 2. Vì layer2 là mặt phẳng nguồn nên cần phải đặt thêm các tụ điện kết nối giữa mặt phẳng tham chiếu này với mặt phẳng đất. mặt phẳng tham chiếu cho lớp Bottom là mặt phẳng đất ở Layer 5. Trong Stack–Up này thì tín hiệu tốc độ cao được ưu tiên định tuyến ở lớp Bottom. Cũng như trong 4 Layer Stack – Up, nếu muốn đổi lớp định tuyến tín hiệu tốc độ cao từ lớp Bottom lên lớp Top thì có thể hoán đổi Layer 5 và Layer 2 với nhau. Các mặt phẳng tham chiếu của tín hiệu ở Layer 3 và Layer 4 là mặt phẳng nguồn ở layer 3 và mặt phẳng đất ở Layer 5. Tuy nhiên khoảng cách của mặt phẳng tham chiếu và Layer chưa đường tín hiệu ở lớp 3 và 4 là khá xa, nên khi muốn kết hợp trở kháng (Bình thường đường tín hiệu đơn là 50 Ohm) thì đường mạch tín hiệu rất rộng để đạt được trở kháng mong muốn. Do đó các lớp này không thích hợp để định tuyến các tín hiệu tốc độ cao, thay vào đó 2 lớp này chỉ có thể sử dụng để định tuyến các tín hiệu tốc độ thấp, không yêu cầu phối hợp trở kháng.

2.1.3 8 Layer Stack – Up

Các tín hiệu ở Top Layer được tham chiếu đến mặt phẳng đất ở Layer 2, trong khi tín hiệu ở lớp dưới cùng được tham chiếu đến Layer 7. Các mặt phẳng tham chiếu cho tín hiệu ở Layer 3 là mặt phẳng đất trên Layer 2 và mặt phẳng nguồn trên Layer 4. Khi định tuyến tín hiệu tốc độ cao trên Layer 3, các tụ nối cần được đặt giữa mặt phẳng nguồn và mặt phẳng đất. Các mặt phẳng nguồn trên Layer 5 và 7 được sử dụng làm tham chiếu cho các tín hiệu tốc độ cao được định tuyến trên Layer 6. Layer 6 với hai mặt đất liền kề là lựa chọn tốt nhất để định tuyến tín hiệu tốc độ cao có kiểm soát trở kháng quan trọng nhất các yêu cầu. Các lớp bên trong ít gây ra các vấn đề về EMC hơn vì chúng bị triệt tiêu bởi các mặt phẳng đất liền kề. Vì Layer 3 được tham chiếu đến một mặt phẳng nguồn, nên lớp ngoài Top và Bottom thích hợp hơn cho định tuyến tốc độ cao nếu Layer 6 đã được sử dụng.

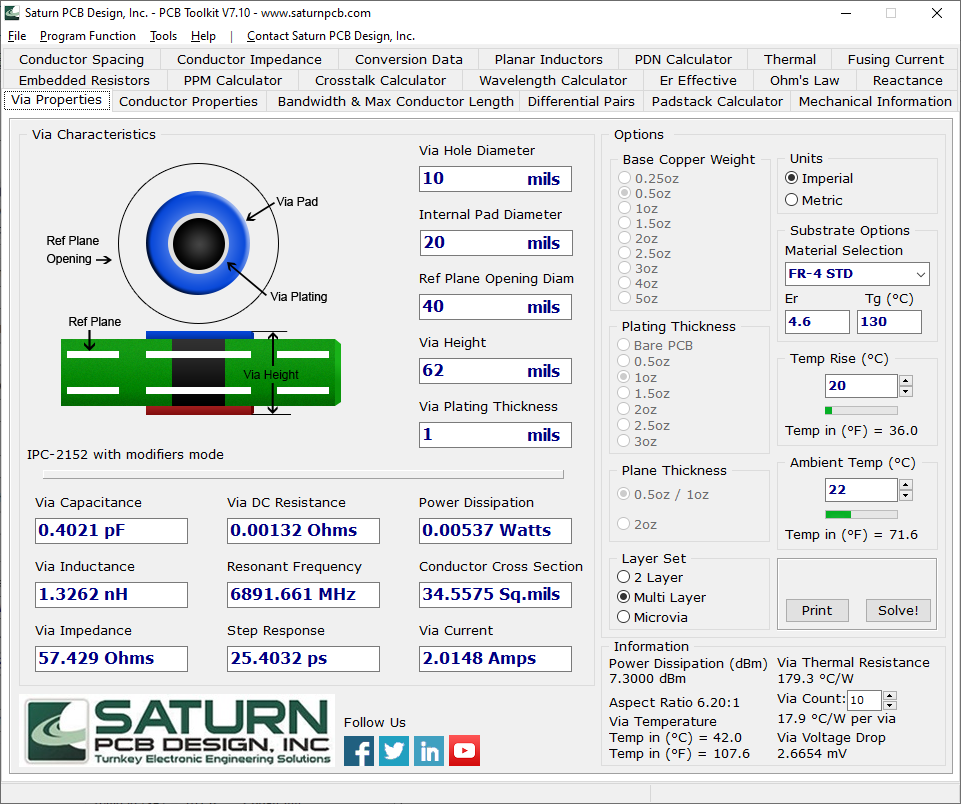
* 1. Trở kháng đường mạch

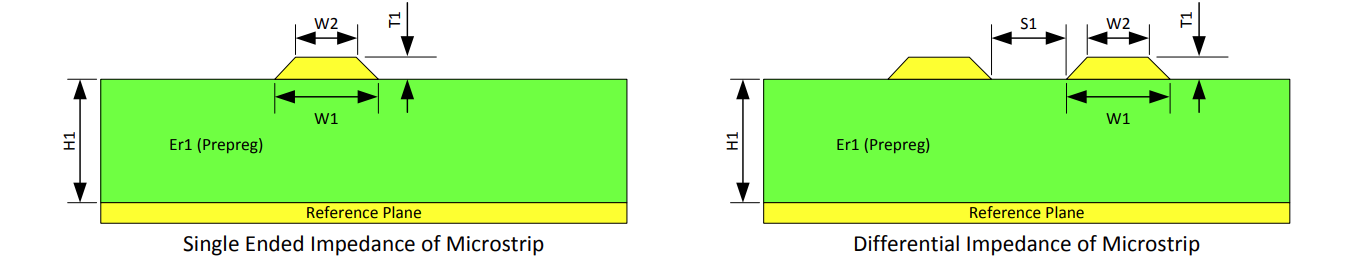
Cần phải phân biệt giữa tín hiệu đơn (single-ended signals)và tính hiệu vi sai (diffrinetial pair) để xác định trở kháng của đường mạch phù hợp. Các tín hiệu đơn tốc độ cao ví dụ như các tín hiệu song song như LCD RGB, Camera Interfaces, RAM data, RAM address,… Các tín hiệu này khi định tuyến thì cần phải tuân thủ với các yêu cầu trở kháng chỉ định, trở kháng này là trở khánh giữa đường mạch và mặt phẳng đất tham chiếu.

Các tín hiệu cặp vi sai tốc độ cao như PCIe, SATA, USB, HDMI, v.v. cần được định tuyến với trở kháng vi sai. Đây là trở kháng giữa hai đường mạch tín hiệu của một cặp. Vì các tín hiệu cũng được tham chiếu đến mặt đất, mỗi tín hiệu cặp vi sai cũng có trở kháng đơn. Khi chọn hình dạng định tuyến của đường mạch, nên ưu tiên cho việc so khớp trở kháng vi sai so với trở kháng đơn. Trở kháng vi sai luôn nhỏ hơn hai lần trở kháng đơn

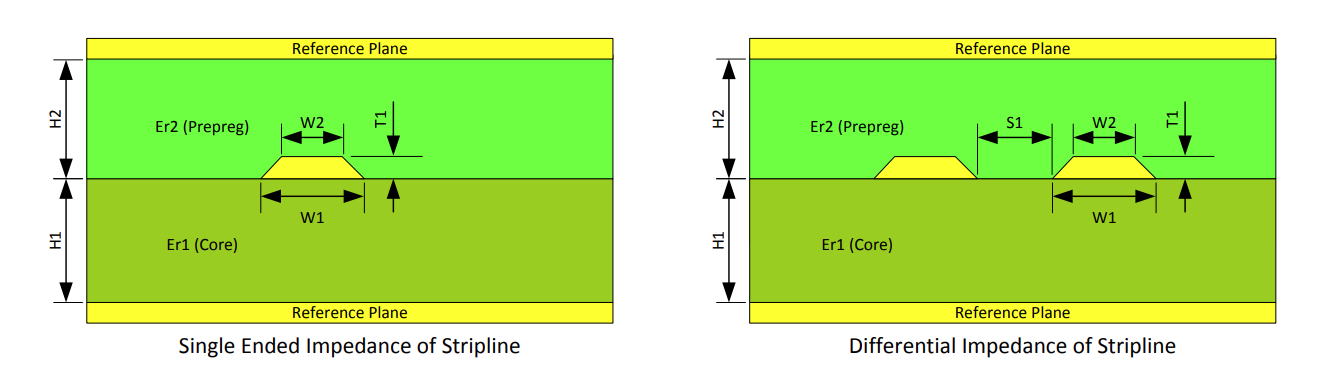
|  |
| --- |
| Z *Diffriential pair* < 2\* Z *Single Ended* |

Các tín hiệu cho phép một dung sai trở kháng nhất định (ví dụ: 50Ω ± 15%). Khi xác định hình ddingj tuyến của đường mạch, cố gắng giữ giá trị trở kháng được tính toán càng gần với giá trị trở kháng chính xác càng tốt. Điều này cho phép linh hoạt hơn trong quá trình sản xuất PCB. Sự khác nhau về trở kháng sẽ xảy ra giữa các lô sản xuất khác nhau. Nếu trở kháng được tính toán nằm giữa dải dung sai, nó sẽ giúp đảm bảo năng suất sản xuất tối đa.

Để tính toán trở kháng của đường mạch thì có thể sử dụng phần mềm Saturn PCB Design Toolkit.

Các đường mạch định tuyến trên lớp Top hoặc Bottom chỉ có một mặt phẳng tham chiếu. Những đường mạch định tuyến này được gọi là Microstrip. Hình dưới đây cho thấy hình dạng của các Microstrips như vậy.

* + - H1 là khoảng cách từ vết đến mặt phẳng tham chiếu.
    - Er1 là độ cho phép tương đối của vật liệu cách ly.
    - Các đường mạch định tuyến có dạng hình thang do quá trình ăn mòn. Trong công cụ bố trí, các đường mạch định tuyến phải được thiết kế với chiều rộng W1. W2 phụ thuộc vào chiều cao đường mạch (T1) và thời gian ăn mòn.
    - S1 là khoảng cách trong một cặp vi sai.

Các đường mạch ở các lớp bên trong của PCB có hai mặt phẳng tham chiếu, giảm phát xạ điện từ và tăng khả năng miễn nhiễm với các nguồn nhiễu bên ngoài. Những đường mạch định tuyến này được gọi là Striplines. Hình dưới đây cho thấy dạng hình học của các dải như vậy. Khi tính toán trở kháng của Striplines, cần đặc biệt chú ý khi nói đến chiều dày cách ly H1 và H2. H1 là độ dày của vật liệu lõi. Các đường mạch định tuyến được nhúng trong vật liệu prereg. Vì các đường mạch có chiều cao hữu hạn, chiều cao prereg H2 phụ thuộc vào mật độ đồng. Khả năng cho phép tương đối của Core và vật liệu prereg có thể hơi khác nhau. Nhiều công cụ tính toán trở kháng có thể tính đến điều này.

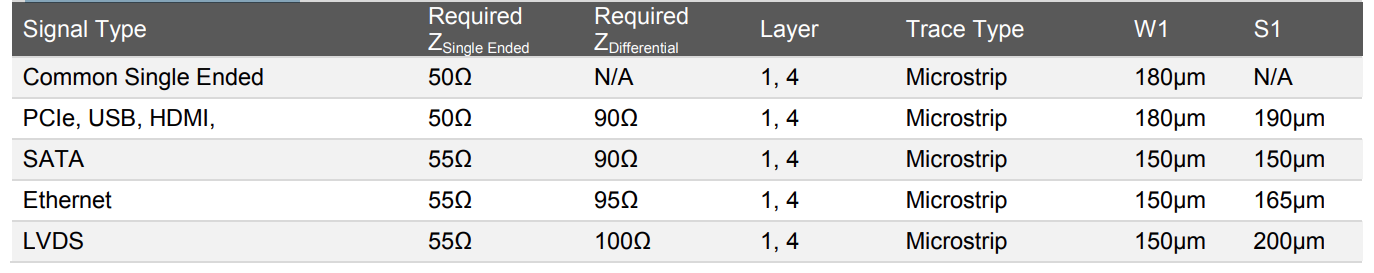
Các Bảng sau đây trình bày các thông số đường mạch bằng cách sử dụng Các Stack up được đưa ra ở phần 2.1.3

Table x. 4 Layer Stack-Up

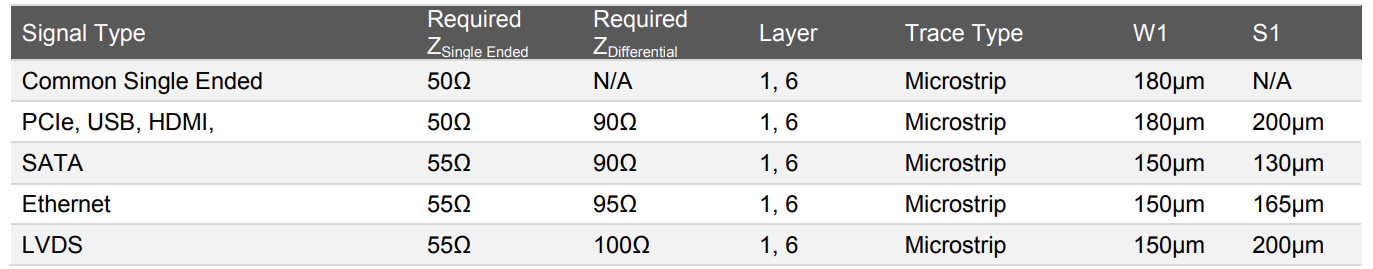
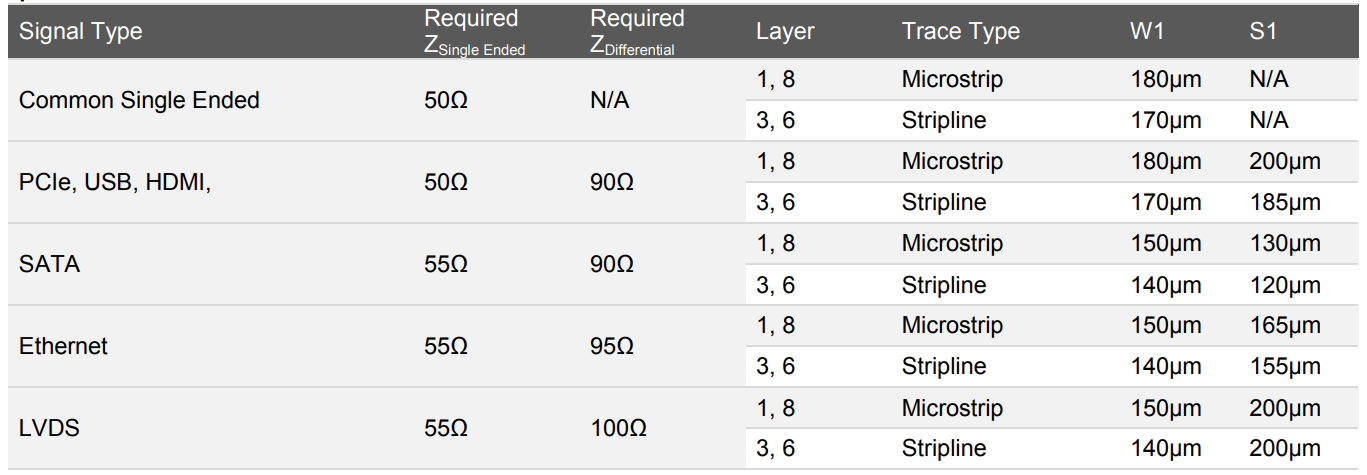
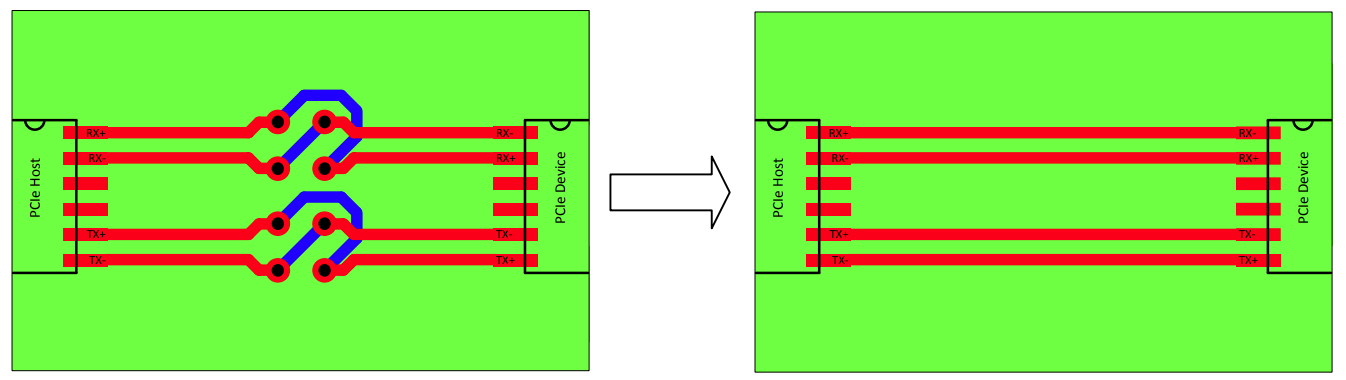
Table. 6 Layer Stack-Up

Table. 8 Layer Stack-Up

* 1. Bố trí linh kiện và tối ưu Schematics.

Vị trí của các linh kiện có vai trò rất lớn đối cới việc định tuyến, thời gian. Và chất lượng của bo mạch. Các vấn đề về đường tín hiệu return có liên quan tới việc bố trí linh kiện. Để tránh khỏi những vấn đề không mong muốn thì cần phải chú ý đên việc bố trí linh kiện sao cho hợp lý nhất.

Các kết nối tín hiệu tốc độ cao sẽ đóng một vai trò quan trọng trong các quyết định bố trí các linh kiện. Các tín hiệu nhất định chỉ cho phép một lượng vias nhất định trên bo mạch. Điều này có nghĩa là số lượng thay đổi Layer phải được giữ ở mức thấp nhất có thể. Khi đặt các linh kiện, cố gắng tránh giao nhau với các tín hiệu tốc độ cao. Một số giao diện giao tiếp, chẳng hạn như PCIe, hỗ trợ swap tín hiệu. Điều này có nghĩa là có thể hoán đổi các chân tín hiệu cực thuận (Positive) và cực đảo (Negative) để có thể định tuyến một cách dễ dàng và các đường tín hiệu không giao nhau trong suốt quá trình định tuyến.

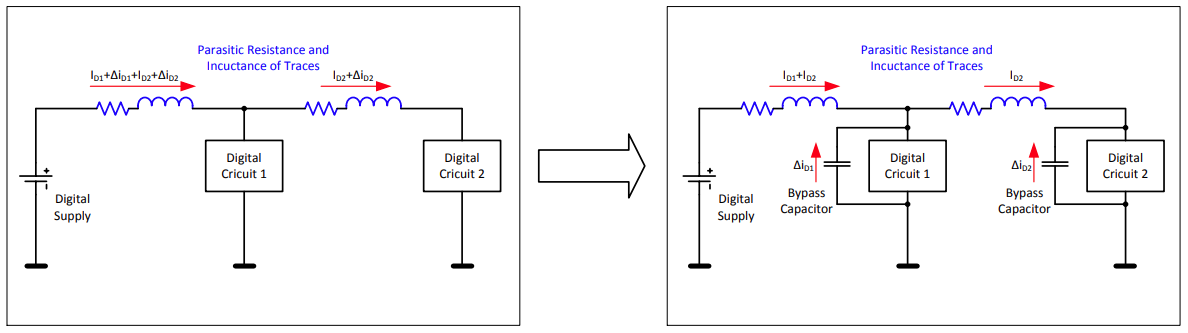
Sử dụng đảo cực nếu được hỗ trợ

Một số giao diện giao tiếp có nhiều lane tín hiệu hỗ trợ việc đảo lane. Điều này cho phép tránh việc giao nhau các lane tín hiệu. Lưu ý rằng trong khi đảo cực là một tính năng bắt buộc của giao diện PCIe, việc đảo line phụ thuộc vào các peripheral devices và host controller. Hãy đọc kỹ datasheet thích hợp trước khi swap line.

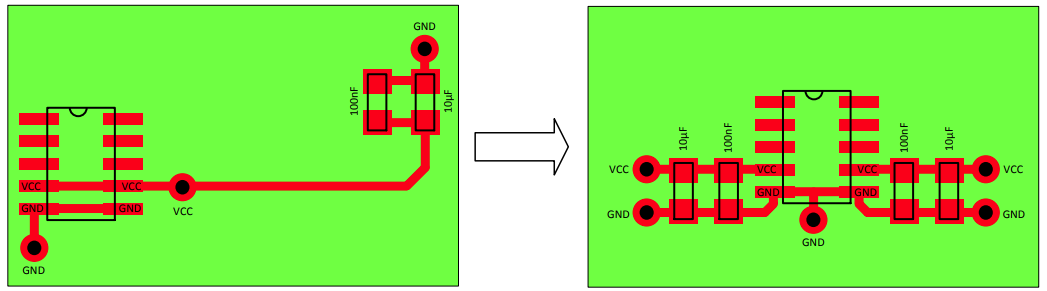
Sử dụng dảo lane nếu được hỗ trợ

Khi sử đặt và sắp xếp các lin kiện, lưu ý là khảng cách, khoảng trống các đường định tuyến của tín hiệu tốc độ cao thường lớn hơn các tín hiệu khác.

* 1. Những điểm quan trọng cần chú ý trong việc bố trí và định tuyến mạch tốc độ cao.
     1. Nguồn cung cấp

Các mạch điện ký thuật số thường tiêu thụ một dòng điện không liên tục từ nguồn cung cấp. Mức tiêu thụ dòng đỉnh có thể khá lớn đối với các thành phần có tần số hoạt động cao. Nếu như các đường cung cấp nguồn dài, các đỉnh dòng điện ở tần số cao như thế có thể gây ra phát xạ nhiễu tần số cao cho các thành phần khác trong bo mạch.Vì các đường mạch định tuyến có điện trở kí sinh và điện cảm, nhiễu tần số cao này có thể được ghép nối và đưa vào nguồn cung cấp cho các mạch và thàn phần khác. Một vấn đề khác đó là độ tự cảm kí sinh của đường mạch nguồn cung cấp làm giảm khả năng cung cấp các dòng điện đỉnh gây sụt áp cho các mạch tiêu thụ. Do đó cần phải thêm các tụ điện Bypass vào các chân nguồn của các IC, chúng hoạt động để cung cấp một nguồn năng lượng có thể được sử dụng để giúp cung cấp dòng điện đỉnh tức thời cho IC.

Thêm các tụ điện Bypass

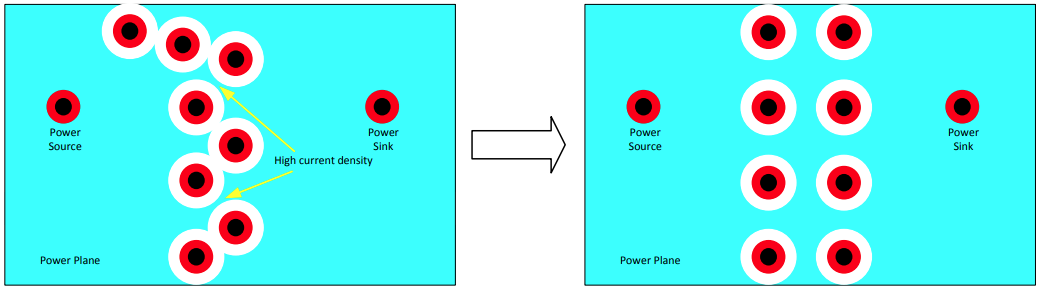
Nếu có thể, các tụ điện Bypass riêng lẻ nên được đặt trên mọi chân cấp nguồn của mạch tích hợp. Nếu các chân nguồn gần nhau, một tụ điện Bypass có thể được chia sẻ giữa cả hai chân. Các tụ điện nên được đặt càng gần chân cấp nguồn càng tốt. Cố gắng mở rộng chiều rộng đường mạch cung cấp. Cố gắng giữ các đường mạch định tuyến ngắn nhất có thể. Hướng đi của dòng điện cũng cần được xem xét. Tốt hơn là trước tiên dòng điện đi qua tụ điện Bypass và sau đó đi vào chân nguồn. Thêm một lượng vias thích hợp vào các đường mạch cung cấp điện. Theo quy tắc chung, đặt một via ứng với một ampe dòng điện. Nếu các tụ điện decoupling được đặt ở phía bên kia của PCB và dòng điện cần phải đi qua vias, cũng cần xem xét dòng điện đỉnh. Ngoài ra, đừng quên về dòng điện đi từ Nguồn qua các thành phần và về lại mật phẳng đất. Số lượng Via từ chân mass xuống đất của các thành phần phải bằng số lượng Via từ chân nguồn lên nguồn cung cấp.

Đặt các tụ điện gần với chân của IC

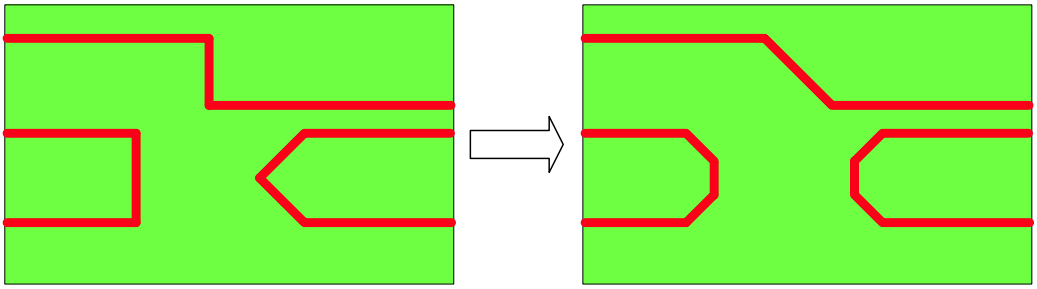
Các tụ điện có điện dung lớn có giới hạn về tốc độ mà chúng có thể cung cấp năng lượng để chống lại sự thay đổi của dòng điện đỉnh, trong khi các tụ điện có điện dung nhỏ có thể không có đủ công suất để đáp ứng nhu cầu năng lượng. Do đó, thường là sự kết hợp của các tụ điện điện dung nhỏ và lớn (ví dụ: 100nF + 10 µF) là một lựa chọn tốt cho các mạch nguồn cung cấp như vậy. Đảm bảo rằng tụ điện nhỏ hơn được đặt gần chân nguồn hơn tụ điện lớn.

Khi định tuyến các đường nguồn cung cấp, luôn luôn lưu ý về trở kháng và cảm kháng. Cố gắng làm cho đường mạch càng rộng càng tốt bằng cách sử dụng mặt phẳng điện thay vì đường mạch kết nối.

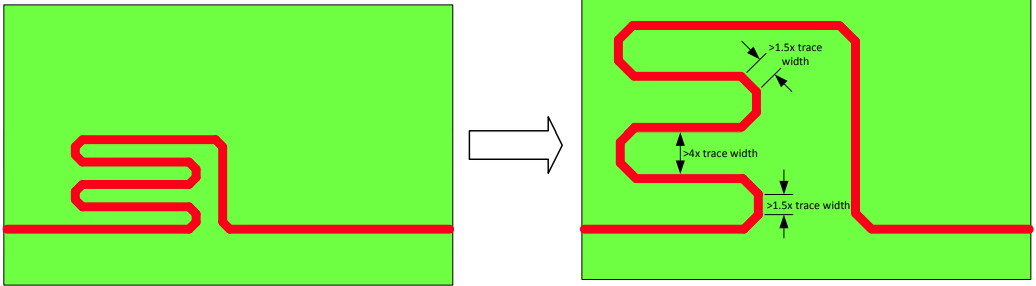
Các vias của tín hiệu khi chuyển lớp tạo ra khoảng trống trong các mặt phẳng nguồn và mặt đất. Việc đặt vias không đúng có thể tạo ra các vùng mặt phẳng trong đó mật độ dòng điện đi qua cao. Những vùng này còn được gọi là “điểm nóng”. Điều quan trọng là phải tránh những “điểm nóng” này. Cách đặt vias có thể tham khảo hình dưới đây

Tránh đặt các Vias tạo ra các “điểm nóng”

* + 1. Hình dạng của các đường mạch

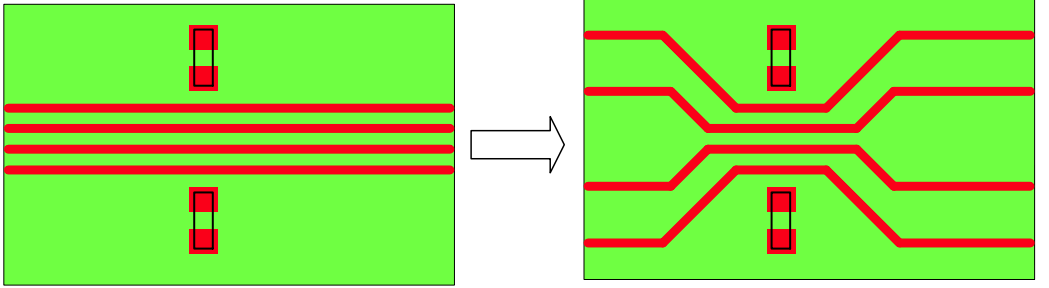
Khi định tuyến tín hiệu tốc độ cao, nên giảm thiểu sự uốn khúc của đường mạch. Nếu cần uốn khúc, hãy sử dụng uốn khúc 135 ° thay vì 90 °.

Sử dụng uốn khúc 135 ° thay vì 90 °.

Các Serpentine (còn gọi là đường uốn khúc) thường cần thiết khi cần đạt được độ dài đường mạch kết nối nhất định. Các thông số khuyến nghị được chỉ ra ở hình bên dưới. Rất nhiều DRC trong các công cụ CAD không kiểm tra các khoảng cách tối thiểu này vì các dấu vết là một phần của cùng một net.

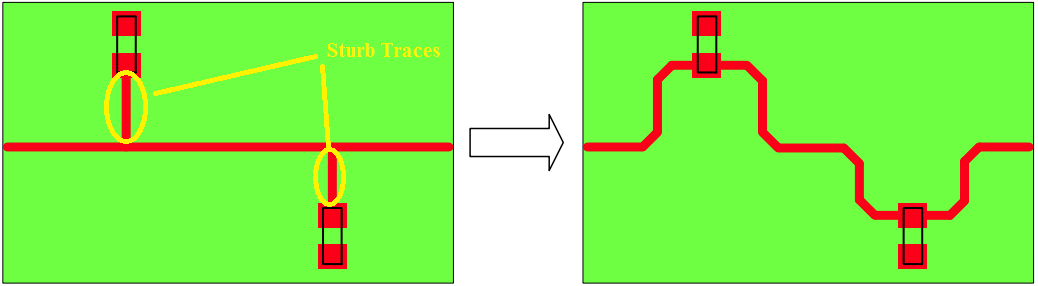
Khoảng các ngắn nhất cho phép gữa các đoạn uốn khúc

* + 1. Các đường tín hiệu gần kề

Thông tin về khoảng cách tối thiểu cần thiết giữa các tín hiệu tốc độ cao có thể được tìm thấy trong phần 0. Cần có khoảng cách tối thiểu để giảm thiểu nhiễu xuyên âm giữa các đường mạch tín hiệu. Mức độ nhiễu xuyên âm phụ thuộc vào khoảng cách giữa hai đường tín hiệu và độ dài mà chúng được định tuyến. Đôi khi, việc định tuyến các đường tín hiệu gần hơn so với mức thông thường được phép. Cố gắng giảm thiểu các khu vực như vậy và mở rộng khoảng cách giữa các tín hiệu bên ngoài nút cổ chai. Nếu còn không gian, hãy cố gắng mở rộng khoảng cách giữa các tín hiệu tốc độ cao (và giữa các tín hiệu tốc độ cao và tốc độ thấp) ngay cả khi đã đáp ứng yêu cầu tách vết tối thiểu.

Cố gắng tăng khoảng cách giữa các đường tín hiệu bất cứ khi nào có thể

* + 1. Trace Stubs

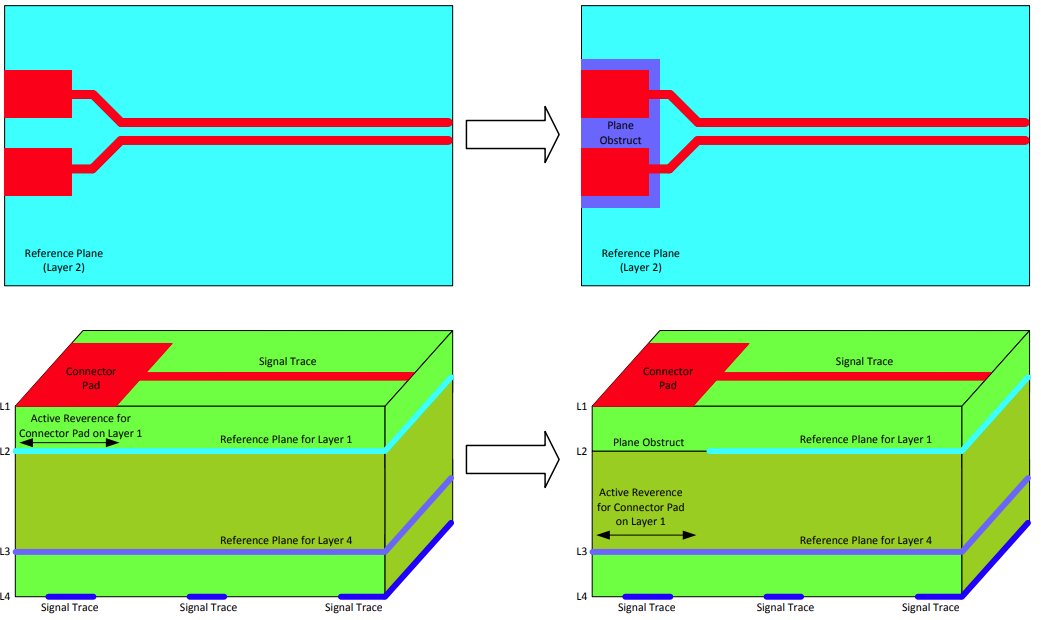
Các đường mạch Stub dài có thể hoạt động như ăng-ten và do đó làm tăng vấn đề tuân thủ các tiêu chuẩn EMC. Các đường Stub cũng có thể tạo ra phản xạ ảnh hưởng tiêu cực đến tính toàn vẹn của tín hiệu. Các nguồn thường dùng để khai thác là điện trở kéo lên hoặc kéo xuống trên tín hiệu tốc độ cao. Nếu các điện trở như vậy được yêu cầu, hãy định tuyến các tín hiệu dưới dạng chuỗi daisy.

Tránh việc định tuyến tạo ra Stub Traces

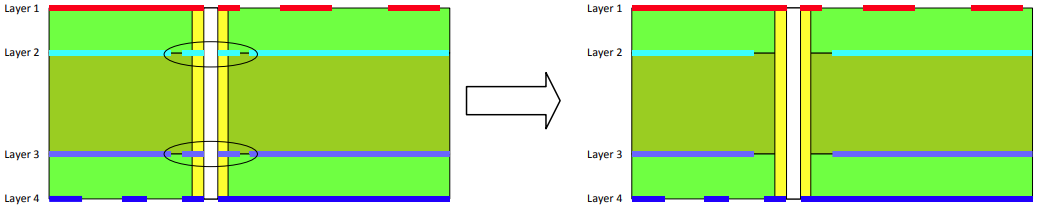
Theo nguyên tắc chung, các đoạn Stub traces dài hơn 1/10 bước sóng thì được coi là có vấn đề.

|  |
| --- |
| *lmin* λ*min* |

* + 1. Mặt phẳng đất tham chiếu dưới Pads của linh kiện

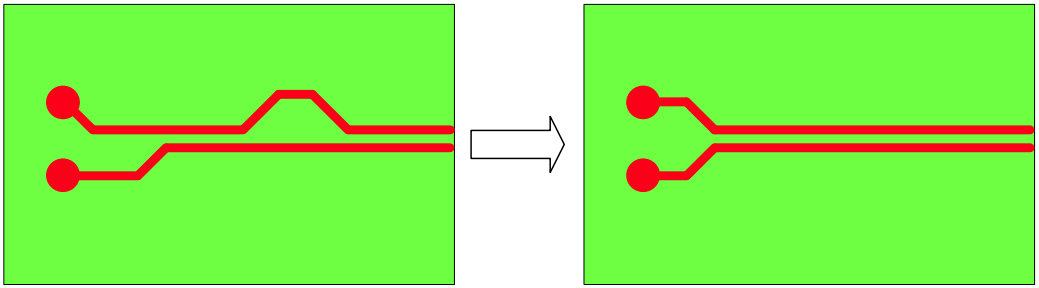
Trở kháng của một đường mạch kết nối phụ thuộc vào chiều rộng của nó và khoảng cách giữa nó và mặt phẳng tham chiếu. Một đường mạch rộng có trở kháng thấp hơn một đường mạch hẹp có cùng khoảng cách. Hiệu ứng tương tự cũng tồn tại đối với các pads kết nối và linh kiện. Một pad lớn có trở kháng thấp hơn đáng kể so với đường mạch được kết nối với pad. Sự gián đoạn trở kháng này có thể gây ra phản xạ làm giảm tính toàn vẹn của tín hiệu. Do đó, dưới các connector lớn và các pads linh kiện, hãy cutout một vùng tương ứng. Trong trường hợp này, một mặt phẳng tham chiếu được đặt trên một lớp khác. Mặt phẳng chuẩn này cần được nối với mặt phẳng tham chiếu của net tín hiệu đó.

Xóa mặt phẳng tham chiếu bên dưới các PAD lớn

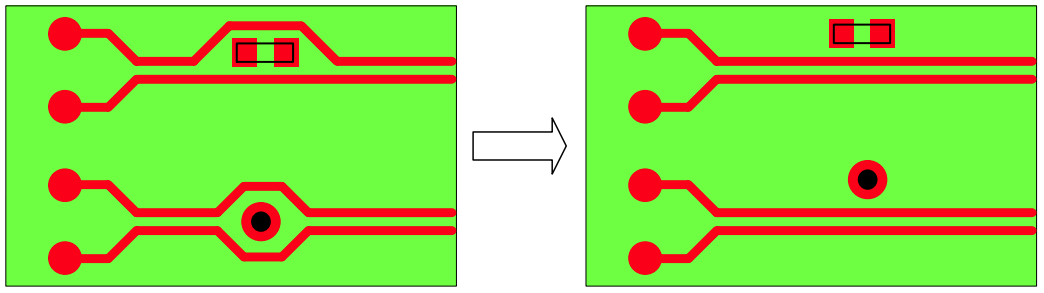
Vias là một nguồn khác của sự gián đoạn trở kháng. Để giảm thiểu ảnh hưởng, nên loại bỏ các pad của vias không sử dụng ở các lớp bên trong.

Xóa các Pad không sử dụng của Via

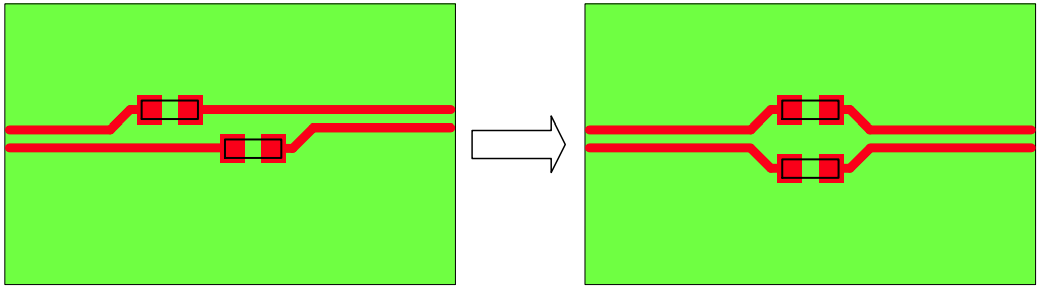
* + 1. Tín hiệu vi sai

Các tín hiệu cặp vi sai tốc độ cao cần được định tuyến song song với khoảng cách cụ thể, không đổi giữa hai đường tín hiệu Positive và Negative. Khoảng cách này là cần thiết để đạt được trở kháng vi sai xác định. Các tín hiệu cặp vi sai cần được định tuyến đối xứng. Cố gắng thu nhỏ khu vực mà khoảng cách đã chỉ định được mở rộng do các pad.

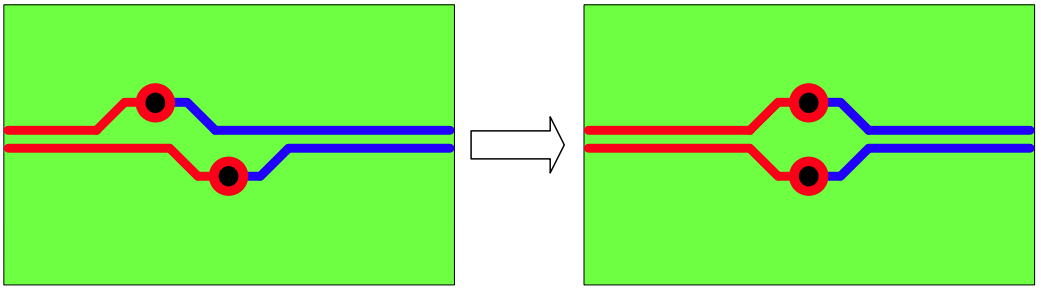
Định tuyến các cặp vi sai đối xứng và giữ cho Tín hiệu luôn song song

Không được phép đặt bất kỳ thành phần linh kiện hoặc vias nào giữa các cặp vi sai, ngay cả khi các tín hiệu được định tuyến đối xứng. Các thành phần và vias giữa các cặp có thể dẫn đến các vấn đề tuân thủ EMC và tạo ra sự gián đoạn trở kháng.

Không được phép đặt bất kỳ thành phần hoặc vias giữa các cặp vi sai

Một số tín hiệu vi sai tốc độ cao yêu cầu tụ điện nối tiếp. Đặt các tụ điện đó đối xứng nhau. Các tụ điện và các pad tạo ra sự gián đoạn trở kháng. Tụ điện có kích thước 0402 được ưu tiên, 0603 được chấp nhận. Không đặt các tụ điện lớn hơn như 0805 hoặc gói C.

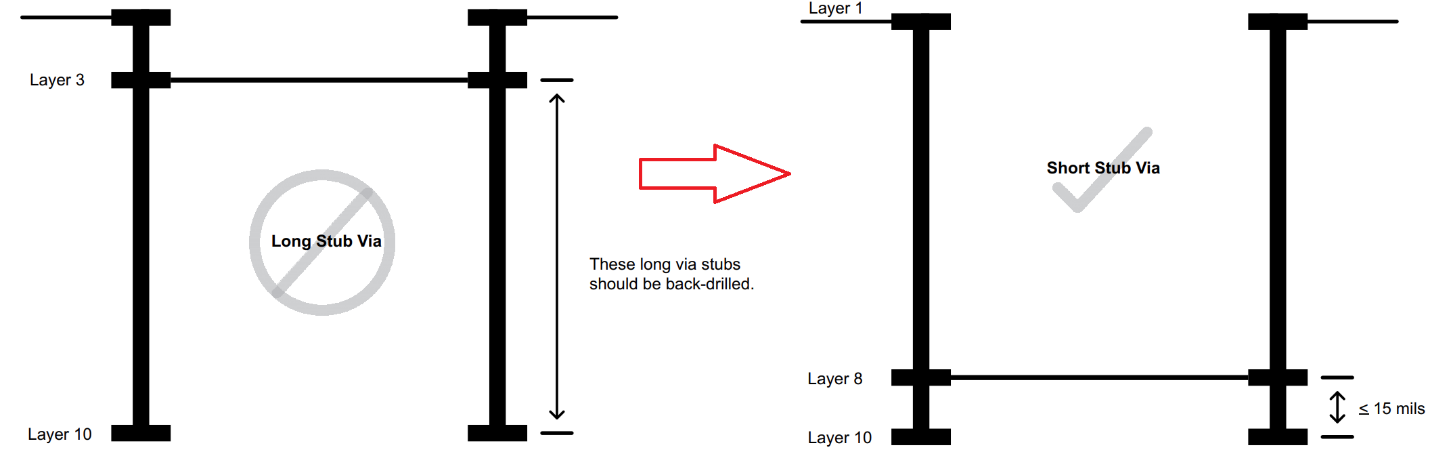
Đặt các tụ điện nối tiếp đối xứng nhau

Vias tạo ra một sự gián đoạn lớn trong trở kháng. Cố gắng giảm số lượng vias được đặt ở mức tối thiểu và đặt các vias đối xứng.

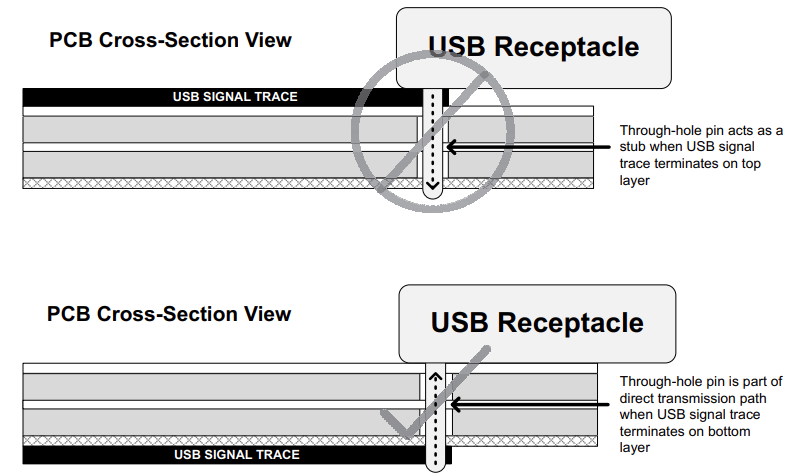
Đặt các Via đối xứng

Để đáp ứng các yêu cầu về trở kháng của một cặp vi sai, cả hai đường định tuyến tín hiệu cần được định tuyến trên cùng một lớp. Thêm cùng một lượng vias vào các đường đinh tuyến.

Định tuyến các net của cặp vi sai trên cùng một layer, cùng số lượng via



Giảm thiểu Via stub

Giảm stubs các connector

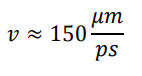
* + 1. Length Matching (Sai khác độ dài của đường định tuyến tín hiệu)

Các giao diện tốc độ cao có các yêu cầu bổ sung về thời gian tín hiệu đến sai lệch giữa các đường tín hiệu và các cặp tín hiệu khác nhau. Ví dụ, trong một bus song song tốc độ cao, tất cả các tín hiệu dữ liệu cần phải đến trong một khoảng thời gian để đáp ứng các yêu cầu về thời gian thiết lập và lưu giữ của bộ nhận. Khi thiết kế board cần đảm bảo rằng độ lệch cho phép đó không được vượt quá. Để đáp ứng yêu cầu này, cần phải có sự phù hợp về độ dài. Thông thường, các yêu cầu được đưa ra dưới dạng độ lệch thời gian tối đa. Để tính toán sự chênh lệch độ dài đường tín hiệu tối đa, tốc độ lan truyền trên PCB cần được ước tính. Công thức sau có thể được sử dụng để tính tốc độ:



Ký hiệu:

* + - c là viết tắt của tốc độ ánh sáng
    - εr là hệ số cho phép tương đối của vật chất giữa vết và mặt phẳng chuẩn. Khả năng cho phép tương đối của FR-4 PCB là khoảng 4,5 trong khi không khí có 1.

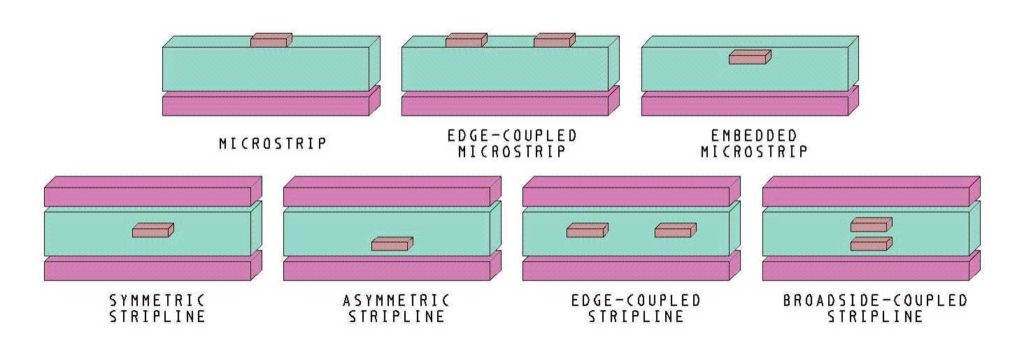
Các tín hiệu Microstrip ở lớp ngoài cùng của PCB được truyền nhanh hơn một chút so với các tín hiệu ở lớp bên trong. Theo quy luật chung, các tín hiệu trên PCB được truyền với tốc độ bằng một nửa tốc độ ánh sáng. Điều này tương đương với tốc độ khoảng 150 µm / ps.

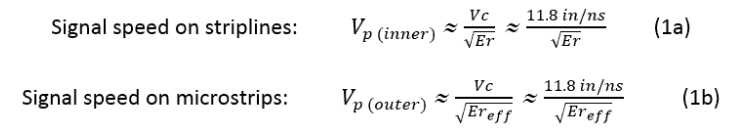
* Tính toán tốc độ của tín hiệu trên PCB

Theo vật lý học, các tín hiệu điện từ truyền trong chân không hoặc trong không khí với tốc độ như ánh sáng, đó là:

***Vc = 3 x 108M/sec = 186,000 miles/second = 11.8 inch/nanosecond***

Tín hiệu truyền trên đường truyền PCB với tốc độ chậm hơn, bị ảnh hưởng bởi hằng số điện môi (Er) của vật liệu PCB. Cấu trúc đường truyền cũng ảnh hưởng đến tốc độ tín hiệu.

 Có hai cấu trúc vết PCB chung [lưu ý \*]: stripline và Microstrip.

Công thức tính tốc độ tín hiệu trên PCB được đưa ra dưới đây:

Trong đó:

* + - Vc là vận tốc của ánh sáng trong chân không hoặc trong không khí
    - Er là hằng số điện môi của vật liệu PCB Lấy ra là hằng số điện môi hiệu dụng đối với microstrips; giá trị của nó nằm giữa 1 và Er, và xấp xỉ được cho bởi**:**

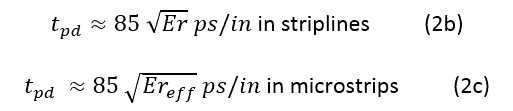
**Ereff≈(0.64 Er+ 0.36)     (1c)**

Tính toán độ trễ lan truyền (tpd):

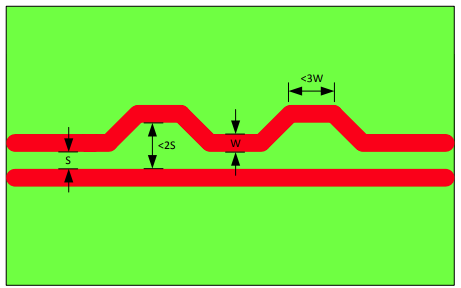
Độ trễ lan truyền là thời gian một tín hiệu cần để truyền trên một đơn vị độ dài của đường truyền. Đây là cách chúng ta có thể tính toán độ trễ lan truyền từ độ dài đường mạch và ngược lại:

Trong đó:

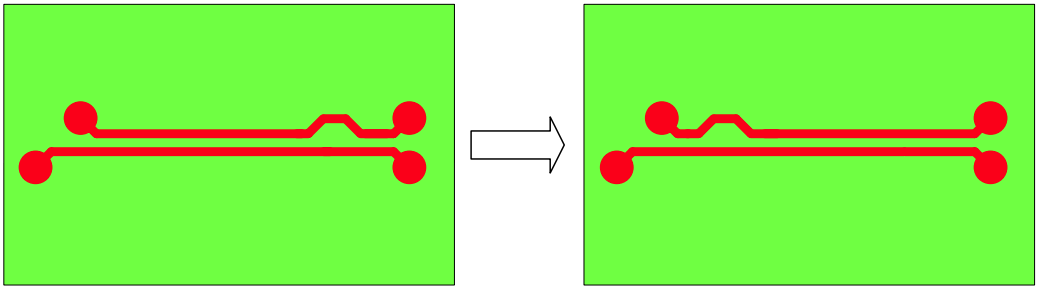
* + - V là tốc độ tín hiệu trong đường truyền trong chân không hoặc trong không khí, nó bằng 85 pico giây / inch (ps / in).

Trên đường truyền PCB, độ trễ lan truyền được cho bởi:

* Length Matching các tín hiệu cặp vi sai

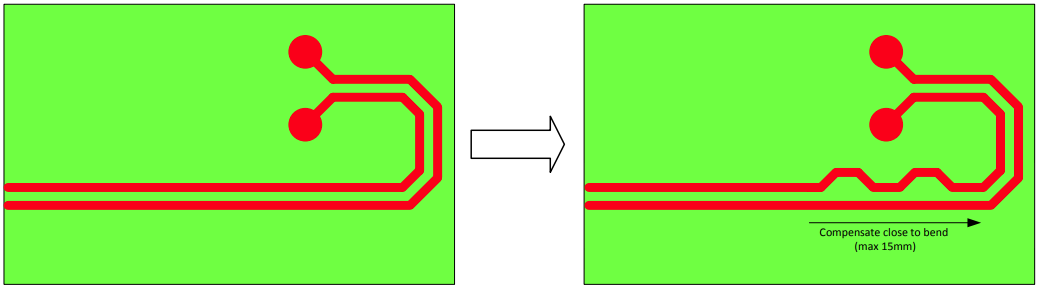
Các cặp tín hiệu vi sai thường yêu cầu độ lệch trễ rất chặt chẽ giữa các dấu vết tín hiệu Positive cực và Negative. Do đó, sự khác biệt về độ dài cần được bù đắp khi sử dụng Serpentines (còn gọi là uốn khúc). Hình dạng của các vết uốn khúc cần được lựa chọn cẩn thận để giảm sự gián đoạn trở kháng. Hình sau cho thấy các yêu cầu đối với dấu vết serpentine lý tưởng:

Hình dạng ưu tiên của các đường Serpentines

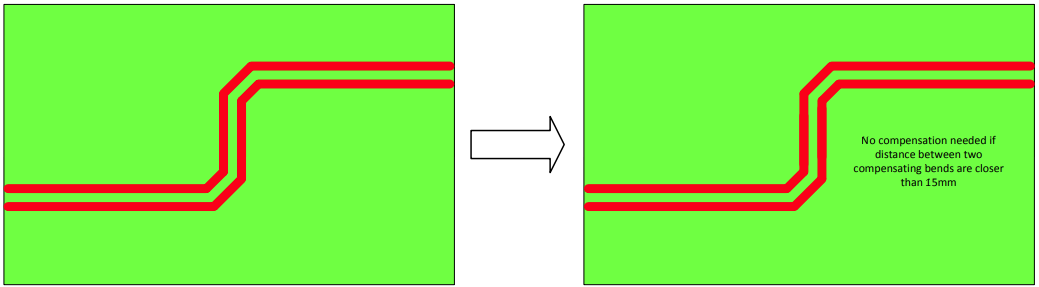
Các đường uốn khúc phải được đặt tại điểm gốc của chiều dài không khớp. Điều này đảm bảo rằng các thành phần tín hiệu Positive và Negative được truyền đồng bộ qua phần chính của kết nối.

Bù thêm chiều dài đúng với vị trí không khớp

Uốn khúc là một nguyên nhân phổ biến của sự sai lệch chiều dài. Phần bù nên được đặt gần chỗ uốn khúc với khoảng cách tối đa là 15mm.

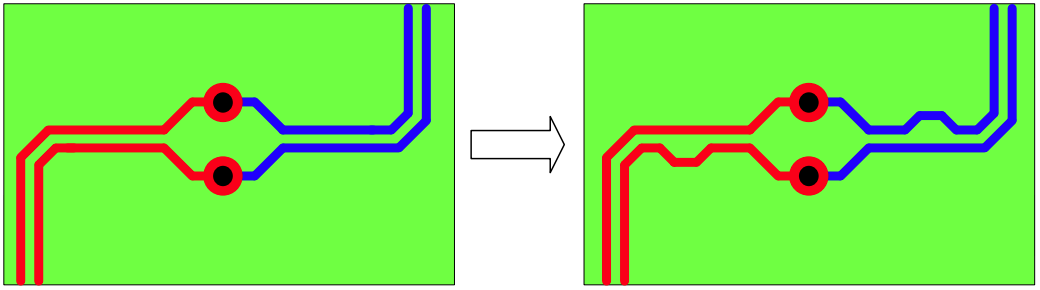
Bù thêm chiều dài gần với vị trí uốn khúc

Thường thì hai khúc uốn bù nhau. Nếu các khúc uốn gần hơn 15mm, không cần bù thêm bằng serpentine.



Những khúc uốn có thể bù trừ cho nhau

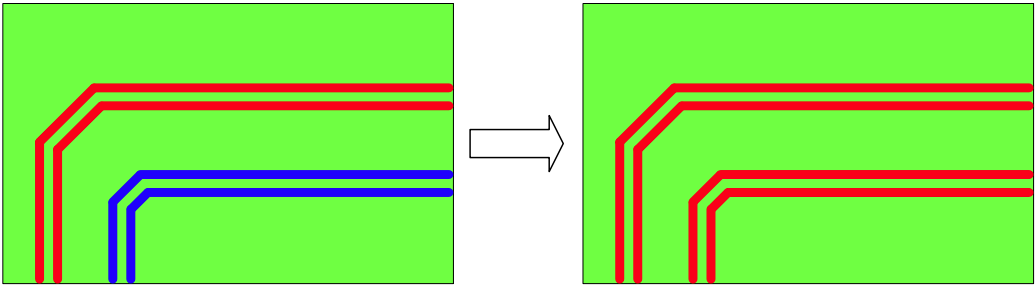
Mỗi đoạn của kết nối cặp vi sai cần được kết hợp riêng lẻ. Một kết nối có thể được phân đoạn bằng một connector, tụ điện ghép nối tiếp hoặc vias.



Sự khác biệt về độ dài cần được bù đắp trong mỗi đoạn

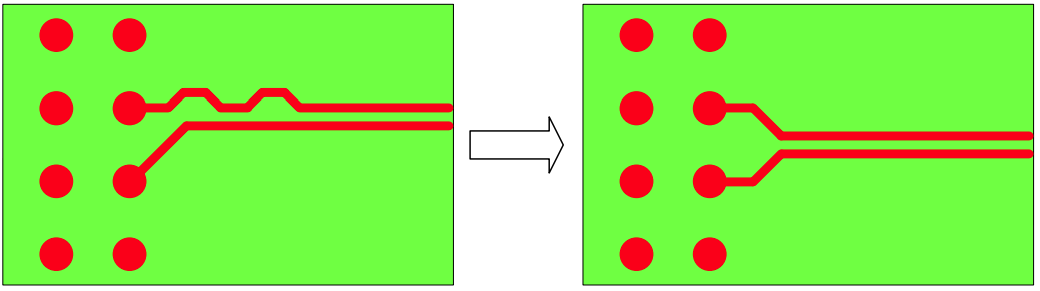
Theo hình mô tả trên, vì vias chia cặp vi sai thành hai đoạn, các khúc uốn cần được bù riêng. Điều này đảm bảo rằng các tín hiệu tích cực và tiêu cực được truyền đồng bộ thông qua vias.

Tốc độ tín hiệu không bằng nhau đối với các layer khác nhau. Vì sự khác biệt khó ước tính, nên tốt hơn là định tuyến các tín hiệu trên cùng một lớp nếu chúng cần được khớp với nhau. Ví dụ, giao diện hiển thị LVDS yêu cầu kết hợp chặt chẽ giữa các cặp tín hiệu và cặp clock. Tốt hơn là định tuyến tất cả dữ liệu và tín hiệu clock của kênh LVDS trên cùng một layer. Khi chuyển đổi layer của một trong các cặp tín hiệu thì các cặp khác cũng chuyển đổi cùng với layer của cặp tín hiệu đó.



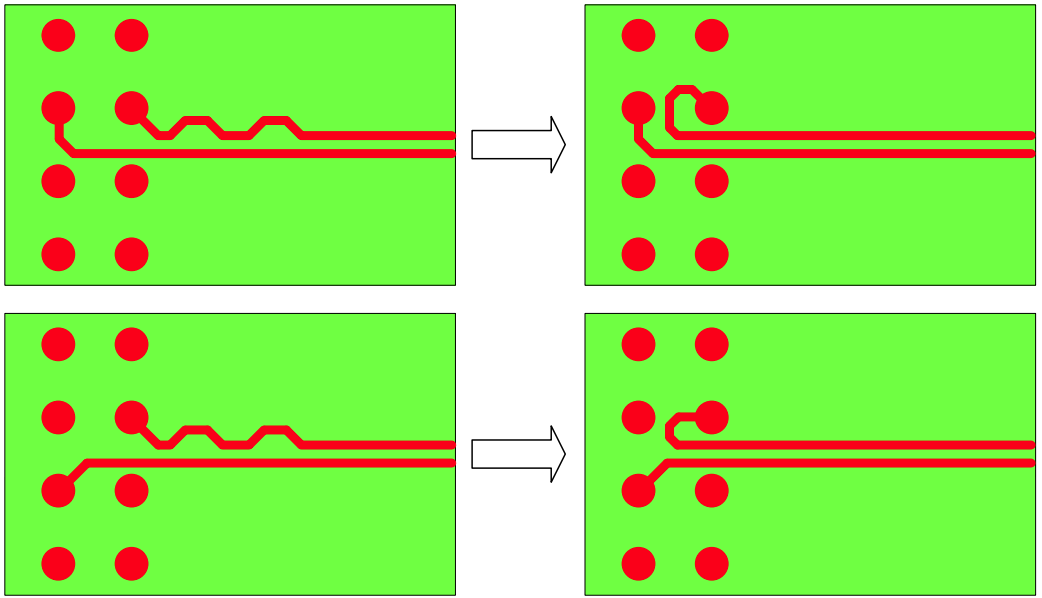
Các net tín hiệu cùng chung một nhóm (chung giao diện) được định tuyến cùng layer

Nếu có thể thì nên tránh các đường bù uốn



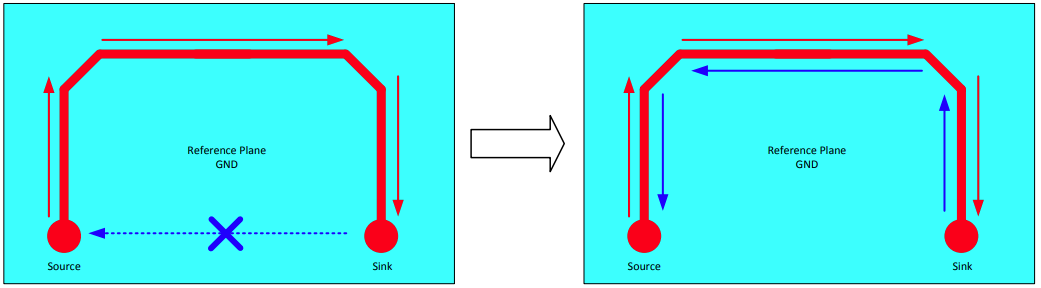
Tránh các đường bù uốn khúc

Nếu khoảng trống giữa các pads cho phép, hãy cố gắng thêm một vòng nhỏ vào dấu đường tín hiệu ngắn hơn. Đây là giải pháp được ưu tiên nhất để so khớp sự chênh lệch độ dài thay vì tạo các đường uốn khúc.

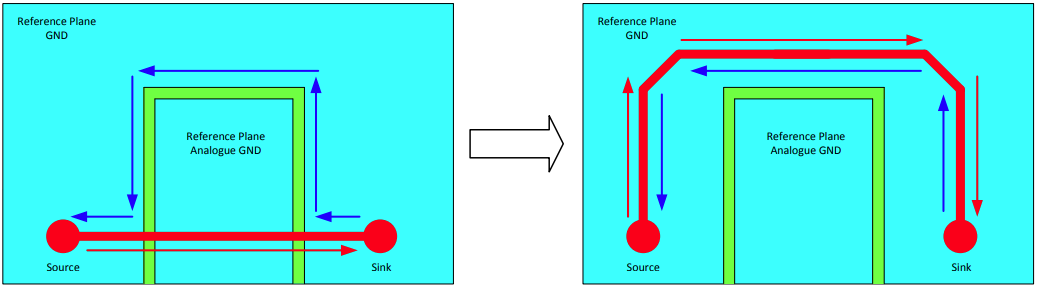


Ưu tiên định tuyến các đường Diffriential Pair

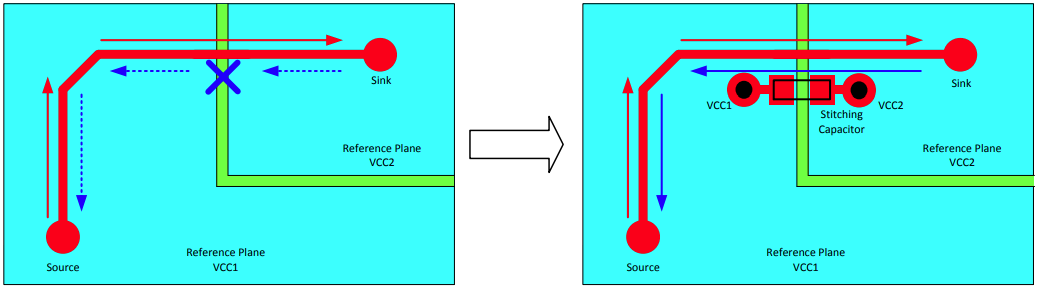
* + 1. Đường trở về của tín hiệu (Signal Return Path)

Signal Return Path không chính xác là một trong những nguồn phổ biến nhất gây ra các vấn đề về ghép nhiễu và EMI. Signal Return Path phải luôn được xem xét khi định tuyến tín hiệu. Đường nguồn và tín hiệu tốc độ thấp đi theo đường ngắn nhất (điện trở thấp nhất) cho return curent. Ngược lại, return curent path của tín hiệu tốc độ cao cố gắng đi theo đường tín hiệu. Các tín hiệu cặp vi sai có tính năng theo dõi tín hiệu Positive và Negative. Ngay cả những tín hiệu này cũng yêu cầu một Return Path cần được xem xét khi định tuyến các tín hiệu như vậy.

Return Path luôn cố gắng đi theo đường tín hiệu

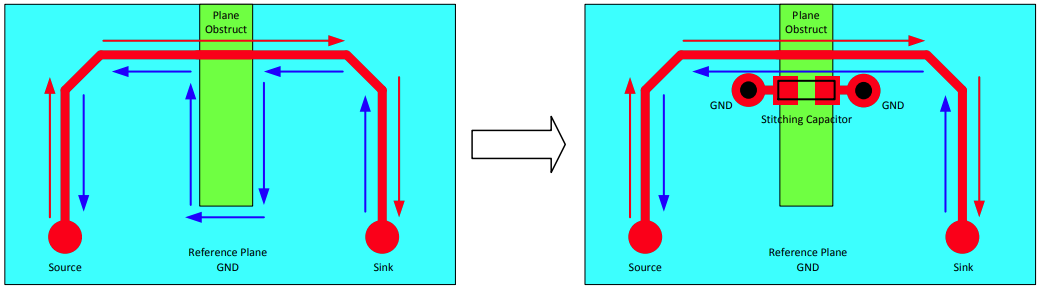
Một tín hiệu không được định tuyến qua mặt phẳng tham chiếu bị tách rời thành nhiều mặt phẳng khác vì return path không thể đi theo dấu vết của tín hiệu. Nếu một mặt phẳng tham chiếu bị tách giữa nguồn phát rửa và nguồn thu, hãy định tuyến đường tín hiệu xung quanh nó.

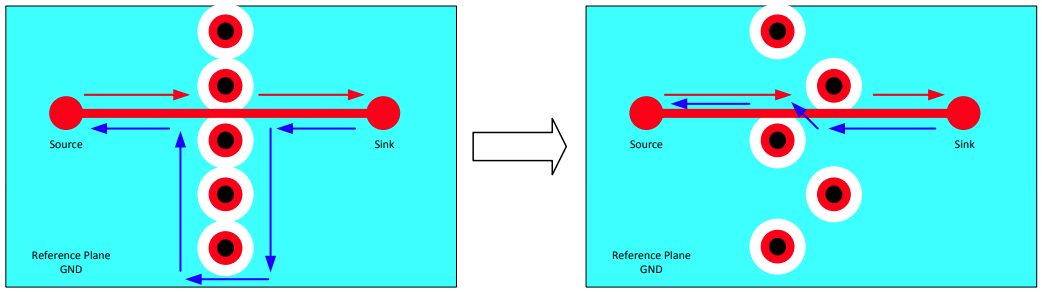
Tránh việc định tuyến đường tín hiệu qua mặt hai phẳng bị tách rời

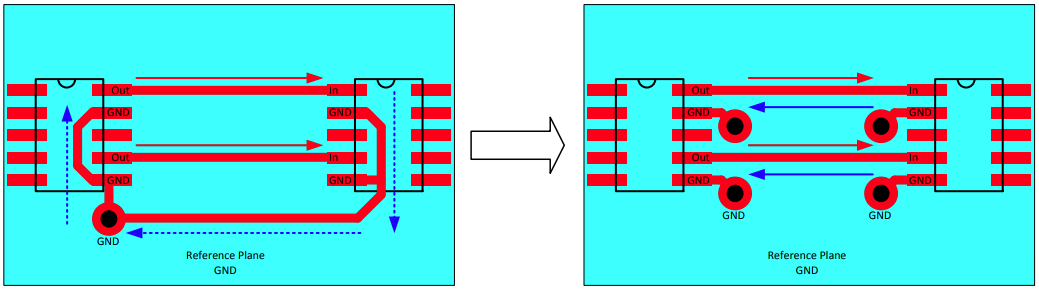
Nếu một tín hiệu cần được định tuyến qua hai mặt phẳng tham chiếu khác nhau, thì cần có một tụ ghép nối giữa hai mặt phẳng tham chiếu. Tụ điện cho phép return current truyền từ mặt phẳng tham chiếu này sang mặt phẳng tham chiếu khác. Tụ điện nên được đặt gần đường dẫn tín hiệu để giữ cho khoảng cách giữa đường dẫn chuyển tiếp và đường trở về nhỏ. Giá trị tốt cho tụ khâu là từ 10nF đến 100nF.

Thêm tụ điện ghép nối tiếp nếu tín hiệu đi qua mặt phẳng bị chia cắt

Thêm tụ điện ghép nối tiếp nếu tín hiệu đi qua mặt phẳng bị chia cắt

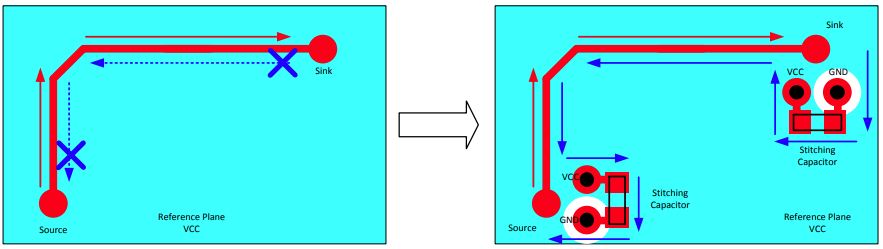
Thêm tụ điện ghép nối tiếp nếu tín hiệu đi qua mặt phẳng bị chia cắt

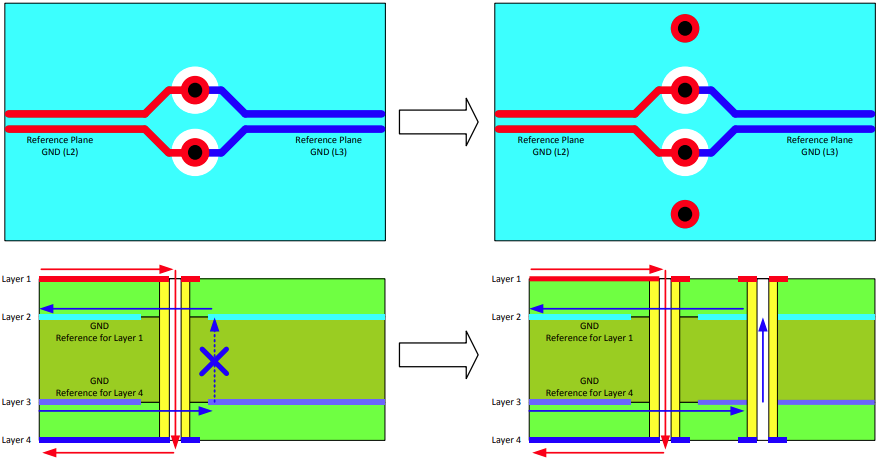
Khi đặt các Vias gần nhau khi định tuyến có thể tạo ra các khoảng trống chia cắt mặt phẳng tham chiếu. Hãy lưu ý những khoảng trống như vậy khi định tuyến tín hiệu tốc độ cao. Cố gắng tránh các khu vực trống lớn bằng cách đảm bảo tách biệt đủ lớn giữa các vias.

Tránh đặt các vias gây chia cắt mặt phẳng tham chiếu

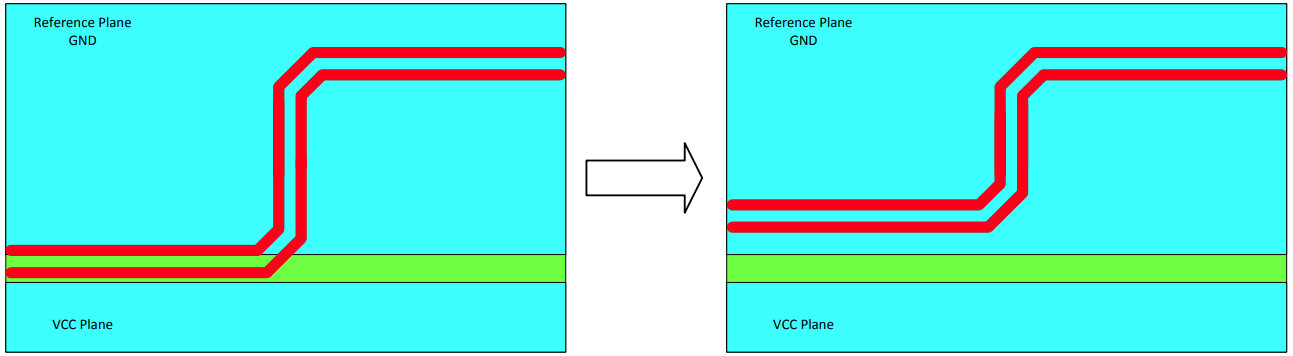
Xem xét Return Path khi đặt Ground Via

Khi một đường định tuyến tín hiệu sử dụng mặt phẳng nguồn làm tham chiếu, tín hiệu cần được truyền ngược lại mặt phẳng nguồn. Trong nguồn phát và nguồn thu, các tín hiệu được tham chiếu đến mặt đất. Để thay đổi tham chiếu đến mặt phẳng nguồn, cần nối các tụ điện ở nguồn thu và nguồn phát. Nếu nguồn thu và nguồn phát đang sử dụng cùng một đường mạch điện cho nguồn cung cấp của chúng, thì các tụ bypass capacitors có thể hoạt động như tụ ghép nếu chúng được đặt gần điểm vào / ra của tín hiệu. Giá trị tốt cho tụ là từ 10nF đến 100nF

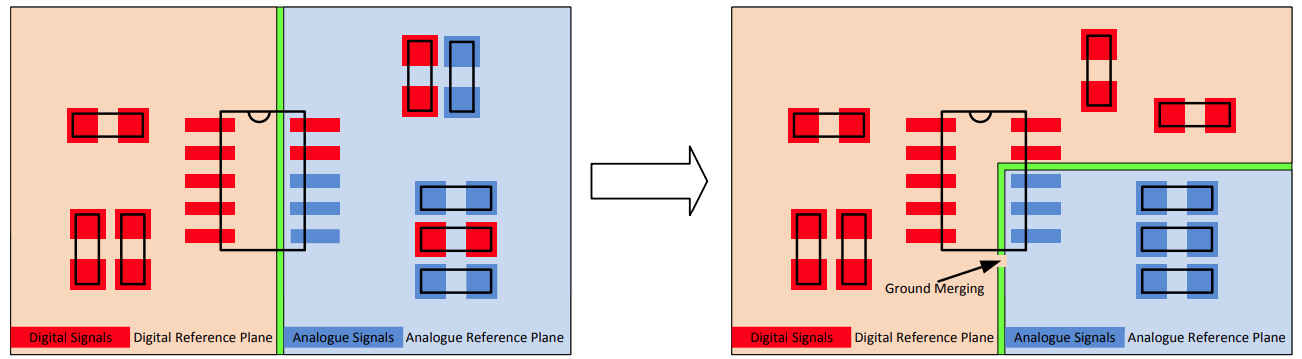
Thêm các tụ ghép nối nếu dùng nặt phẳng nguồn làm mặt phẳng tham chiếu

Nếu một đường định tuyến tín hiệu chuyển đổi layer và do đó mặt đất tham chiếu cũng thay đổi thep, các vias ghép nối phải được thêm gần với vias thay đổi layer của đường tín hiệu. Điều này cho phép current return thay đổi mặt đất tham chiếu. Đối với tín hiệu vi sai, các vias nối đất chuyển mạch phải được đặt đối xứng.

Thêm các vias ghép nối mặt phẳng tham chiếu

Tránh việc định tuyến các tín hiệu tốc độ cao trên cạnh của mặt phẳng tham chiếu hoặc gần với đường bao của PCB. Nếu không thì nó sẽ gây ảnh hưởng bất lợi đến trở kháng của đường định tuyến tín hiệu.

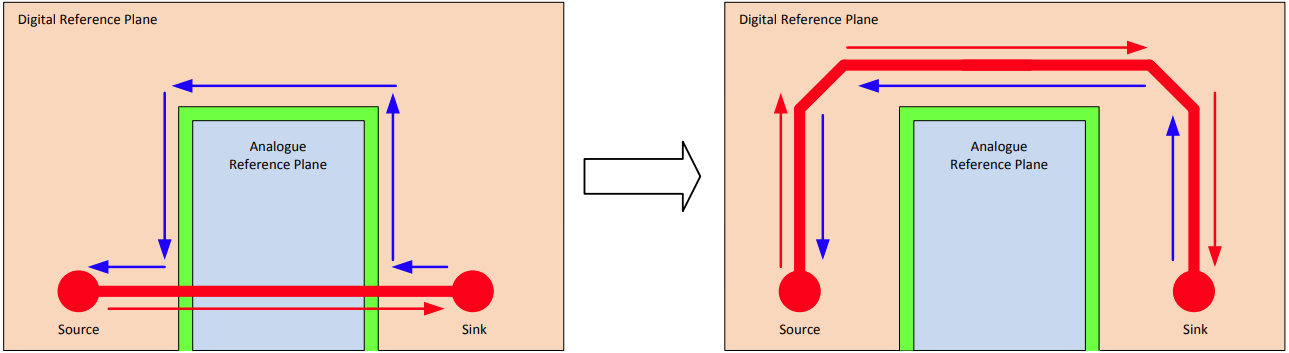
Không định tuyến các tín hiệu tốc độ cao ở cạnh của mặt phẳng tham chiếu và đường biên của PC

* + 1. Xây dựng các mặt phẳng đất tham chiếu cho tín hiệu Analog và Digital
*  Đường chia cắt vật lý cho mặt phẳng Analog và Digital

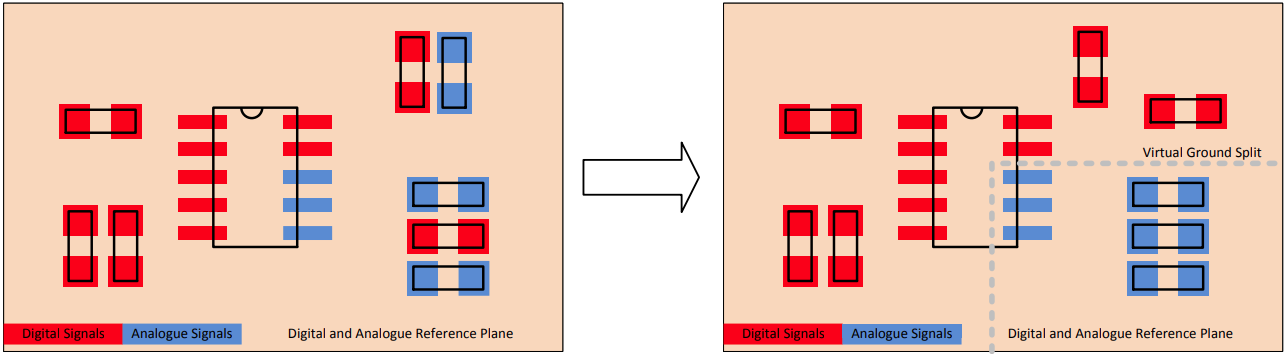
Khi chia cắt phặt phẳng tham chiếu cần phải chú ý đến vị trí đặt của các linh kiện

Các mạch tín hiệu hỗn hợp cần có mặt đất Analog và Digital được kết nối với nhau tại một vị trí duy nhất. Trong sơ đồ tham chiếu, người ta thường khuyến nghị đặt các hạt ferrite beads hoặc điện trở 0 ohm giữa hai mặt phẳng phân chia. Việc kết hợp mặt đất Digital và tín hiệu Analog nên được đặt gần với IC có cả tín hiệu Analog và Digital.

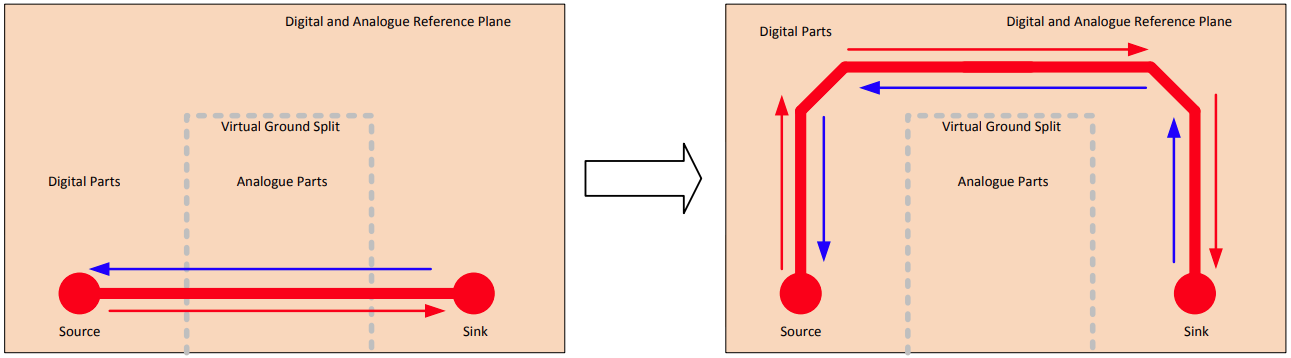
Trong thiết kế tín hiệu hỗn hợp với các mặt phẳng phân chia, điều quan trọng là không có tín hiệu Digital nào được định tuyến qua mặt đất Analog trong khi không có tín hiệu Analog nào được chuyển qua mặt đất Digital. Hai mặt phẳng phân chia cần được tách biệt hoàn toàn.

Không định tuyến tín hiệu Digital băng qua mặt phẳng Analog và ngược lại

* Đường chia cắt ảo cho mặt phẳng Analog và Digital.

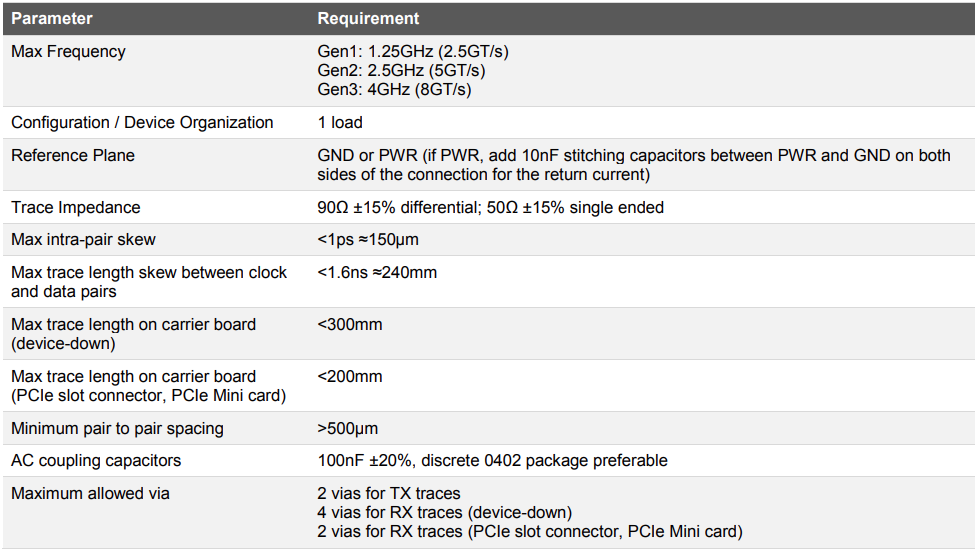
Phương pháp phân tách ảo không phân chia mặt đất Analog và Digital trong sơ đồ mạch. Trong cách bố trí, hai miền đất không bị phân chia về điện. Bí quyết là thực hiện bố cục như thể có một sự phân tách tưởng tượng giữa mặt đất Analog và Digital.

Khi chia cắt phặt phẳng tham chiếu cần phải chú ý đến vị trí đặt của các linh kiện

Đường ảo giữa hai miền mặt đất cần được chú ý trong quá trình định tuyến. Không có dấu vết Digital hoặc Analog tự nào được phép vượt qua đường phân chia ảo. Đường phân chia ảo không nên được đặt bằng cách sử dụng hình dạng quá phức tạp vì không có mặt phẳng nào cản trở để giữ cho dòng điện trở về tương tự và kỹ thuật số được tách biệt

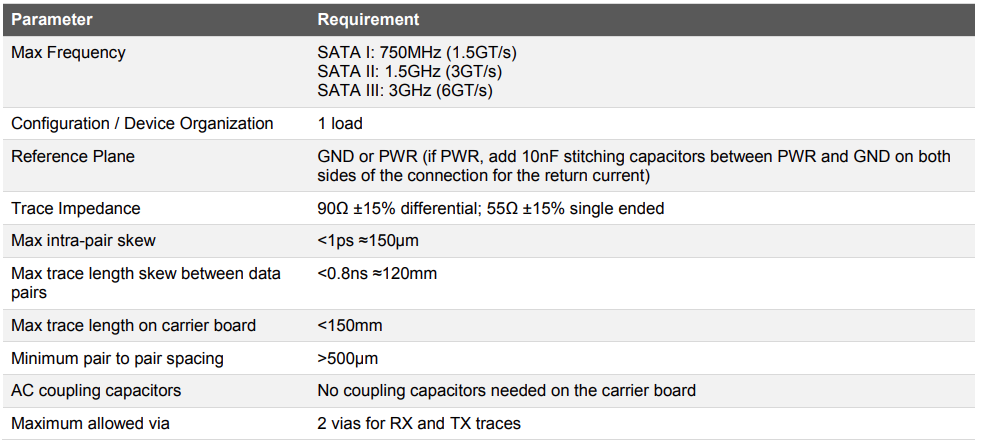
Không định tuyến tín hiệu Digital đường chia cắt Analog và ngược lại

* + 1. Các thông số tham khảo cho một số giao diện giao tiếp
* PCI Express

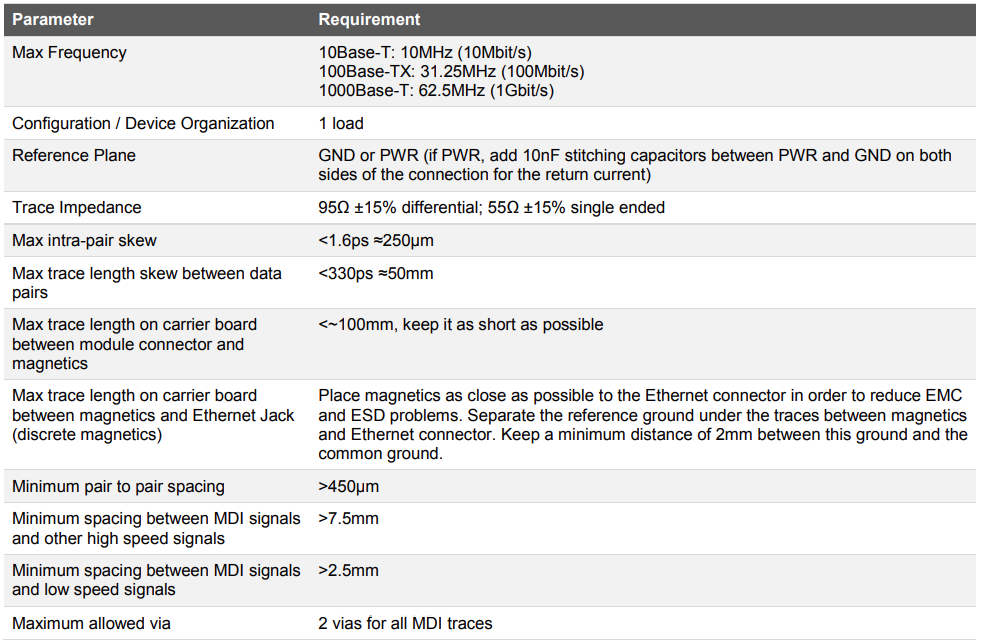
Giao diện PCIe hỗ trợ Polarity Inversion. Điều này có nghĩa là các chân tín hiệu thuận (Positive) và đảo (Negative) có thể được đảo cho nhau để đơn giản hóa việc bố trí bằng cách tránh giao nhau giữa các tín hiệu. Một số thiết bị PCIe hỗ trợ swap lane bổ sung cho các giao diện đa lane. Vì các giao diện tiêu chuẩn của Apalis chỉ cung cấp một giao diện PCIe một làn, tính năng. Swap lane chỉ có thể áp dụng nếu thiết bị PCIe hỗ trợ nó.

Thông số yêu cầu khi layout PCIe

* SATA

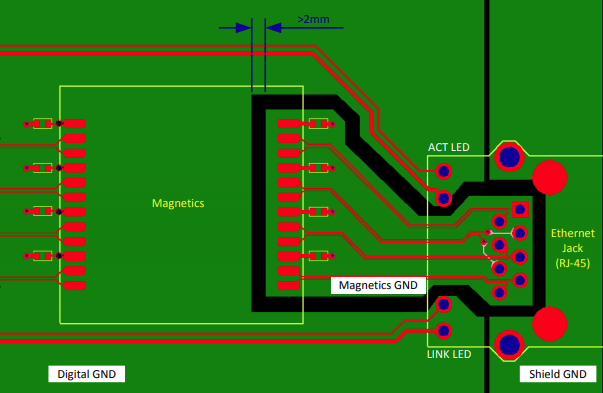
Giao diện SATA không hỗ trợ đảo cực (Polarity Inversion). Điều này có nghĩa là các chân tín hiệu Positive và Negative không được phép hoán đổi để đơn giản hóa bố cục.

* Ethernet

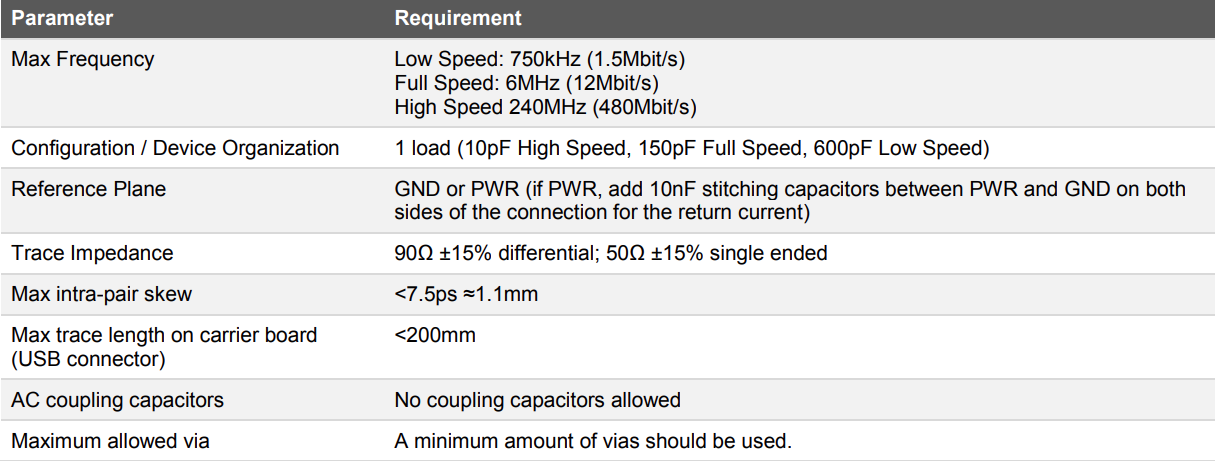
Tín hiệu Ethernet MDI là tín hiệu cặp vi sai Analog cần được định tuyến cẩn thận. Cố gắng giữ các tín hiệu MDI càng ngắn càng tốt và tránh xa các tín hiệu Digital. Cố gắng tránh bất kỳ stubs trên các đường tín hiệu này.

Thông số Layout yêu cầu giao diện Ethernet

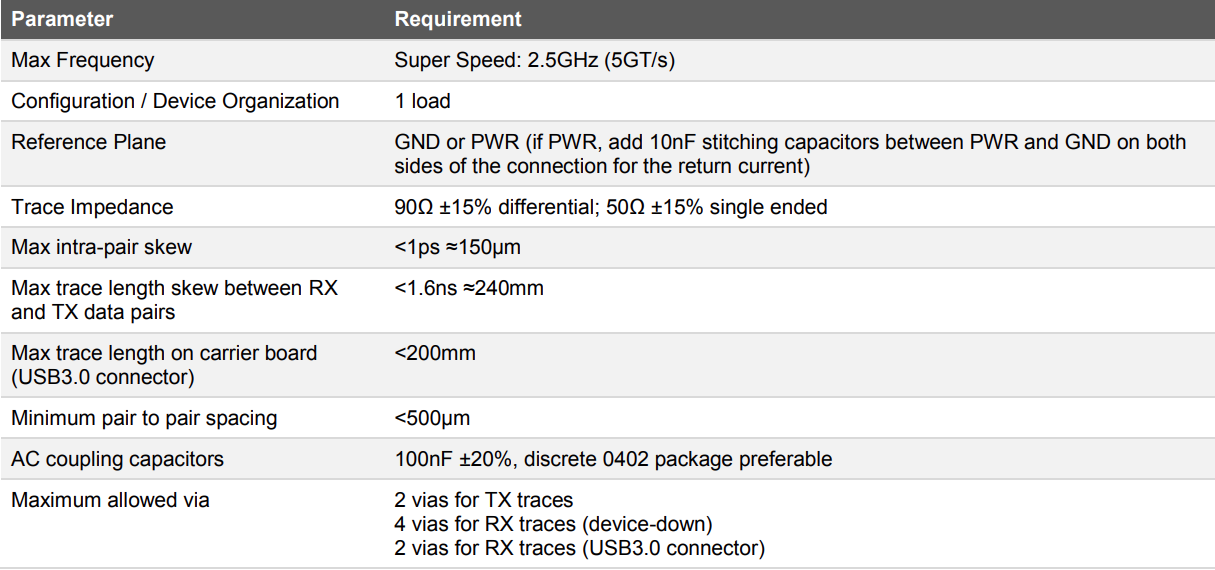
Nếu sử dụng magnetics thay vì đầu nối Ethernet RJ-45 có magnetics tích hợp, cần phải đặc biệt chú ý để định tuyến tín hiệu giữa magnetics và RJ-45. Các tín hiệu này có điện áp cao bắt buộc phải cách ly với các tín hiệu khác. Do đó, cần phải đặt một mặt phẳng đất riêng dưới các tín hiệu này có khoảng cách tối thiểu là 2mm với mọi tín hiệu và mặt phẳng khác. Ngoài ra, cần có một mặt đất che chắn riêng cho thiết bị LAN. Cố gắng đặt Magnetics càng gần RJ-45 càng tốt. Điều này làm giảm độ dài của đường tín hiệu giữa magnetics và giắc cắm.

Tách mặt phẳng đất Magnetics

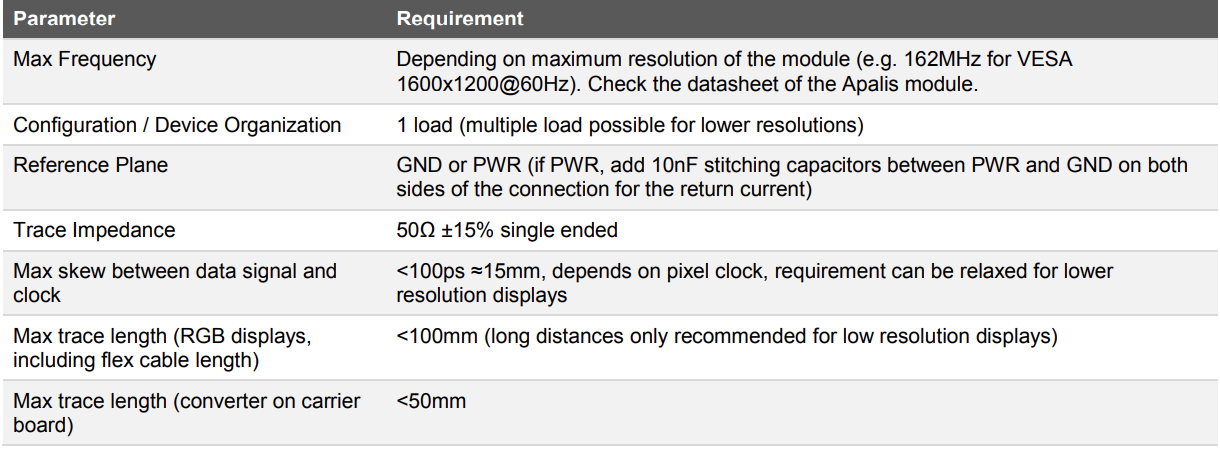
* USB

Yêu cầu về bố cục cho giao diện USB tùy thuộc vào chuản USB. Lên đến USB 2.0, giao diện bao gồm một cặp tín hiệu dữ liệu hai chiều. Chuẩn USB 3.0 cung cấp hai cặp tín hiệu dữ liệu bổ sung cho kết nối tốc độ cao. Hai cặp này đang chạy ở tốc độ 5 Gbit / s và hoàn toàn tuân thủ Đặc điểm kỹ thuật cơ sở PCI Express. USB 3.0 hỗ trợ đảo cực. Điều này có nghĩa là các chân tín hiệu Positive và Negtive có thể được đảo ngược để đơn giản hóa việc bố trí và tránh giao nhau giữa các tín hiệu. Nhưng không được phép hoán đổi tín hiệu nhận với tín hiệu truyền. Tín hiệu dữ liệu USB 2.0 không hỗ trợ đảo cực, không thể hoán đổi D + và D-.

Thông số Layout yêu cầu của giao diện USB 2.0

Thông số Layout yêu cầu của giao diện USB 3.0

* Giao diện Parallel RGB LCD

Các yêu cầu về bố cục phụ thuộc vào pixel clock nên nó phụ thuộc độ phân giải hiển thị cần thiết. Các yêu cầu dưới đây có thể được giảm bớt đáng kể nếu sử dụng độ phân giải thấp hơn như VGA 640x480. Các giới hạn độ dài tối đa được xác định do các vấn đề bức xạ điện từ liên quan đến giao diện song song.

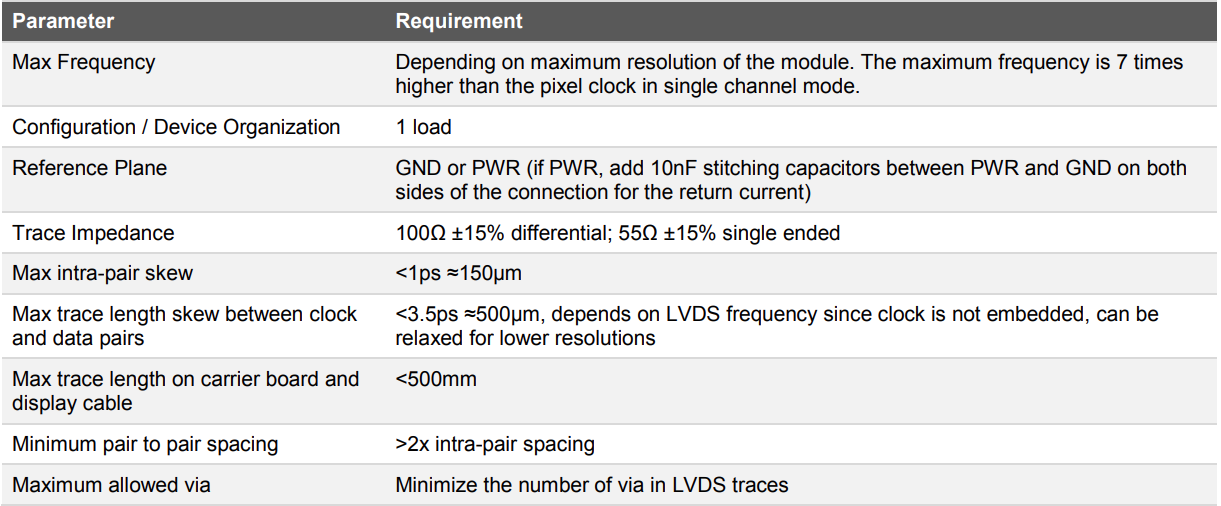
Thông số Layout yêu cầu của giao diện LCD RGB

* Giao diện LVDS LCD

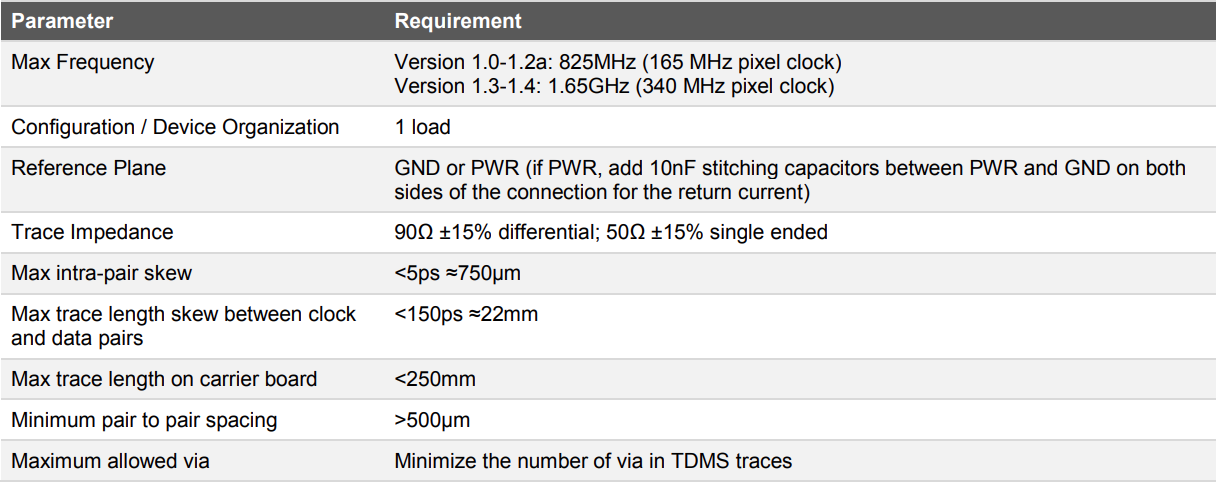
Giao diện LVDS LCD không có clock được nhúng trong các tín hiệu dữ liệu. Do đó, độ dài phù hợp phù hợp giữa cặp clock và tín hiệu dữ liệu là điều cần thiết và phụ thuộc vào độ phân giải màn hình.

Thông số Layout yêu cầu của giao diện LCD RGB

Thông số Layout yêu cầu của giao diện LCD RGB

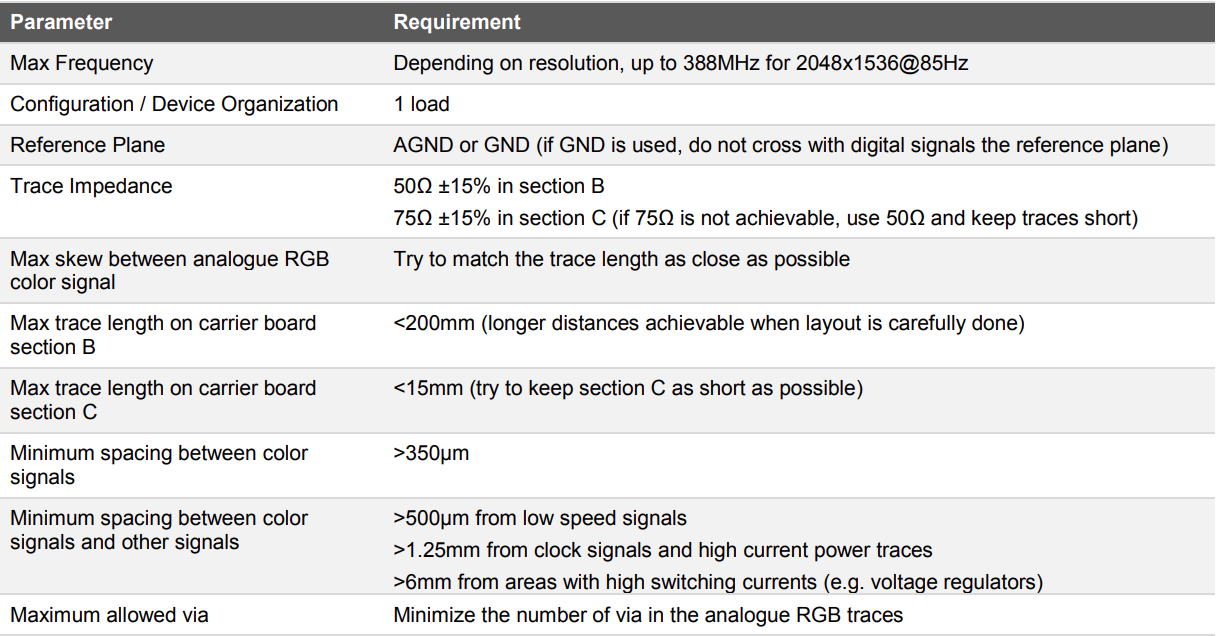
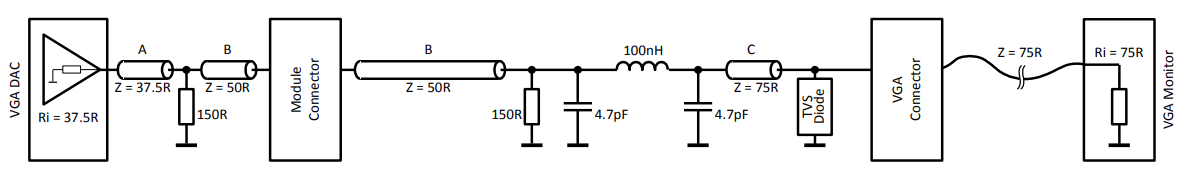
Thông số Layout yêu cầu của giao diện LVDS LCD

* HDMI/DVI

Vì cáp HDMI hoặc DVI bên ngoài có thể khá dài, nên có độ lệch nhất định giữa các cặp dữ liệu khác nhau. Điều này có thể giúp giảm phát xạ điện từ.

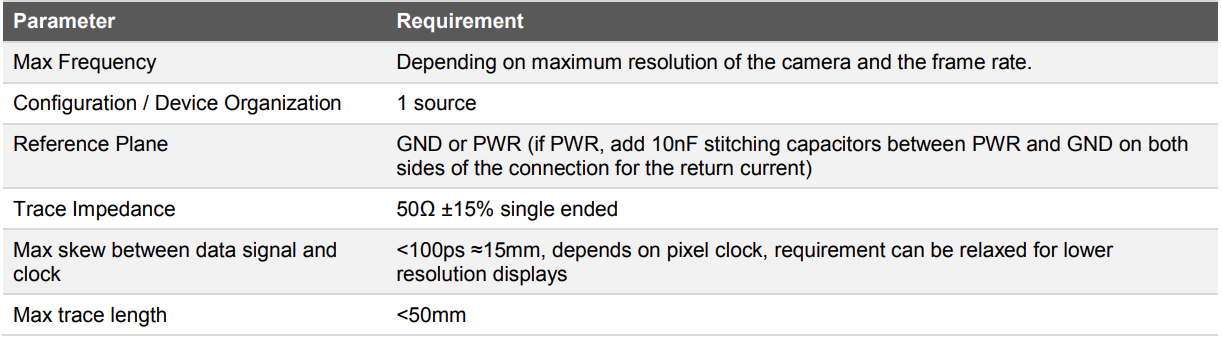
Thông số Layout yêu cầu của tín hiệu TDMS

* Analogue VGA

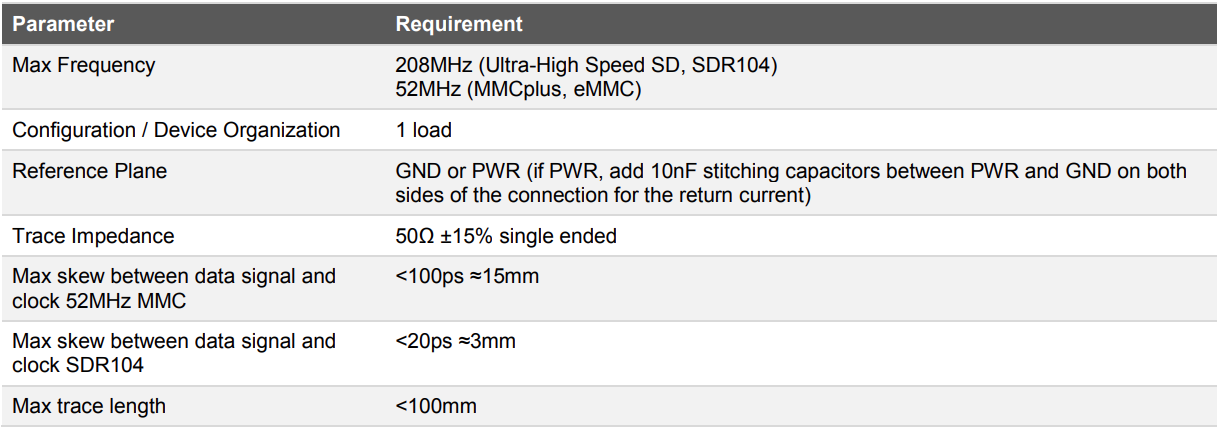
Thông số Layout yêu cầu của tín hiệu Analogue VGA

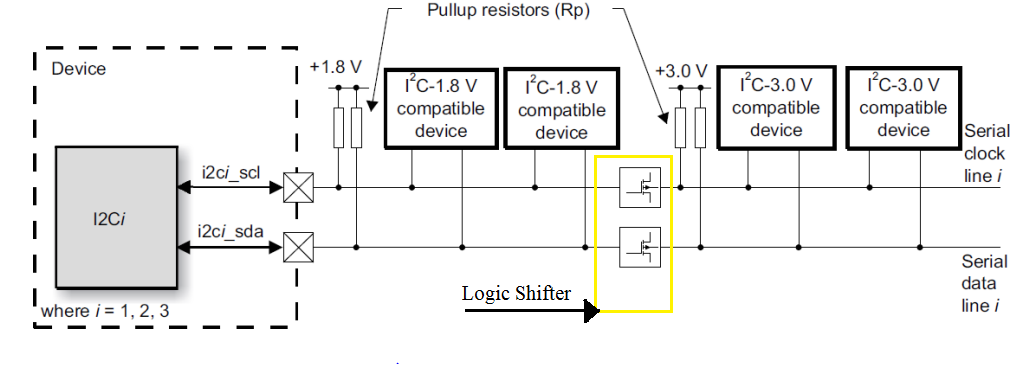
Sơ đồ Analogue VGA

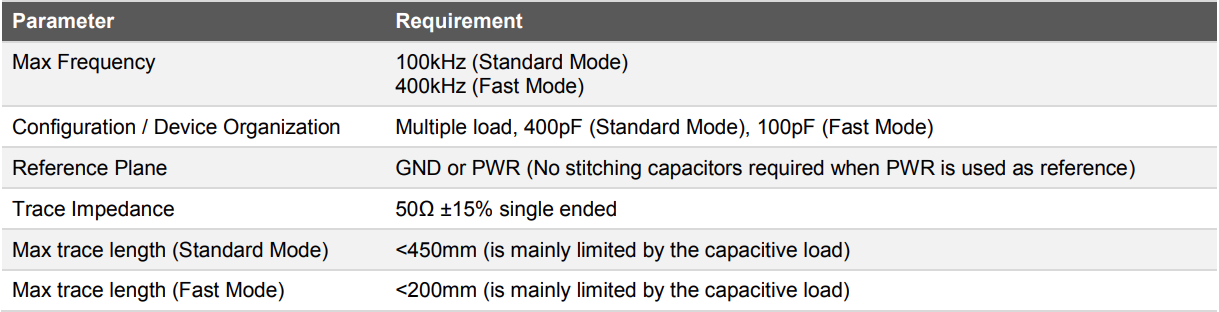
* Giao diện Parallel Camera

Các yêu cầu về bố cục phụ thuộc vào pixel clock nên nó phụ thuộc vào độ phân giải và tốc độ khung hình yêu cầu của máy ảnh. Các yêu cầu dưới đây có thể được nới lỏng nếu sử dụng độ phân giải thấp hơn như VGA 640x480 @ 30Hz.

Thông số Layout yêu cầu của giao diện Parallel Camera

* SD/MMC/SDIO

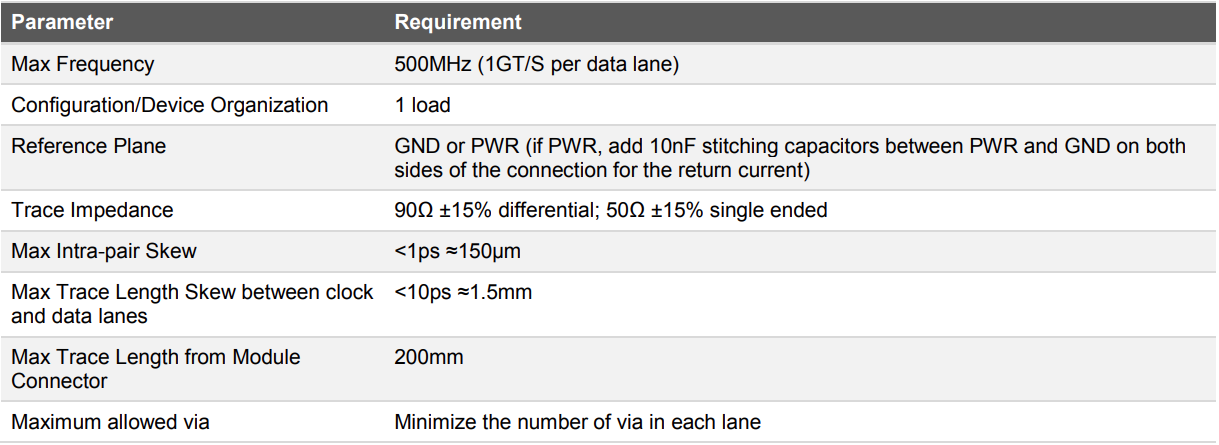
Thông số Layout yêu cầu của SD/MMC/SDIO

Sơ đồ khối

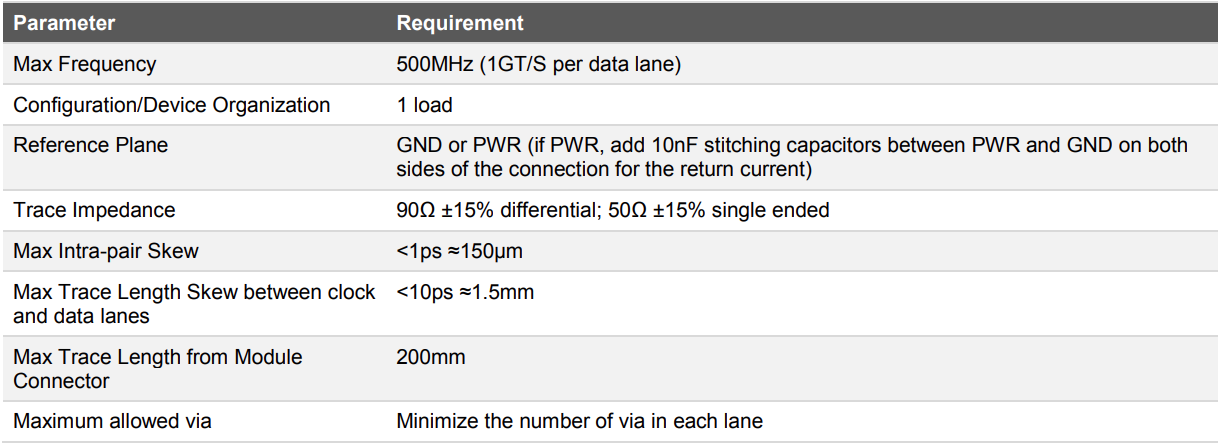
không cần phải được định tuyến dưới dạng cặp vi sai, nhưng không nên tách biệt đường dữ liệu và đường clock quá nhiều. Không bắt buộc phải định tuyến bus dữ liệu như chuỗi daisy vì độ dài stubs không phải là vấn đề. Hãy cố gắng giữ các đường tín hiệu càng ngắn càng tốt bằng cách sử dụng cấu trúc liên kết hình sao.

Thông số Layout yêu cầu của

* Giao diện Serial Display (MIPI / DSI với D-PHY)



Thông số Layout yêu cầu của DSI

* Giao diện Serial Camera (MIPI / CSI-2 với D-PHY)

Thông số Layout yêu cầu của CSI-2