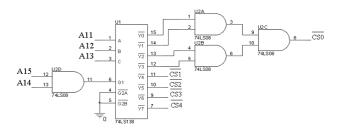
PHẦN I:

Câu 2:

Xác định bảng phân vùng địa chỉ cho các tín hiệu chọn chip (/CS) ứng với mạch giải mã địa chỉ sau:

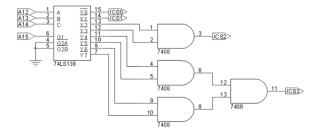


- Để 74HC138 hoạt động thì các chân cho phép phải tích cực:
- + G1=1=> A14,A15 =1
- + G2A,G2B=1 =>/G2A,/G2B=0
- Đường A11,12,13 nối vào các chân điều khiển A,B,C nên vùng bộ nhớ được quy định bởi 11 đường địa chỉ còn lại(A0-A10) có dung lượng 2¹¹=2048 b

A15	A14	A13	A12	A11	A10	 A0	Địa chỉ HEX	chân chọn chip
1	1	0	0	0	x	x	C000- C7FF	/CS0
1	1	0	0	1	x	x	C800- CFFF	
1	1	0	1	0	x	x	D000- D7FF	
1	1	0	1	1	x	x	D800- DFFF	
1	1	1	0	0	x	x	E000- E7FF	/CS1
1	1	1	0	1	x	x	E800- EFFF	/CS2
1	1	1	1	0	x	x	F000- F7FF	/CS3
1	1	1	1	1	x	x	F800-FFFF	/CS4

<u>Câu 3:</u>

Xác định bảng phân vùng địa chỉ cho các tín hiệu chọn chip (/CS) ứng với mạch giải mã địa chỉ sau:



- -A15=1
- -A12,13,14 -A,B,C
- $-A0-A11(12 \text{ duòng})=>2^{12}=4096\text{byte}$

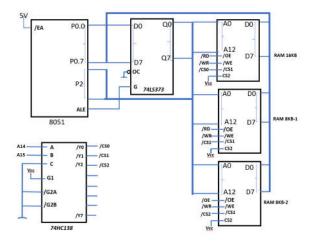
A15	A14	A13	A12	A11	 A0	Địa chỉ hex	chip
1	0	0	0	x	x	8000-8FFF	/CS0
1	0	0	1	x	x	9000-9FFF	/CS1
1	0	1	0	x	x	A000- AFFF	/CS2
1	0	1	1	x	х	B000-BFFF	1
1	1	0	0	x	X	C000- CFFF	/CS3
1	1	0	1	x	x	D000- DFFF	
1	1	1	0	x	x	E000- EFFF	
1	1	1	1	x	x	F000- FFFF	

Câu 8:

Dùng vi mạch 74138 và các cổng logic cần thiết để thiết kế mạch giải mã địa chỉ cho kit 8051 với 1 chip RAM 16KB và 2 chip RAM 8KB. Xác định rõ vùng địa chỉ cho mỗi chip.

- + RAM $16KB=2^{14}$ byte -> 14 đường địa chỉ(A0- A13)
- + RAM8KB = 2^{13} byte -> 13 đường địa chỉ(A0-A12)
 - → Chọn phân vùng 16KB:
- + Đưa các đường địa chỉ A0-A13 đến các RAM 16KB, A0-A12 đến mỗi RAM 8KB
- +2 đường địa chỉ cao A14,A15 đưa đến bộ giải mã 3-8(72138)

A15	A14	A13	 A0	ĐịA CHỉ	Chân	CHIP
					chon	
0	0	χ	χ	1000-3FFF	/CSO	RAM 16KB
0	1	χ	Χ	4000-5FFF	/CS1	RAM 8KB-1
				6000- 7FFF		
1	0	χ	χ	8000-9FFF	/CS2	RAM 8KB-2
				A000- BFFF		

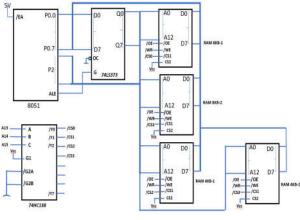


Câu 9:

Dùng vi mạch 74138 và các cổng logic cần thiết để thiết kế mạch giải mã địa chỉ cho kit 8051 với 2 chip RAM 8KB và 2 chip RAM 4KB. Xác định rõ vùng địa chỉ cho mỗi chip.

- -RAM 8KB= 2^{13} byte -> Có 13 đường địa chỉ(A0- A12)
- -RAM 4KB= 2^{12} byte -> Có 12 đường địa chỉ(A0- A11)
- -> Chọn vùng địa chỉ 8KB.

A15	A14	A13	A12	 A0	ĐỊA CHỈ	Chân chọn	CHIP
0	0	0	χ	χ	0000-1FFF	/CSO	RAM 8KB-1
0	0	1	χ	χ	2000-3FFF	/CS1	RAM 8KB-2
0	1	0	χ	χ	4000-4FFF	/CS2	RAM 4KB-1
					5000- 5FFF		
0	1	1	χ	χ	6000- 6FFF	/CS3	RAM 4KB-2
					7000- 7FFF		



Câu 10:

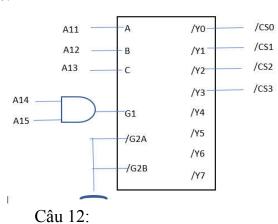
- a. Hãy vẽ bảng địa chỉ (bảng phân vùng địa chỉ) bộ nhớ cho 4 chip RAM, mỗi chip 2KB, biết địa chỉ bắt đầu là C000H.
- b. Hãy thiết kế mạch giải mã địa chỉ cho 4 chip RAM này dùng IC 74138 và các cổng logic cần thiết.

Giải:

a. RAM 2KB = 2^{11} byte ->11 đường địa chỉ(A0-A10).

A15	A14	A13	A12	A11	A10	 A0	ĐỊA CHỈ	Chân chọn
1	1	0	0	0	Χ	Χ	C000 – C7FF	/CSO
1	1	0	0	1	Χ	Х	C800-CFFF	/CS1
1	1	0	1	0	Χ	Х	D000-D7FF	/CS2
1	1	0	1	1	Χ	Х	D800-DFFF	/CS3

b.

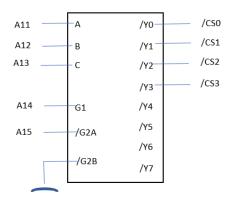


- a. Hãy vẽ bảng địa chỉ (bảng phân vùng địa chỉ) bộ nhớ cho 4 chip RAM, mỗi chip 2KB, biết địa chỉ bắt đầu là 4000H.
- b. Hãy thiết kế mạch giải mã địa chỉ cho 4 chip

Giai:

a/ RAM 2KB = 2^{11} byte ->11 đường địa chỉ(A0-A10)

A15	A14	A13	A12	A11	A10	 A0	ĐịA CHỉ	Chân chọn
0	1	0	0	0	Χ	Χ	4000 – 47FF	/CSO
0	1	0	0	1	Χ	Х	4800-4FFF	/CS1
0	1	0	1	0	Х	Х	5000-57FF	/CS2
0	1	0	1	1	Χ	Χ	5800-5FFF	/CS3



Câu 15:

Thiết kế mạch giải mã địa chỉ dùng IC 74138 tạo tín hiệu chọn chip cho các bộ nhớ RAM theo bảng phân vùng địa chỉ sau:

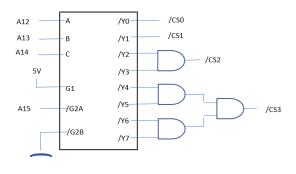
<u>Tín hiệu chọn</u> chip	<u>Vùng địa chỉ</u>
(tich cure mire 0)	(Hex)
/CS0	0000H , 0FFFH
/CS1	1000H , 1FFFH
/CS2	2000H , 3FFFH
/CS3	4000H , 7FFFH

Từ bảng phân vùng suy ra có:

- -2 RAM 4KB = 2^{12} byte-> 12 đường địa chỉ(A0-A11)
- -1 RAM 8KB
- -1 RAM 16KB

A15	A14	A13	A12	A11	A10	A9	 A0	ĐỊA CHỈ	Chân chọn	CHIP
0	0	0	0	0	0	χ	χ	0000 -0FFF	/cso	RAM 4KB

-> Chọn phân vùng 4KB



Câu 16:

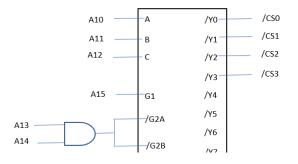
Sử dụng IC 74138 và các cổng logic cần thiết để thiết kế mạch giải mã địa chỉ tạo tín hiệu chọn chip (tích cực mức thấp) theo bảng phân vùng địa chỉ sau (không quan tâm đến đặc tính truy xuất):

Tín hiệu chọn chip	Vùng địa chỉ
$\overline{\text{CS0}}$	8000H , 83FFH
CS1	8400H , 87FFH
CS2	8800H , 8BFFH
CS3	8C00H, 8FFFH

Từ bảng phân vùng suy ra có:

- 4 CHIP 1KB= 2^{10} byte-> có 10 đường địa chỉ (A0- A9)

A15	A14	A13	A12	A11	A10	A9	 A0	ĐỊA CHỈ	Chân chọn
1	0	0	0	0	0	Х	Χ	8000 -83FF	/CSO
1	0	0	0	0	1	Х	Χ	8400-87FF	/CS1
1	0	0	0	1	0	Χ	Χ	8800-8BFF	/CS2
1	0	0	0	1	1	χ	Χ	8C00-8FFF	/CS3



Câu 17:

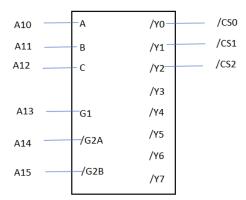
Sử dụng IC 74138 và các cổng logic cần thiết để thiết kế mạch giải mã địa chỉ tạo tín hiệu chọn chip (tích cực mức thấp) theo bảng phân vùng địa chỉ sau (không quan tâm đến đặc tính truy xuất):

Tín hiệu chọn chip	Yùng địa chỉ
CS0	2000H , 23FFH
CS1	2400H , 27FFH
CS2	2800H , 2BFFH

Từ bảng phân vùng suy ra có:

- 3 CHIP 1KB= 2^{10} byte-> có 10 đường địa chỉ(A0- A9)

A15	A14	A13	A12	A11	A10	A9	 A0	ĐịA CHỉ	Chân chọn
0	0	1	0	0	0	χ	χ	2000 –23FF	/CSO
0	0	1	0	0	1	χ	χ	2400-27FF	/CS1
0	0	1	0	1	0	χ	χ	2800-2BFF	/CS2



Câu 20:

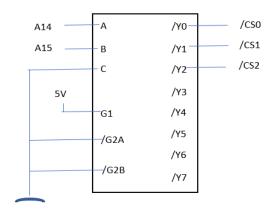
Thiết kế mạch giải mã địa chỉ tạo tín hiệu chọn chip (tích cực mức thấp) cho các bộ nhớ RAM theo bảng phân vùng địa chỉ:

Tín hiệu chọn chip	Vùng địa chỉ			
CS0	0000H , 3FFFH			
CS1	4000H , 7FFFH			
CS2	8000H , BFFFH			

Từ bảng phân vùng suy ra có:

- 3 CHIP 16KB= 2¹⁴ byte-> có 14 đường địa chỉ(A0- A13)

A15	A14	A13	 A0	ĐỊA CHỈ	Chân
					chon
0	0	Χ	Χ	0000 –3FFF	/CSO
0	1	Χ	Χ	4000-7FFF	/CS1
1	0	Χ	Χ	8000-BFFF	/CS2

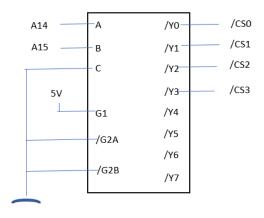


Câu 23:

Thiết kế mạch giải mã địa chỉ tạo tín hiệu chọn chip cho 4 RAM 16KB. Xác định rõ vùng địa chỉ cho mỗi RAM.

- 4 RAM 16KB= 2^{14} byte-> có 14 đường địa chỉ(A0- A13)

A15	A14	A13	 A0	ĐỊA CHỈ	Chân chọn
0	0	Χ	Χ	0000 –3FFF	/CSO
0	1	Χ	Χ	4000-7FFF	/CS1
1	0	Χ	Χ	8000-BFFF	/CS2
1	1	Х	Х	C000- FFFF	/CS3



Câu 25:

Thiết kế mạch giải mã địa chỉ tạo tín hiệu chọn chip (tích cực mức thấp) cho các bộ nhớ RAM theo bảng phân vùng địa chỉ:

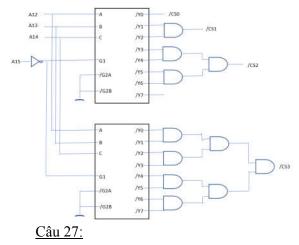
Tín hiệu chọn chip	Vùng địa chỉ
$\overline{\text{CS0}}$	0000H, 0FFFH
CS1	1000H , 2FFFH
CS2	3000H , 6FFFH
CS3	7000H , EFFFH

Từ bảng phân vùng suy ra có:

- + 1 RAM 4KB = 2^{12} byte-> Có 12 đường địa chỉ(A0- A11)
- +1 RAM 8KB
- + 1 RAM 16KB
- +1 RAM 32KB

→ Chọn phân vùng 4KB

A15	A14	A13	A12	A11	 A0	ĐỊA CHỈ	Chân	CHIP
							chon	
0	0	0	0	Х	Х	0000 -0FFF	/CSO	RAM 4KB
0	0	0	1	Х	Х	1000-2FFF	/CS1	RAM 8KB
0	0	1	1	Х	Х	3000-6FFF	/CS2	RAM 16KB
0	1	1	1	Х	Х	7000-EFFF	/CS3	RAM 32KB



Dùng vi mạch 74138 và các cổng logic cần thiết để thiết kế mạch giải mã địa chỉ cho kit 8051 với 2 chip RAM 16KB và 2 chip RAM 8KB. Xác định rõ vùng địa chỉ cho mỗi chip.

+ RAM $16KB=2^{14}$ byte-> có 14 đường địa chỉ(A0- A13)

+RAM 8KB= 2^{13} byte-> có 13 đường địa chỉ(A0- A12)

Chọn phân vùng 16KB

A15	A14	A13	 A0	ĐỊA CHỈ	Chân chọn	CHIP
0	0	Χ	Χ	0000 -3FFF	/CSO	RAM 16KB-1
0	1	Χ	Χ	4000- 7FFF	/CS1	RAM 16KB-2
1	0	Х	Х	8000- 9FFF	/CS2	RAM 8KB-1
				A000- BFFF		
1	1	Х	Х	C000-DFFF	/CS3	RAM 8KB-2
				E000- FFFF		

