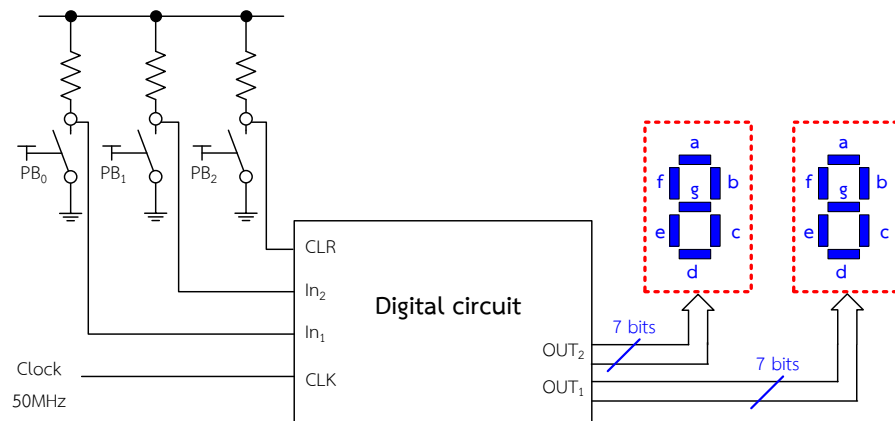


Up – Down Counter 00 – 99

สร้าง Counter ที่ทำงานตามขอบขาขึ้นของสัญญาณ clock โดยมีขา I/O ดังนี้

- CLK เป็นขาอินพุตสัญญาณนาฬิกา (clock)
- In1 เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB0
- In2 เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB1
- CLR เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB2
- Out 1 เป็นขาเอาต์พุตขนาด 7 บิต (data output) ใช้แสดงผล 7 segment หลักหน่วย
- Out 2 เป็นขาเอาต์พุตขนาด 7 บิต (data output) ใช้แสดงผล 7 segment หลักสิบ

การทำงานของวงจรที่สังเคราะห์ขึ้น ในสถานะเริ่มต้นวงจรจะแสดงเลข 00 เมื่อมีการกดปุ่ม PB0 วงจรจะแสดงผลตัวเลขที่นับขึ้นทีละ 1 จากการกดปุ่มหนึ่งครั้ง โดยสามารถแสดงผลการนับการกดปุ่มสูงสุดได้ 99 หากมีการกดปุ่ม PB1 วงจรจะลดการนับค่าแสดงผลลงทีละ 1 ตามจำนวนครั้งของการกดปุ่ม PB1 เมื่อมีการกดปุ่ม PB2 วงจรจะทำการ reset ค่าการนับให้เป็นค่า 00 ทันที โดยไดอะแกรมของวงจรที่สังเคราะห์ขึ้นจะต้องรองรับ I/O ต่างๆ ดังรูปที่ 1



รูปที่ 1 ไดอะแกรมของวงจร Up – Down Counter 00 – 99

งานที่มอบหมายให้นักศึกษาทำเป็นกลุ่ม โดยสมาชิกในกลุ่มไม่เกิน 2 คน

1. ทำการออกแบบวงจรดิจิทัลเพื่อสังเคราะห์เป็นวงจร Up – Down Counter 00 – 99 โดยใช้ภาษา VHDL สามารถยืนยันผลการออกแบบได้ด้วยการจำลองการทำงานกับบอร์ด FPGA และอุปกรณ์ Expansion board ที่ทางห้องปฏิบัติการมีให้

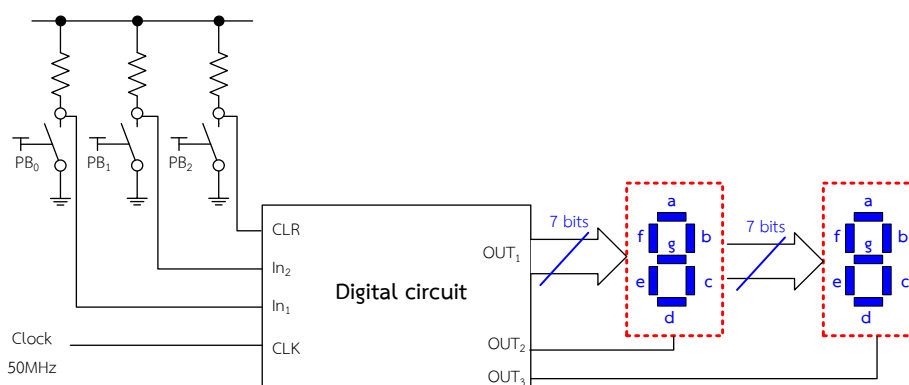
2. จัดทำเอกสารในรูปแบบของรายงาน นำเสนอหลักการออกแบบ องค์ประกอบของการออกแบบวงจรว่า มีกี่ส่วนประกอบด้วยอะไรบ้าง รวมถึงผลการจำลองการทำงานของวงจรที่ได้ออกแบบ

3. การส่งงานจะให้ส่งงานแบบสาธิตการทำงานจริงของวงจรที่ได้ออกแบบโดยเน้นการสัมภาษณ์ ว่าในแต่ และส่วนที่ได้ออกแบบมีแนวทางหรือหลักการใด หากตรวจพบได้ว่านักศึกษาไม่ได้ทำเองจะถือว่านักศึกษาไม่ได้ส่งงาน (การส่งงานควรเตรียมคอมพิวเตอร์ notebook และข้อมูลเอกสารที่ใช้ทำงานจริงมาให้พร้อม)

โจทย์เพิ่มเติม

โจทย์เพิ่มเติมเป็นการเพิ่มความท้าทายของงานหากนักศึกษาเลือกทำเพิ่มจะได้พิจารณาคะแนนพิเศษเพิ่ม

รายละเอียดของโจทย์เป็นวงจร Up – Down Counter 00 – 99 ดังเดิมแต่เปลี่ยนในส่วนของการแสดงผลที่ 7 segment ที่จากเดิมใช้สัญญาณในการแสดงผลสองหลักจำนวน 14 บิต โดยให้ลดเหลือ เป็น 9 บิต ซึ่งการออกแบบดังกล่าวจะใช้หลักการที่ควบคุมการแสดงผลของ 7 segment ในแต่ละหลักที่มีการแสดงผลไม่พร้อมกันโดยมีไดอะแกรม I/O ของวงจรดังรูปที่ 2



รูปที่ 2 รายละเอียดภาพรวมของงาน

- CLK เป็นขาอินพุตสัญญาณนาฬิกา (clock)
- In1 เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB0
- In2 เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB1
- CLR เป็นขาอินพุตขนาด 1 บิต (data input) รับสัญญาณจากปุ่มกด PB2
- Out 1 เป็นขาเอาต์พุตขนาด 7 บิต (data output) ใช้แสดงผล 7 segment หลักหน่วยและหลักสิบ
- Out 2 เป็นขาเอาต์พุตขนาด 1 บิต (data output) ใช้ควบคุมการแสดงผล 7 segment ในหลักสิบ
- Out 3 เป็นขาเอาต์พุตขนาด 1 บิต (data output) ใช้ควบคุมการแสดงผล 7 segment ในหลักหน่วย

ช่วงของการส่งงานระหว่างวันที่ 17 – 16 ธ.ค. 2558 เวลา 16.00 – 20.00 น. เว้นวันหยุดราชการเวลาในการนำเสนอกลุ่มละ 20 นาที

