

Projekt INC

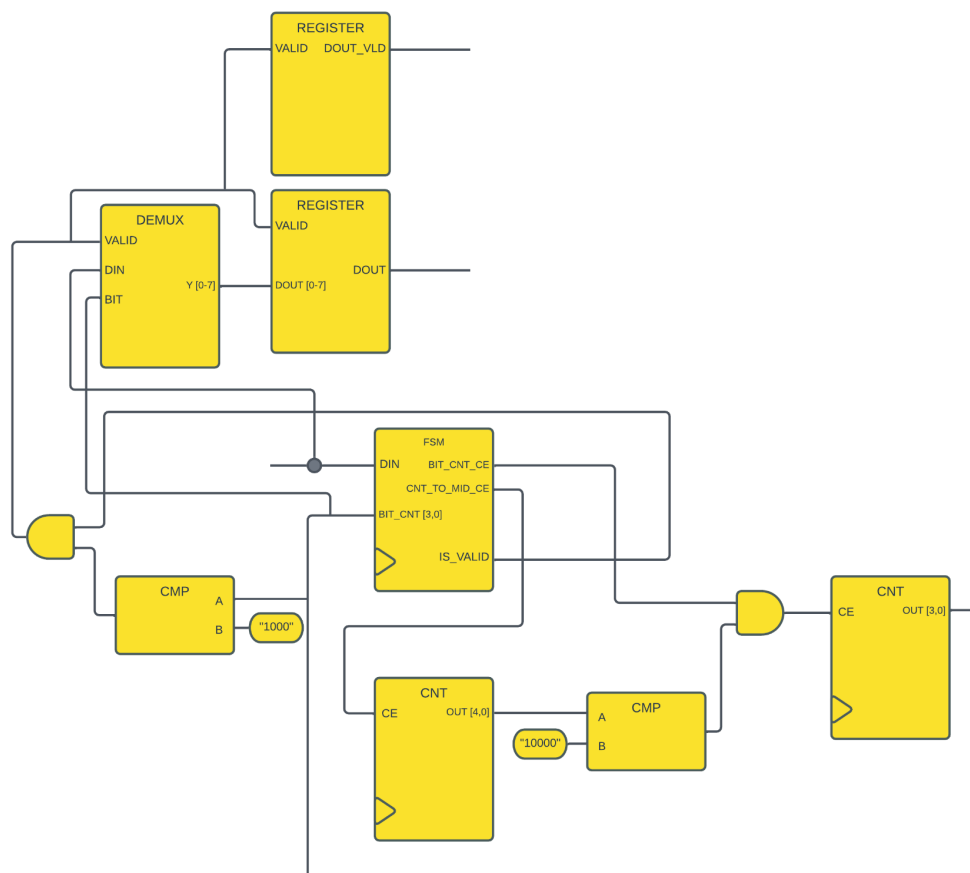
(První část)

Jméno: Turytsia Oleksandr

Login: xturyt00

Architektura navrženého obvodu (na úrovni RLT)

Schéma obvodu



Popis funkce

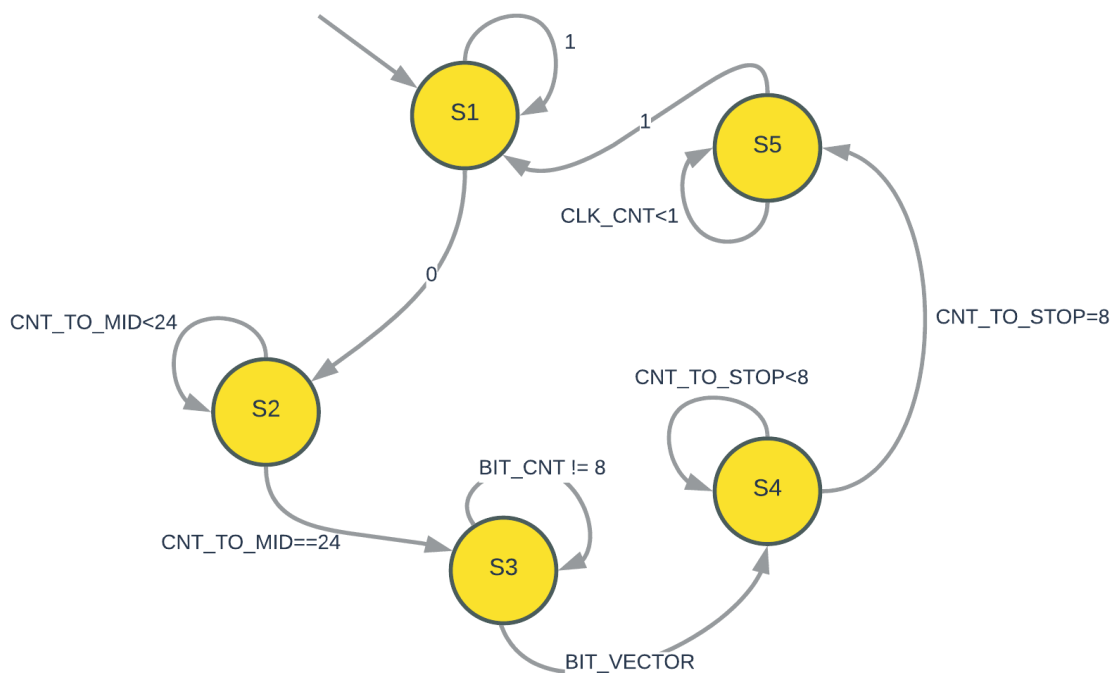
- **RTL** Obvod se skládá z FSM, 2 COUNTERŮ, 2 komparátorů a 2 registrů. (+ logické jednotky)
- **FSM** má 2 vstupy (**DIN** a **BIT_CNT**) a 3 výstupy (**BIT_CNT_CE**, **CNT_TO_MID_CE**), které se mění na základě vstupů. (Např. pokud DIN je 0, tak **BIT_CNT_CE** nastaví na log. 1)

- **CNT_TO_MID** - počítá počet signálů do středu (**MIDBIT**)
- **BIT_KNT** - počítá počet bitů, které přišly na vstup
Komparátory za **CNT_TO_MID** kontrolují, kdy je čas načíst bit a za
- **BIT_CNT** - počet přečtených bitů.
Přes **DEMUX** uložíme slovo do registru a vypíšeme do DOUT, zvlášť pro validaci bude k dispozici registr s DOUT_VLD

Návrh automatu (Finite State Machine)

Schéma automatu

- Stavy automatu: S1, S2, S3, S4, S5
- Vstupní signály: DIN, BIT_CNT, CLK
- Moorovy výstupy: IS_VALID, CNT_TO_MID_CE, BIT_CNT_CE



Popis funkce

Pokud $0_{(START)}$ přijde na vstup S1, přejde na S2-S3 a načte 8 bitů, mezi kterými čeká 24 **CLK** hodinových signálů, aby spočítal střed. Po započítání posledního bitu přejde na S4, přečte si stop bit, přejde na S5, ověří slovo (čeká na 1 **CLK** signál) a vrátí $1_{(STOP)}$ na S1 a čeká na další vstup.