

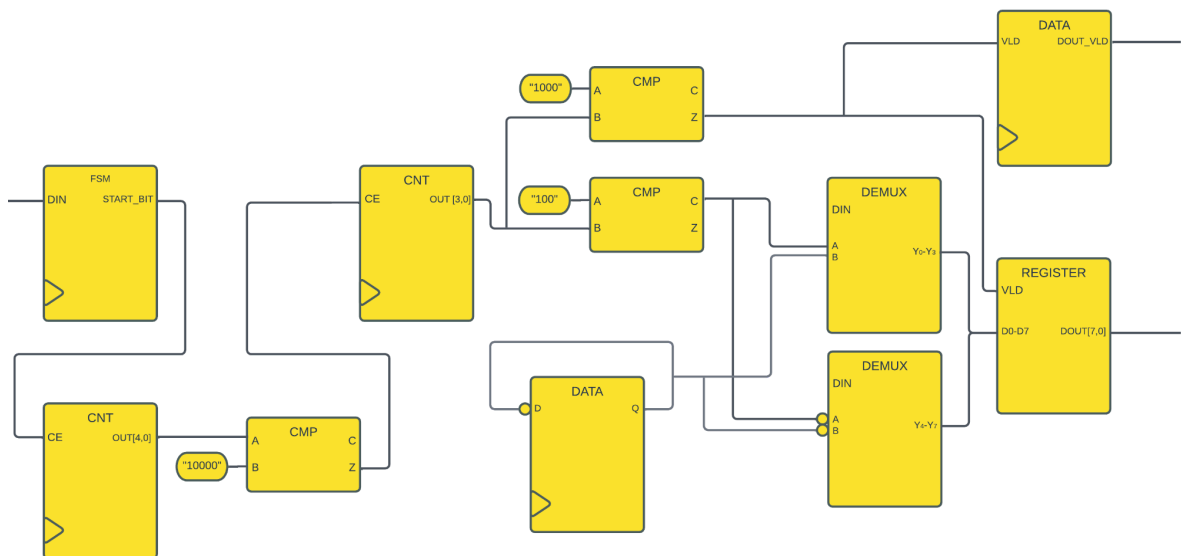
(První část)

Jméno: Turytsia Oleksandr

Login: xturyt00

Architektura navrženého obvodu (na úrovni RLT)

Schéma obvodu



Popis funkce

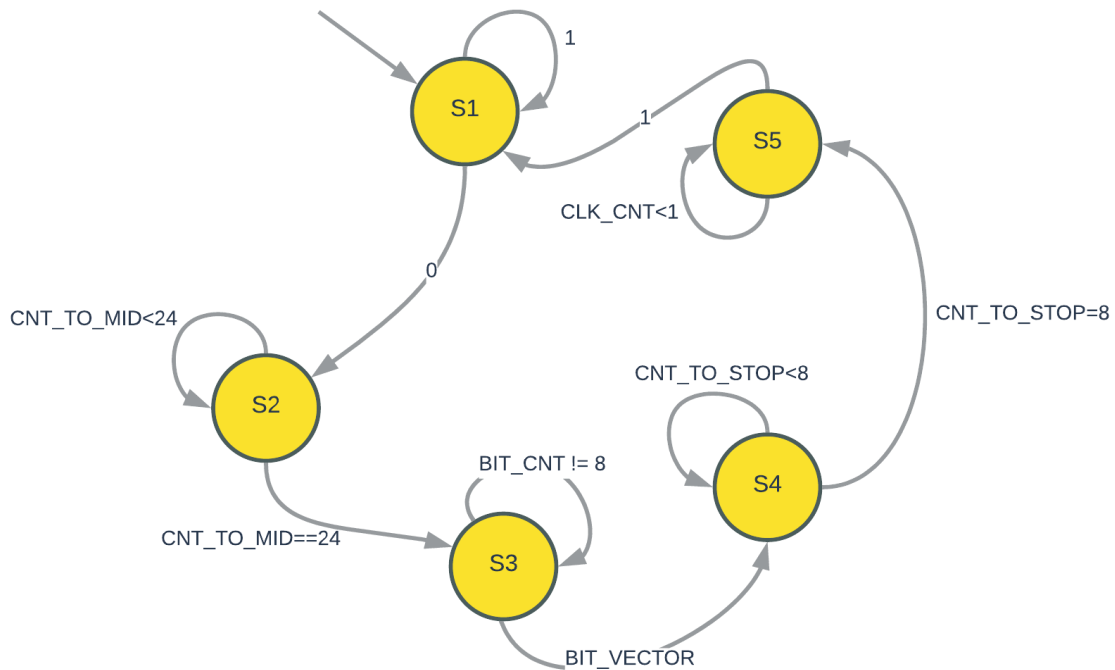
- **RTL** Obvod se skládá z FSM, 2 COUNTERů, 2 Datových registra, 2 komparátorů a 2 registrů pro vector. (+ logické jednotky)
 - **FSM** má 1 vstup (**DIN** a **BIT_CNT**) a 1 výstup (**START_BIT**), které se mění na základě vstupů. (Např. pokud DIN je 0, tak **START_BIT** nastaví na log. 1)
 - **START -> CNT** - počítá počet signálů do středu (**MIDBIT**)
 - **START > CNT > CMP > CNT** - počítá počet bitů, které přišly na vstup
- Komparátory kontrolují, kdy je čas načíst bit a počet přečtených bitů. Přes **DEMUX** uložíme slovo do registru a vypíšeme do DOUT, zvlášť pro validaci bude k dispozici registr s DOUT VLD

*Předpokládáme, že na vstupech **DEMUXu** jsou DIN, protože je editor nemohl přidat

Návrh automatu (Finite State Machine)

Schéma automatu

- Stavy automatu: S1, S2, S3, S4, S5
- Vstupní signály: DIN, CLK
- Moorovy výstupy: START_BIT



Popis funkce

Pokud $0_{(START)}$ přijde na vstup S1, přejde na S2-S3 a načte 8 bitů, mezi kterými čeká 24 **CLK** hodinových signálů, aby spočítal střed. Po započítání posledního bitu přejde na S4, přečte si stop bit, přejde na S5, ověří slovo (čeká na 1 **CLK** signál) a vrátí $1_{(STOP)}$ na S1 a čeká na další vstup.