

## Práctica N° 6. Fundamentos de Maquinas Secuenciales

### 1. Datos de la Práctica

Carrera	INGENIERÍA ELECTRÓNICA		
Semestre		Grupo	
Tipo de Práctica	<input type="checkbox"/> Laboratorio <input type="checkbox"/> Simulación	Fecha	
Asignatura	Electrónica Digital I		
Unidad Temática			
N° Alumnos por práctica	2	N° Alumnos por reporte	2
Nombre del Profesor			
Nombre(s) de Alumno(s)	1. 2.		
Tiempo estimado		Vo. Bo. Profesor	
Comentarios			

### 2. Objetivos

- Conocer la operación de una celda binaria básica.
- Conocer la operación de Flip-Flop tipo D 7474 IC.
- Conocer la operación de Flip-Flop tipo JK. 7476 IC.

### 3. Medios a utilizar

Por cada práctica y por cada puesto de laboratorio, los materiales a utilizar son:

Cantidad	Descripción
1	Computadora (Opcional)4
1	7474(Flip Flop D) y 7476(Flip Flop JK)
1	Kit de Entrenamiento

### 4. Introducción

En este experimento se presenta una nueva clase de dispositivo los cuales pueden mantener una salida dada aun cuando sus entradas dejan de ser aplicadas. Tales dispositivos se dice que poseen memoria. La base de los dispositivos de memoria son los flip-flops. En este experimento se estudian las siguientes clases de flip-flop:

- SET/RESET latches (seguros).
- Flip-Flop J-K disparado por flanco.
- Flip-Flop D disparado por flanco.

El flip-flop J-K elimina las condiciones ambiguas. En lugar de esta condición no válida, el J-K tiene una condición de cambio. Normalmente un FF J-K puede ser operado sincrónicamente debido a que sus entradas J y K necesitan una entrada de reloj por separado para causar que el FF cambie de

estado. Un FF J-K también puede ser operado asincrónicamente y tiene entradas de SET y RESET para facilitar esto.

El flip-flop D es un flip-flop J-K con un inversor entre las entradas J y K. Esto causa que el FF cambie al modo SET o CLEAR con solo una entrada sincrónica. Como el FF J-K el FF D tiene un modo asincrónico.

## 5. Actividades previas

Traer en simulación de Proteus los circuitos de la guía de laboratorio.

**NOTA:** No serán admitidos al Laboratorio sino cumplen con el trabajo previo.

## 6. Desarrollo de la práctica

El flip-flop más fundamental es el latch SET/RESET. Hay dos tipos de latch SET/RESET:

\*Latch SET/RESET con compuertas NAND.

\*Latch SET/RESET con compuertas NOR.

Los niveles de entrada de estos dispositivos determinan su salida. Los latches SET/RESET no tienen entrada de reloj así que se dice que ellos operan asincrónicamente.

### Latch SR con Compuertas NAND

1. Construya un latch SET/RESET con compuertas NAND tal como se muestra en la fig.1.

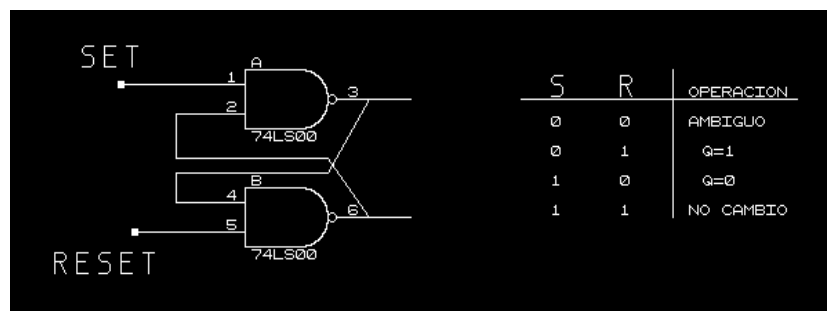


Fig.1

2. Conecte push button normalmente en ALTO a las entradas SET y RESET del circuito.
3. Encienda el circuito. Pulse la entrada SET a BAJO y verifique que Q está en ALTO mientras la salida complementada es BAJA. Ahora pulse la entrada RESET a BAJO y observe que el latch es limpiado(Q=0) y permanece así aun si la entrada es retirada.
4. Pulse alternativamente las entradas SET y RESET a BAJO varias veces. Observe que las salidas están siempre en estados opuestos.

5. Pulse ambas entradas SET y RESET a BAJO simultáneamente y observe los efectos sobre la salida del circuito.

### FLIP-FLOP J-K disparado por flanco

1. Refiérase a la hoja de datos del IC 74LS76 y vea su distribución de pines.
  - a) Monte el IC 74LS76 sobre el tablero y haga las siguientes conexiones:
  - b) Conecte VCC y SET (PRESET) a +5V; GND a tierra.
  - c) Conecte dos interruptores a las entradas J y K.
  - d) Conecte un push button normalmente BAJO a la entrada de reloj CLK.
  - e) Conecte un push button normalmente ALTO a DC RESET.
  - f) Conecte un LED monitor a la salida Q.
2. Energice el circuito y observe el estado de Q y Q negado. Si Q=1 entonces pulse DC RESET momentáneamente a BAJO. Note que esta entrada limpia el flip-flop inmediatamente sin una señal de reloj y que es activa en BAJO.

### Operación Sincrónica

3. En este paso Ud. observará que las entradas J-K pueden ser usadas para cambiar el estado de salida del FF. Ud. También observará que para que estas entradas efectúen un cambio, deberá ser aplicado un pulso de reloj. Por esta razón, las entradas JK y CLK se les conoce como entradas sincrónicas. Verifique esto resolviendo los siguientes pasos:
4. Cambie las entradas J y K poniendo los switches en diferentes posiciones y observe que nada ocurre con Q.
5. Ponga J=1 y K=1, y aplique una transición positiva en CLK. Haga esto presionando y manteniendo el push button para CLK. ¿Qué ocurre con la salida Q?
- \_\_\_\_\_
6. Repita el paso 2 usando una transición negativa en CLK. Haga esto liberando el push button. ¿Qué ocurre con Q? Esto prueba que el FF responde solamente a transiciones negativas. Aplique varios pulsos a la entrada de reloj. ¿Qué ocurre?
- \_\_\_\_\_
7. Si Q = 0 pulse la entrada de reloj para que Q = 1. Ponga J=K=0 y note que nada ocurre con la salida Q. Pulse la entrada de reloj momentáneamente y observe que nada ocurre con Q. ¿Por qué?
- \_\_\_\_\_

8. Ponga  $J=0$  y  $K=1$  y note que nada ocurre con la salida  $Q$ . Pulse la entrada  $CLK$  momentáneamente. ¿Qué ocurre con  $Q$ ? Aplique varios pulsos de reloj y observe que la salida  $Q$  se mantiene en el estado BAJO (0).
  9. Ponga  $J=1$  y  $K=0$ . Aplique un pulso de reloj y observe que la salida  $Q$  cambia a ALTO (1). Aplique varios pulsos de reloj. ¿Qué le ocurre a  $Q$ ?
- 

### **Operación Asincrónica**

10. Las entradas  $SET$  y  $CLEAR$  son entradas asincrónicas que operan independientemente de las entradas sincrónicas  $JK$  y  $CLK$ . Las entradas asincrónicas borran las entradas sincrónicas cuando son activadas. Verifique esto manteniendo la entrada  $CLEAR$  en BAJO y observe que la salida del FF se mantiene en BAJO aun cuando se continúa aplicando pulsos de reloj  $Q$  se mantendrá en BAJO hasta que el primer pulso de reloj sea aplicado después de retirar la entrada de  $CLEAR$  del nivel BAJO.
11. Quite la conexión entre la entrada  $SET$  y  $+5V$ . Ahora conecte la entrada  $SET$  a  $0V$ . Ud. Deberá observar que la salida se mantiene en ALTO tanto tiempo como la entrada de  $SET$  es mantenida en BAJO.

### **FLIP-FLOP D disparado por flanco**

12. Refiérase a la hoja de datos del 74LS74 y vea la distribución de pines. El IC 74LS74 tiene dos FF D individuales con entradas separadas de reloj,  $SET$  y  $CLEAR$ .
13. Monte el IC 74LS74 sobre el tablero de conexiones y haga las siguientes conexiones a uno de los FF D:
  - a) Conecte  $VCC$  y  $SET$  a  $+5V$ ;  $GND$  a tierra.
  - b) Conecte un switch a la entrada  $D$ .
  - c) Conecte un push button normalmente en ALTO a la entrada  $CLK$ .
  - d) Conecte un push button normalmente en ALTO a la entrada  $CLEAR$ .
  - e) Conecte un LED monitor a  $Q$ .

### **Operación Sincrónica**

14. Energice el circuito y observe la salida  $Q$ . Observe que nada ocurre en la salida cuando cambia de posición el switch. Esto es porque la entrada  $D$  es una entrada sincrónica que opera con el reloj.

15. Haga  $Q=0$  pulsando momentáneamente la entrada CLEAR a BAJO. Ponga la entrada D en 1 y aplique una transición negativa a CLK. Haga esto presionando y manteniendo el push button de CLK en BAJO. ¿Qué ocurre con la salida Q?

---

16. Ahora aplique una transición positiva a CLK soltando el push button de CLK. ¿Qué ocurre? Esto prueba que el FF responde solamente a transiciones positivas.

17. Ponga  $D=0$  y pulse CLK momentáneamente. Esto debería regresar Q a 0.

### **Operación Asincrónica**

18. Para ambas entradas SET y RESET verifique lo siguiente:

- Las entradas se activan en BAJO y no requieren un pulso de reloj para activarse.
- Las entradas borran a las entradas sincrónicas.

### **7. Orientaciones del Profesor**

- Recomendaciones para el montaje, por ejemplo, solicitar los componentes al responsable de laboratorio, energizar el circuito después de la debida aprobación del profesor, etc.
- Escoger dos de los cuatros problemas resueltos para su debido montaje en físico.

### **8. Obligaciones Del Estudiante**

El estudiante deberá conocer de antemano la asignación de pines de los IC's a utilizar y, al final del laboratorio deberá mostrar al profesor el funcionamiento de cada circuito, así como los esquemas de conexiones utilizados en la práctica.

### **9. Reporte de Laboratorio**

El reporte se entregará en un archivo comprimido y deberá incluir:

- Tabla de verdad de los circuitos.
- Simulaciones en Proteus de los Ejercicios antes mencionados.