



南京理工大学  
NANJING UNIVERSITY OF SCIENCE & TECHNOLOGY

# 计算机组成原理 实验一报告

班 级 \_\_\_\_\_ 9191062301

学生姓名 \_\_\_\_\_ 孙傲歆

学 号 \_\_\_\_\_ 919106840333

任课教师 \_\_\_\_\_ 王晓峰

2021 年 11 月

# 实验一 加法器实验

## 1. 实验目的:

1. 熟悉 LS-CPU-EXB-002 实验箱和软件平台 vivado
2. 掌握利用该实验箱各项功能开发组成原理实验的方法
3. 理解并掌握加法器的原理和设计
4. 熟悉并运用 verilog 语言进行电路设计

## 2. 实验设备:

1. 装有 Xilinx Vivado 的计算机一台
2. LS-CPU-EXB-002 教学系统实验箱一套

## 3. 实验内容:

1. 熟悉硬件平台，学习软件平台和设计流程
2. 熟悉计算机中加法器的原理并使用 verilog 语言编写相应代码
3. 对编写的代码进行仿真，得到正确的波形图
4. 将以上设计作为一个单独的模块，设计一个外围模块去调用它，外围模块中需要调用封装好的触摸屏模块，输入两个操作数并显示运算结果
5. 进行综合布局布线，下载到实验箱的 FPGA 板上进行演示

## 4. 实验原理:

此次实验要求实现一个最为简单的器件——加法器，只需定义好三个输入操作数（操作数 1，操作数 2，低位进位），两个输出操作数（计算结果，高位进位），然后直接使用“+”，会自动调用库里的加法器。这样便实现了加法器的功能。

## 5. 实验代码:

由于实验的调用 FPGA 板上的 IO 接口和触摸屏的相关代码已经给出，且其代码量较大，这里仅展示主要部分的代码以及引脚代码。

### 1) adder.v

```
module adder(  
    input  [31:0] operand1,  
    input  [31:0] operand2,  
    input          cin,  
    output [31:0] result,
```

```

        output        cout
    );
    assign {cout,result} = operand1 + operand2 + cin;
endmodule

```

## 2) adder\_display.v

//触摸屏输入

```

begin
    if (!resetsn)
    begin
        adder_operand1 <= 32'd0;
    end
    else if (input_valid && !input_sel)
    begin
        adder_operand1 <= input_value;
    end
end

```

```

end
always @(posedge clk)
begin
    if (!resetsn)
    begin
        adder_operand2 <= 32'd0;
    end
    else if (input_valid && input_sel)
    begin
        adder_operand2 <= input_value;
    end
end

```

end

//触摸屏输出

```

always @(posedge clk)
begin
    case(display_number)
        6'd1 :
        begin
            display_valid <= 1'b1;
            display_name  <= "ADD_1";
            display_value <= adder_operand1;
        end
        6'd2 :
        begin
            display_valid <= 1'b1;
            display_name  <= "ADD_2";
            display_value <= adder_operand2;
        end
    end
end

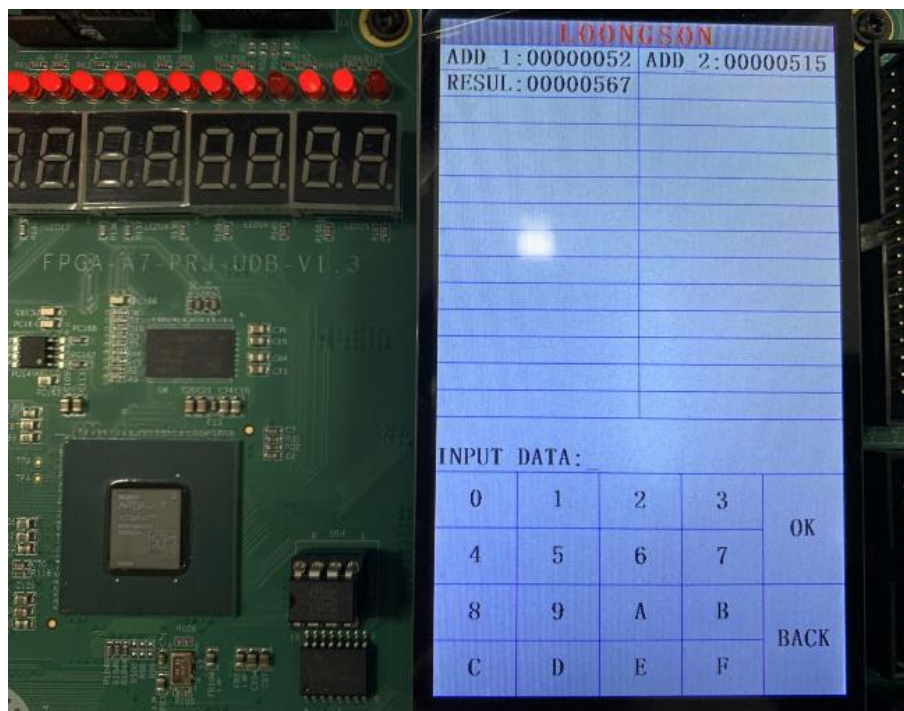
```

```

6'd3 :
begin
    display_valid <= 1'b1;
    display_name  <= "RESUL";
    display_value <= adder_result;
end
default :
begin
    display_valid <= 1'b0;
    display_name  <= 40'd0;
    display_value <= 32'd0;
end
endcase
end

```

## 6. 结果分析：



如上图所示，是该实验的上板验证结果，其中 ADD\_1 和 ADD\_2 是两个源操作数，RESULT 则是两个数相加的结果。led 灯用于显示进位情况（这里由于两数相加未产生进位，所以没有体现）。

## 7. 心得体会：

此次实验是实现加法器，虽然实现的器件本身十分简单，但是由于以前计算机逻辑基础实验中，我们并没使用过这个触摸屏，所以如何正确地调用触摸屏

对我来说是一个考验。我通过读老师所提供的代码，对触摸屏模块的调用有了一个基本的认识，然后通过不断尝试最终完成了实验。

本次实验对我来说十分有趣，因为这个触摸屏对我来说本身是一个十分新颖且有趣的东西。其次本次实验也帮助我重温了 verilog 代码的相关知识，之前在计算机逻辑基础实验中也编写过 verilog 代码，但基本都比较基础。希望在后面的几次实验中再接再厉，学到更多的东西。