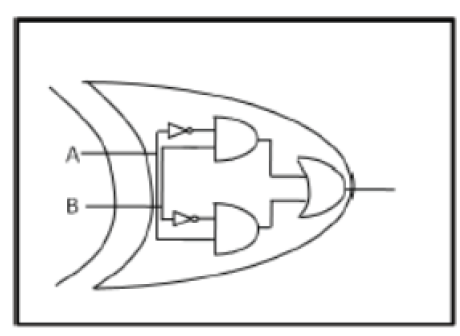
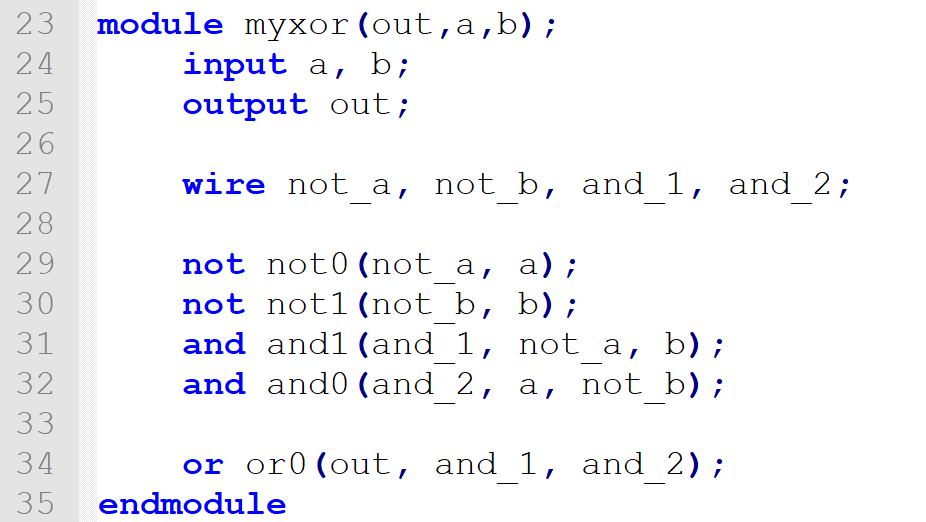
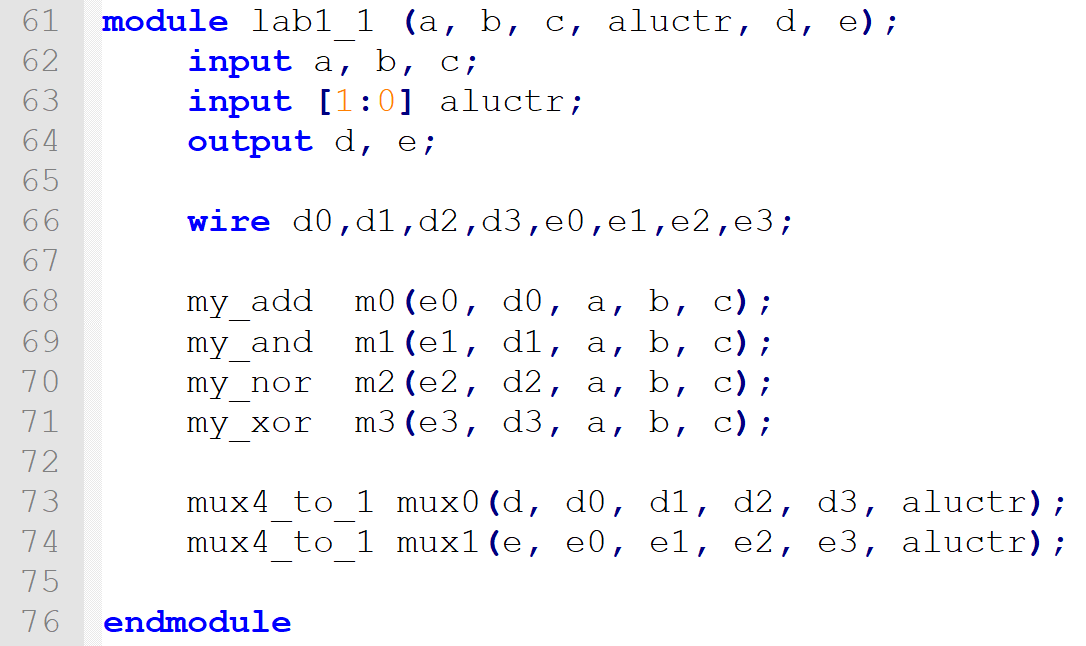
|  |
| --- |
| **EECS 2070 02 Digital Design Labs 2019**  **Lab 1** |
| **學號：104021215 姓名：熊磊** |

1. 實作過程

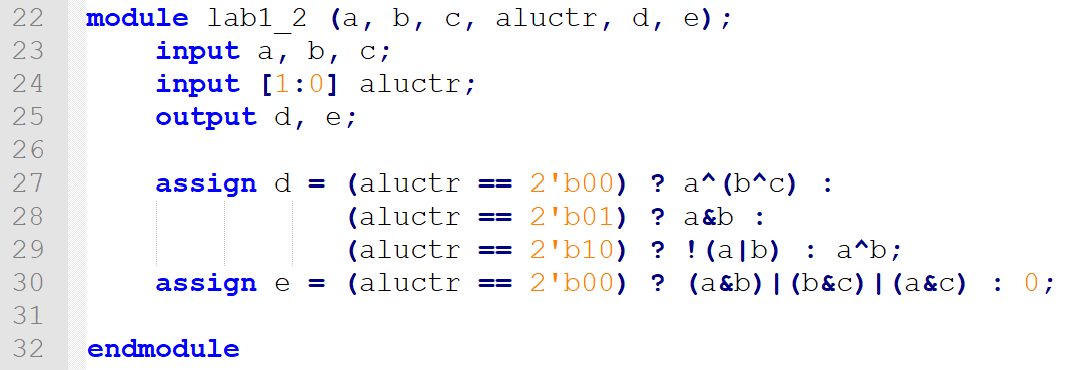
* 首先要實作myxor，我使用助教提供的設計用兩個AND Gates和兩個NOT Gates，和一個OR Gate，拚出一個XOR Gate。

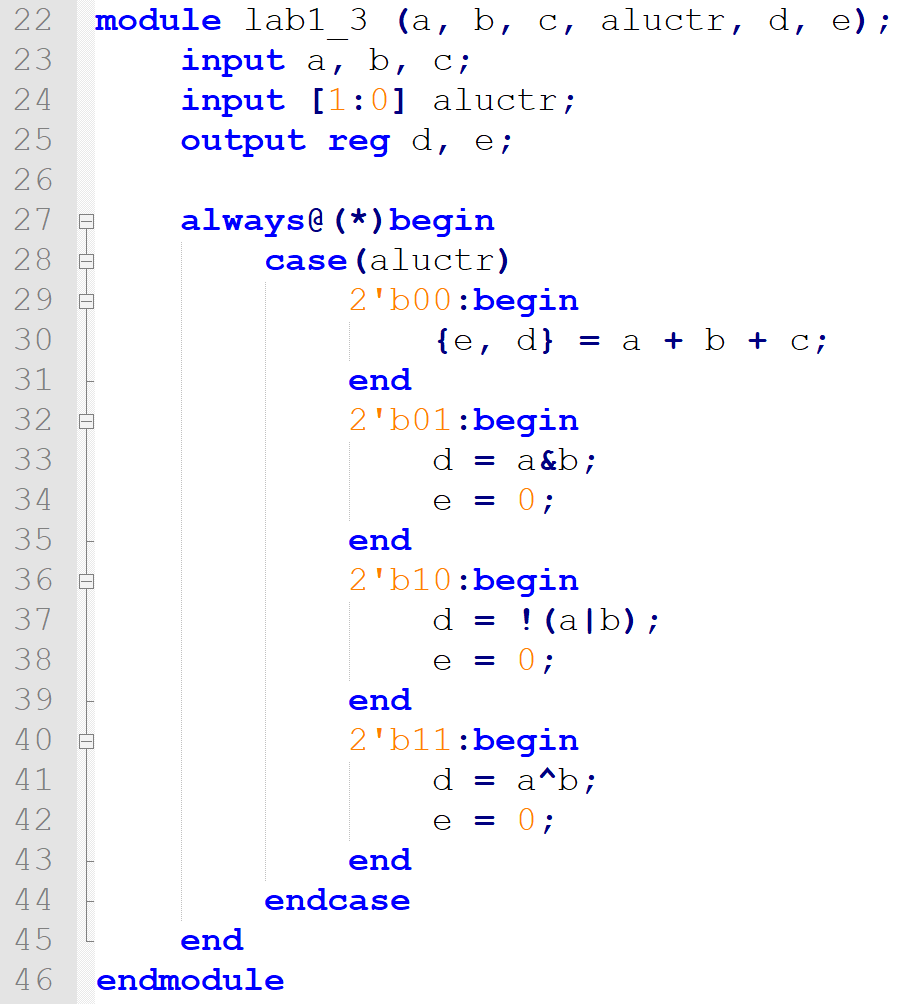
 

* 接著是實作lab1\_1，這個要求只能使用AND、OR、NOT、myxor、mux4\_to\_1等來實作，因此我的作法是寫4個my\_add、my\_and、my\_nor、my\_xor的module，裡面分別都是用gate level description來描述，最後再從lab1\_1用mux4\_to\_1來選擇d、e的值。

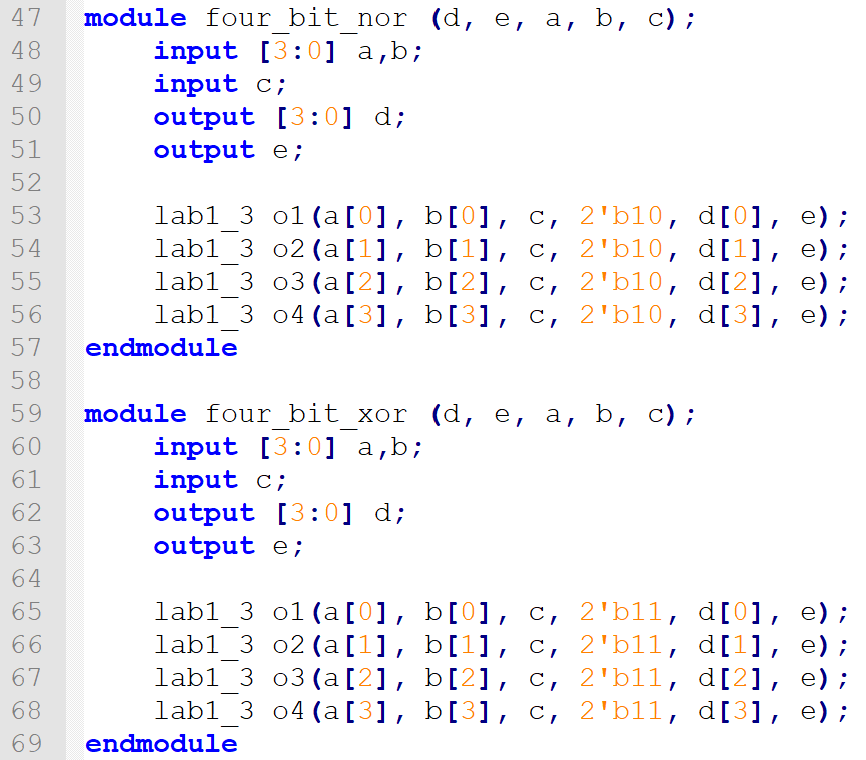
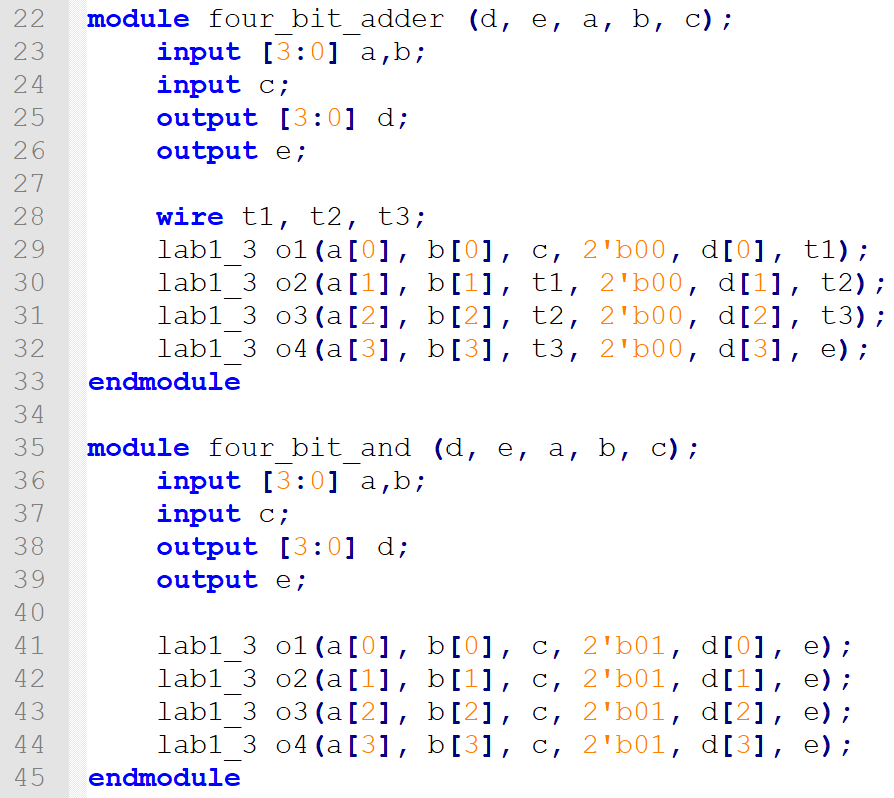


* lab1\_2、lab1\_3因為可以用data flow modeling和behavioral modeling，因此比較簡單，可以直接assign值或是用always block來implement。

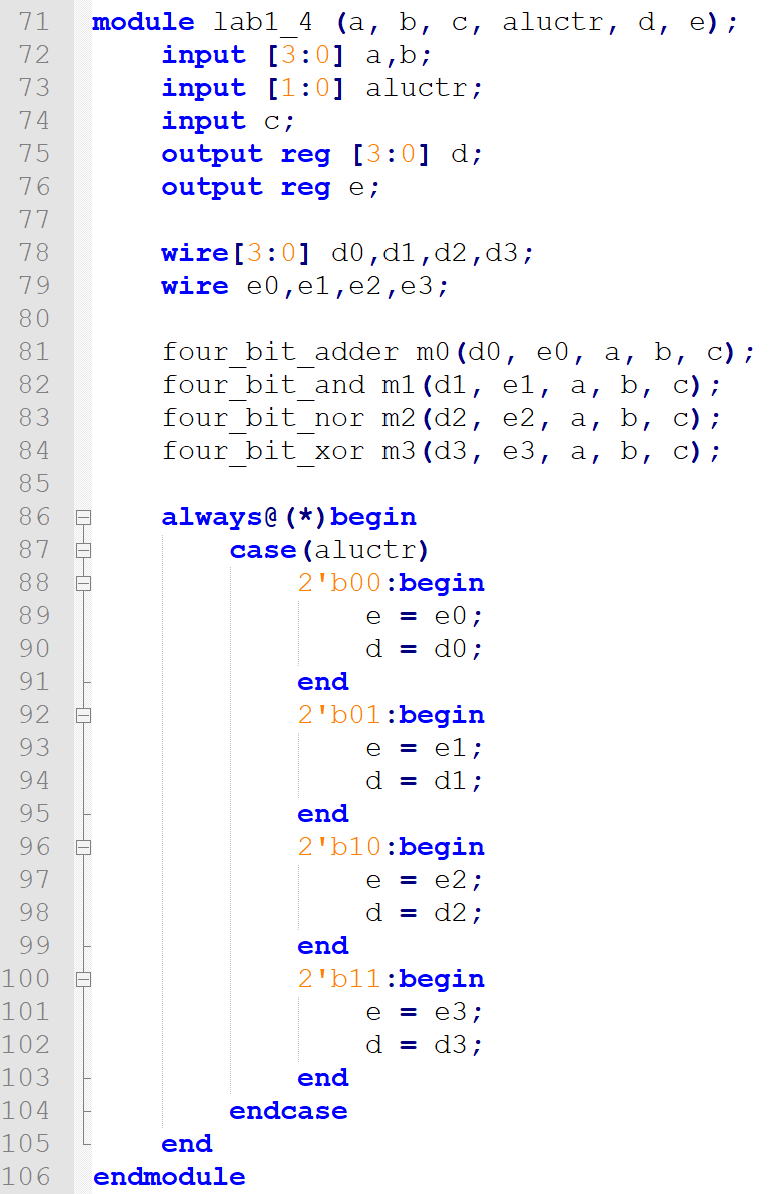
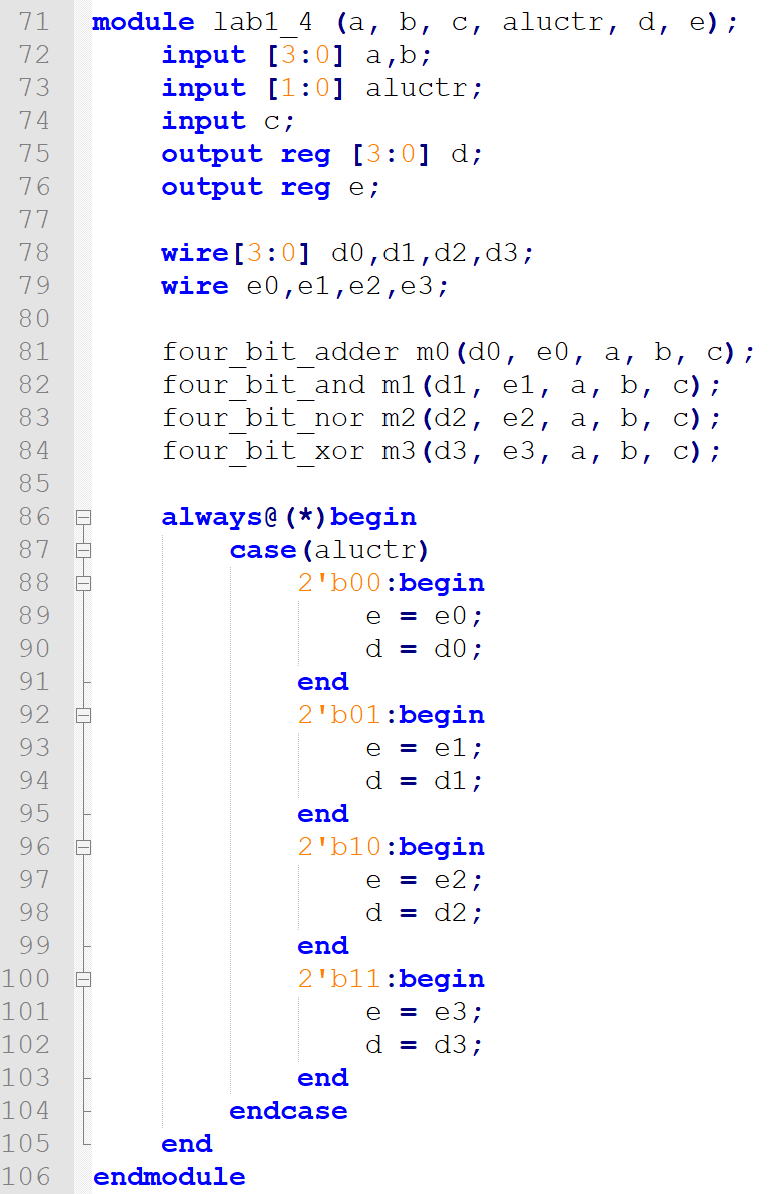


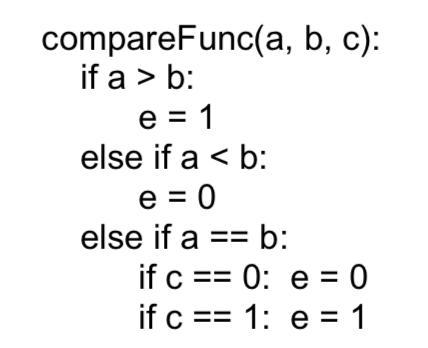


* lab1\_4因為要使用1 bit來組成4 bits的adder、AND、NOR、XOR，我先在lab1\_4的外面先做4個four\_bit\_adder、four\_bit\_and、four\_bit\_nor、four\_bit\_xor，裡面都是instantiate lab1\_3，其中adder因為會有carry out，所以我們要從LSB加到MSB，把前一位的Carry Out放到下一位的input。



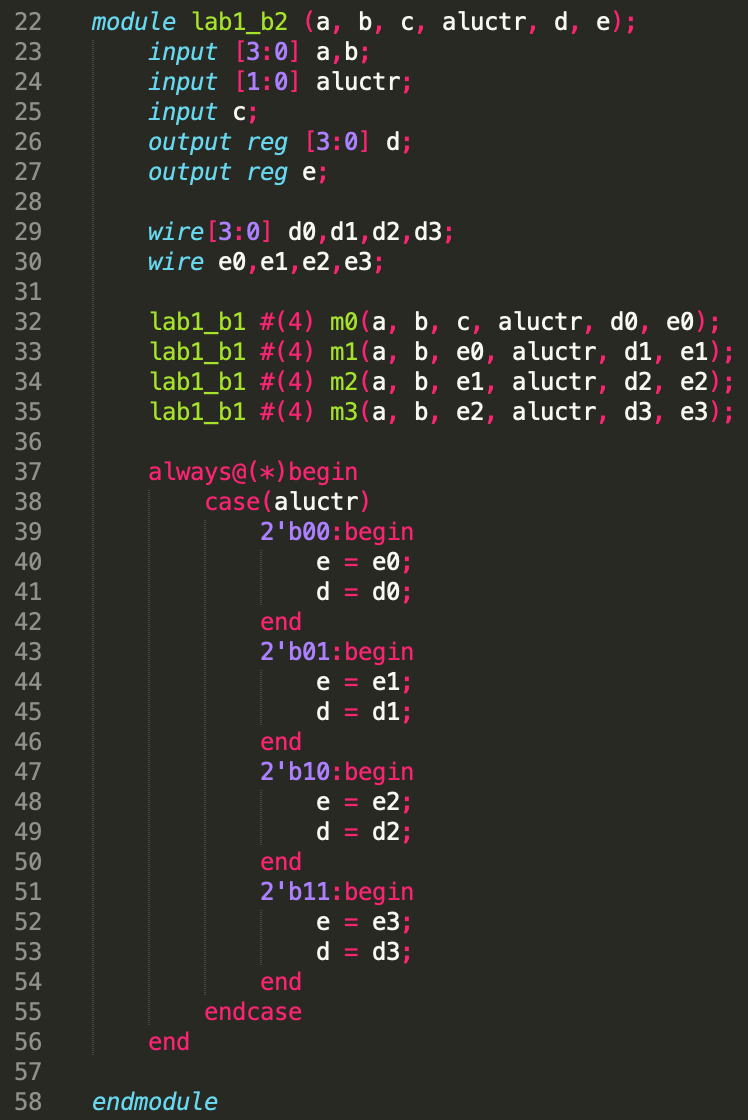
接著我用always block來作給值



* Bonus1的部分是要把其中一個function改成cmpFunc，為了方便lab1\_b2可以直接使用這個module，因此我在這個module中使用parameter，當作input a, b的bit數。後面將comp\_e這個wire接在always block中，當aluctr是10時的e。而comp\_e如Spec所提要求。  
  



* 因為lab1\_b1已經設計好對於n bits都適用的compFunc，因此我在lab1\_b2中直接instantiate lab1\_b1。



1. 學到的東西與遇到的困難

第一次Lab剛開始，所以還蠻簡單的，遇到的困難就是看到spec中有一句話「The c represents the result of the previous bit. If there is no previous bit, c is 0.」有點看不太懂是什麼意思，後來Demo時有問助教，所以弄清楚了！

1. 想對老師或助教說的話

謝謝助教/老師花時間幫我們Demo，第一次Report不知道要寫什麼，想問助教有沒有期末project的ideas (?