

Trabalho 2
Sistemas Digitais 2014/1

Projeto Multiplicação de Matrizes

Do fluxograma ASM ao VHDL

Definição do tamanho matrizes

- Matrizes A e B 6x6 cada com dados de 8 bits

$$\begin{bmatrix} A00 & A01 & A02 & A03 & A04 & A05 \\ A10 & A11 & A12 & A13 & A14 & A15 \\ A20 & A21 & A22 & A23 & A24 & A25 \\ A30 & A31 & A32 & A33 & A34 & A35 \\ A40 & A41 & A42 & A43 & A44 & A45 \\ A50 & A51 & A52 & A53 & A54 & A55 \end{bmatrix} \times \begin{bmatrix} B00 & B01 & B02 & B03 & B04 & B05 \\ B10 & B11 & B12 & B13 & B14 & B15 \\ B20 & B21 & B22 & B23 & B24 & B25 \\ B30 & B31 & B32 & B33 & B34 & B35 \\ B40 & B41 & B42 & B43 & B44 & B45 \\ B50 & B51 & B52 & B53 & B54 & B55 \end{bmatrix} =$$

$$\begin{bmatrix} A00 * B00 + A10*B10 + \dots A05*B50. \\ A10 * B00 + A11*B10 + \dots A15*B50. \end{bmatrix}$$

Definição: matrizes gravadas em memória

- Organização dos dados da memória

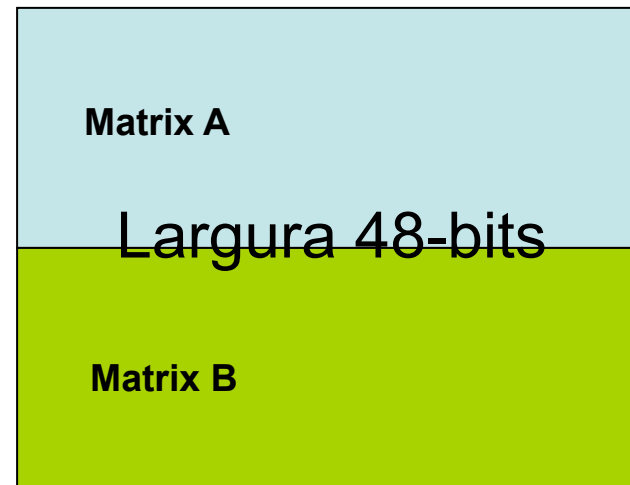
Solucao A



Largura 8-bits

Single port (versao 1)
Dual port (versao 2)

Solucao B



Largura 48-bits

Single port (versao 1)
Dual port (versao 2)

Projeto PC-PO

- Solucao A (versao 1)
 - Solucao A (versao 2)
 - Solucao B (versao 3)
 - Solucao B (versao 4)
-
- Mostre o fluxograma ASM para duas soluções escolhidas
 - Esquematico do Datapath com a(s) memorias
 - Maquina de estados do Controle
- Medidas:
- Area das soluções
 - Tempo de operação em ciclos de relógio
 - frequencia

Apresentação final

- Mostrar simulação sem e com atraso
- Mostrar implementação na placa. A interface para apresentar os resultados é livre.