

Tema 3. Elementos básicos de la lógica secuencial

3.0. Documentación



Documentos Tema 3

https://s3-us-west-2.amazonaws.com/secure.notion-static.com/c0966051-8294-4822-ae24-9144687272bc/U3_ElementosBsicos.pdf

https://s3-us-west-2.amazonaws.com/secure.notion-static.com/bc6b3eec-316c-4436-9d83-4ad6d8d8f37f/U3_Secuenciales_Enunciados.pdf

https://s3-us-west-2.amazonaws.com/secure.notion-static.com/f1de817b-5aaa-41a3-946d-291ac476f5e0/U3_Secuenciales_Soluciones.pdf

3.1. Circuitos secuenciales

Un **circuito secuencial** se caracteriza por tener **memoria**, lo que hace que ante una situación con una misma entrada, la salida pueda ser distinta, dependiendo del **estado**.

El **estado** es la situación lógica en la que se encuentra el circuito en un momento dado, es decir, la combinación de la entrada y la memoria. Para poder implementar un circuito secuencial es necesario conocer el estado inicial del mismo.

Cada bit de información del estado se guarda en una **biestable**.

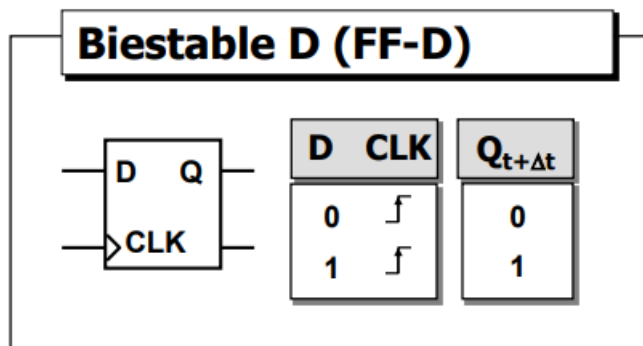
3.1.1. Tipos de sistemas secuenciales

Los sistemas o circuitos secuenciales se clasifican según la influencia del tiempo en el mismo:

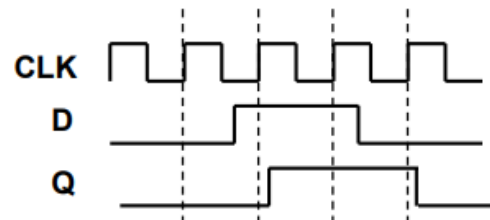
- Circuitos secuenciales asíncronos. Los cambios en el estado los produce el cambio de una entrada.
- Circuitos secuenciales síncronos. Los cambios en el estado solo se producen cuando se dan cambios en el “reloj”. Los circuitos síncronos pueden ser activos por:
 - Nivel. El estado se actualiza cuando el “reloj” se encuentra en el nivel 1 (activo a nivel alto) o en el nivel 0 (activo a nivel bajo).
 - Flanco. El estado se actualiza cuando el “reloj” se encuentra en un flanco. Pueden ser activos en el flanco de subida, en el de bajada o en ambos (poco frecuente).

3.1.2. Tipos de biestables

Biестable D



Cronograma del funcionamiento de un biestable D:

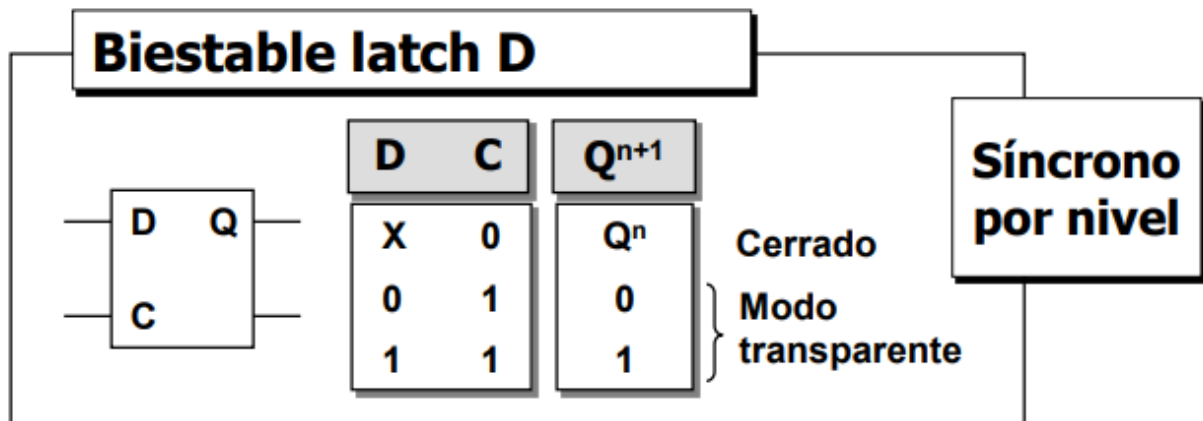


Tiempos de inserción de la señales de datos:

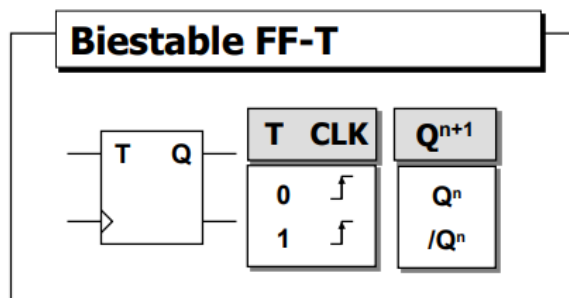
- $t_{set\ up}$. Tiempo que debe estar el dato antes de que se active el reloj.
- t_{hold} . Tiempo que está el dato tras el flanco de reloj.
- t_{delay} . Tiempo que tarda la salida en estar tras el flanco de reloj.

Estos tiempos en su conjunto determinan la frecuencia máxima a la que funciona un circuito.

Biastable latch D

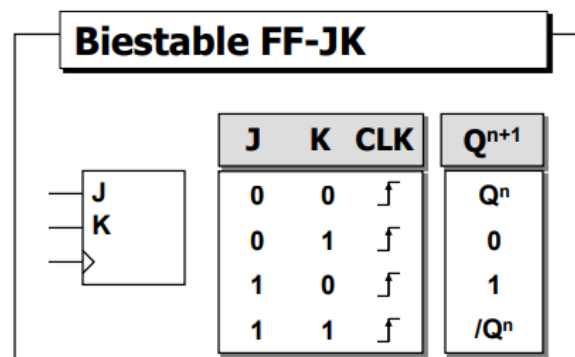


Biastable FF-T



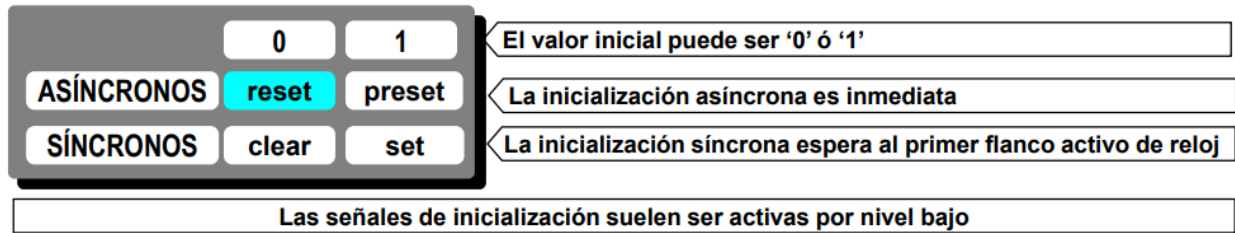
Cuando llega el flanco activo, si la entrada es un 0, mantiene el estado anterior, mientras que si la entrada es un 1, esta cambia.

Biastable FF-JK



En función de la combinación de las entradas cuando llega al flanco la salida se sitúa en 0, 1, se cambia la anterior o se mantiene.

3.2. Inicialización de un biastable



3.3. Carga de un biestable

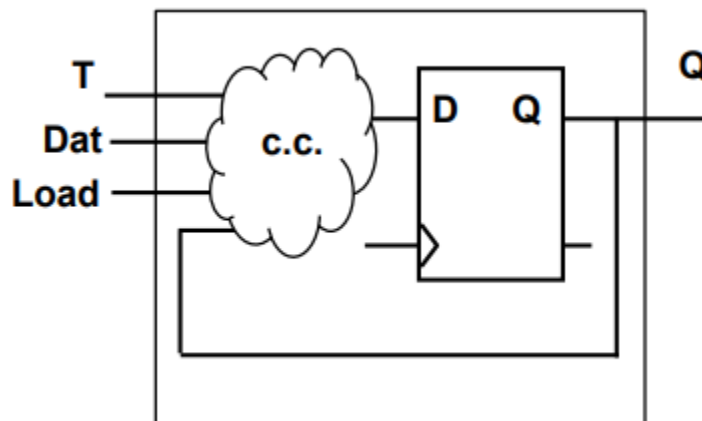
En los biestables síncronos, existe la posibilidad de cargar a 0 o a 1 por medio de una entrada especial denominada entra de carga (load). Similar al “enable” de los circuitos combinacionales.

3.4. Registros

Un registro es un sistema secuencial formado por un conjunto de biestables del mismo tipo que comparten la misma señal de reloj. Existen dos tipos:

- Registro de desplazamiento: la salida de un biestable se conecta a la entrada del biestable de nivel superior.
- Registro con entrada de carga: Una señal de carga, L , permite cargar síncronamente en el registro cualquier valor deseado.

3.5. Conversión de circuitos



TQn	Qn	Qn*	D
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

$$D = T \oplus Q_n \Rightarrow XOR$$

DQn	Qn	Qn*	JK
0	0	0	0X
0	1	0	X1
1	0	1	1X
1	1	1	X0

$$J = D; K = \bar{D} \img alt="Owl icon" data-bbox="275 418 300 438"/>$$