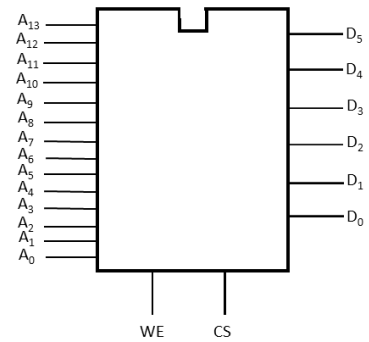


## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Componentes de memorización

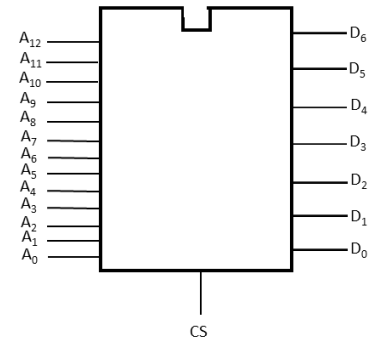
**U5.1.** Se dispone de un chip de memoria como el dibujado en la figura. Responda a las siguientes preguntas, justificando en cada caso la respuesta:

- ¿Es una memoria ROM o RAM?
- ¿Cuál es su tamaño de palabra?
- ¿Cuál es su capacidad en bits? Utilizar en la respuesta el término kilo (k), mega (M), giga (G), etc... que corresponda.



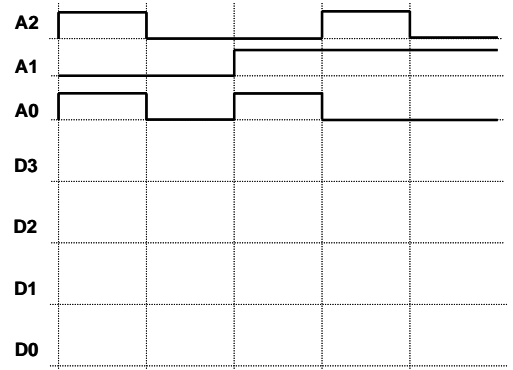
**U5.2.** Se dispone de un chip de memoria como el dibujado en la figura. Responda a las siguientes preguntas, justificando en cada caso la respuesta:

- ¿Es una memoria ROM o RAM?
- ¿Cuál es su tamaño de palabra?
- ¿Cuál es su capacidad en bits? Utilizar en la respuesta el término kilo (k), mega (M), giga (G), etc... que corresponda.



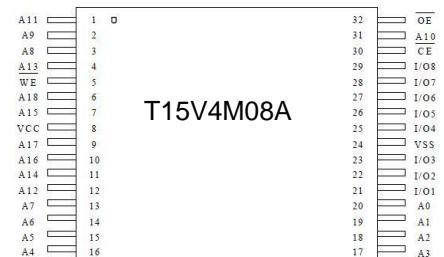
**U5.3.** Justificando cada respuesta señale:, señale justificando la respuesta:

- En un chip cualquiera de memoria RAM, señale el tipo de pines que necesariamente tiene que tener. Indique si son entradas, salidas o bidireccionales (entrada-salida).
- En un chip de memoria ROM de 64 kBytes, con 8 pines para datos, señale el número de pines de dirección que debe tener.
- Se tiene una memoria ROM con 3 pines de dirección y 4 de datos, siendo A<sub>2</sub> y D<sub>3</sub> los más significativos respectivamente. El contenido de la memoria, de la dirección más baja a la más alta, y expresado en hexadecimal, es: 7-A-9-C-D-2-4-E. Con esa información, complete el cronograma facilitado.

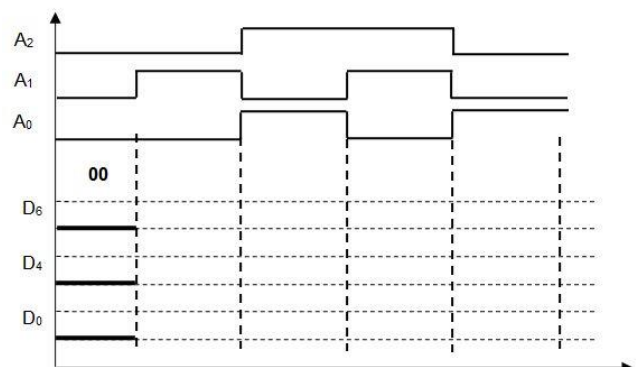
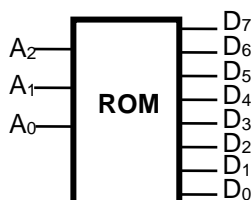


**U5.4.** En la figura se muestra la distribución de pines del chip de memoria de referencia T15V4M08A con un encapsulado de 32 pines. A la vista del dibujo se pide, justificando en cada caso la respuesta:

- El tipo de memoria RAM o ROM.
- El tamaño de los buses de direcciones y datos
- El tamaño (capacidad) en bytes de la memoria.



**U5.5.** Un sistema utiliza una pequeña memoria de ROM DE 8 bytes como la indicada en la figura, utilizada como un elemento de control. El contenido, escrito en fábrica, es 00-D3-FA-6D-E8-46-F0-FF, donde 00 es el byte escrito en la dirección más baja y FF en la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.

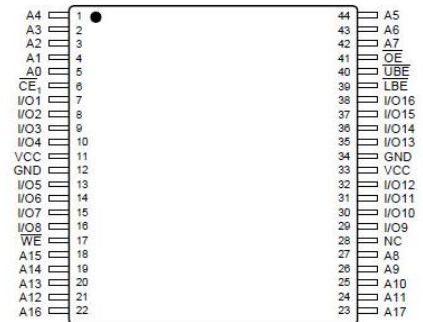


## FUNDAMENTOS DE COMPUTADORES

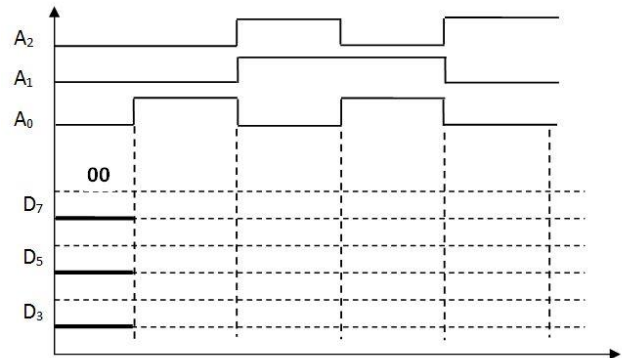
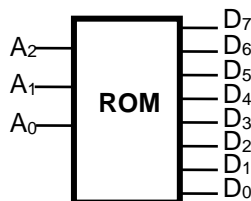
### EJERCICIOS U5: Componentes de memorización

**U5.6.** En la figura se muestra la distribución de pines del chip de memoria de referencia VS2C2164096 con un encapsulado de 44 pines. A la vista del dibujo se pide, justificando en cada caso la respuesta:

- El tipo de memoria RAM o ROM.
- El tamaño de los buses de direcciones y datos
- El tamaño (capacidad) en bytes de la memoria.

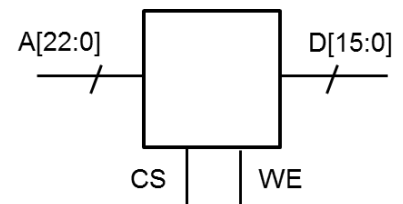


**U5.7.** Un sistema utiliza una pequeña memoria de ROM DE 8 bytes como la indicada en la figura, utilizada como un elemento de control. El contenido, escrito en fábrica, es 00-E4-FA-D8-6D-D3-F0-FF, donde 00 es el byte escrito en la dirección más baja y FF en la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.

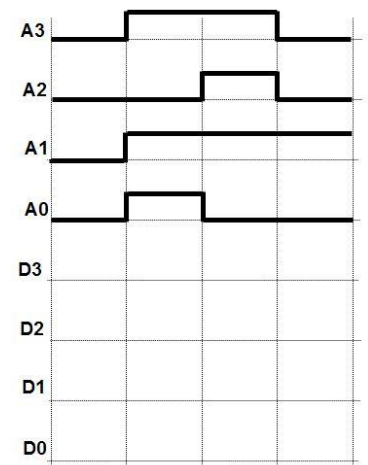


**U5.8.** En la figura se muestra la distribución de pines de un chip de memoria. Se pide:

- El tipo de memoria RAM o ROM justificando la respuesta (sin justificación no habrá calificación).
- El tamaño (capacidad) en bytes de la memoria, justificando cómo obtiene dicha cantidad.
- La dirección (entrada, salida o entrada/salida) de cada pin de la figura.



**U5.9.** Se tiene una memoria con cuatro pines de dirección, A[3:0], y otros cuatro de datos, D[3:0], siendo en cada caso el pin de índice 3 el más significativo. El contenido de la memoria expresado en hexadecimal es: A -B-0-1-6-9-D-8-9-D-E-2-D-2-D-3, donde A es el contenido de la dirección más baja y 3 el de la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura adjunta.



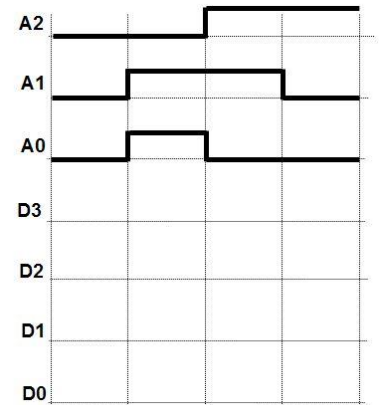
**U5.10.** a) Dada una memoria con 21 bits de dirección y 32 de datos, se pide su tamaño en bytes justificando cómo se obtiene dicha cantidad.

b) Dada una memoria de 512 kBytes con un bus de datos de 16 bits, se pide el número de bits del bus de direcciones.

## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Componentes de memorización

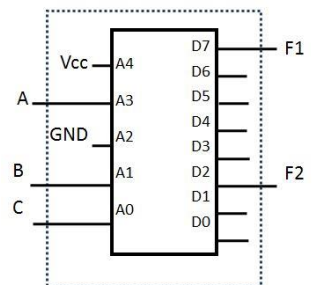
**U5.11.** Se tiene una memoria con tres pines de dirección, A[2:0], y cuatro de datos, D[3:0], siendo en cada caso el pin de índice 0 el menos significativo. El contenido de la memoria expresado en hexadecimal es: 5-C-7-4-F –B-2-6, donde 5 es el contenido de la dirección más baja y 6 el de la dirección más alta. Con la información facilitada se pide completar el cronograma de la figura inferior.



**U5.12.** Se ha diseñado un circuito lógico combinacional que tiene 3 entradas, A, B y C y dos salidas, F1 y F2. Para simplificar su implementación se ha utilizado una memoria de 32 x 8 (32 posiciones de 8 bits de datos cada una de ellas). Las conexiones de las variables de entrada (A, B, y C) y las funciones de salida (F1 y F2) con la memoria se muestran en la figura.

Dir.	Dato	Dir.	Dato
0	0A	16	A1
1	12	17	B2
2	37	18	C3
3	CA	19	E4
4	FE	20	F5
5	F4	21	06
6	FF	22	17
7	4F	23	28
8	BA	24	39
9	23	25	4A
10	A2	26	5B
11	93	27	6C
12	6F	28	7D
13	E3	29	8E
14	E3	30	9F
15	C6	31	00

El contenido de la memoria se muestra en la tabla adjunta.



Se pide:

- Obtener la expresión canónica de las funciones F1 y F2
- Obtener la expresión minimizada de F1 y F2

## FUNDAMENTOS DE COMPUTADORES

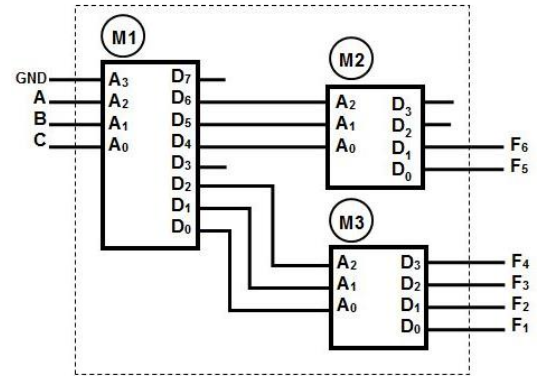
### EJERCICIOS U5: Componentes de memorización

**U5.13.** Para la realización de cierto circuito combinacional complejo, con múltiples funciones de salida, se han utilizado una serie de memorias conectadas tal y como muestra la figura. El contenido de cada memoria se muestra en las tablas de la derecha.

Memoria 1			
Dir.	Dato	Dir.	Dato
00	A5	08	B0
01	47	09	B0
02	8C	0A	CA
03	9C	0B	FE
04	FF	0C	C0
05	3F	0D	A1
06	7E	0E	AA
07	C1	0F	AB

Memoria 2	
Dir.	Dato
00	F
01	B
02	D
03	3
04	1
05	0
06	C
07	3

Memoria 3	
Dir.	Dato
00	A
01	B
02	B
03	F
04	D
05	E
06	5
07	5

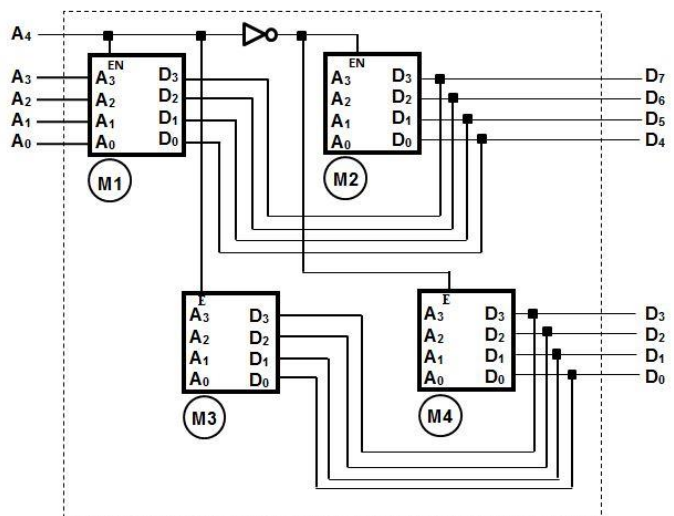


Se pide, justificando la respuesta:

- Expresión canónica de la función F6
- Expresión minimizada de la función F1

**U5.14.** Mediante la conexión de una serie de 4 memorias ROM con señal de habilitación activa en alto, se ha configurado una memoria de mayor dimensión según se muestra en la figura adjunta.

- Indique, justificando brevemente la respuesta, el tamaño de la memoria total dispuesta y la arquitectura del circuito diseñado.
- Sabiendo que el contenido de algunas de las posiciones de memoria que forma el conjunto es el mostrado en la tabla adjunta.



Memoria Total Conjunta									
Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato	Dir.	Dato
00	A5	06	7E	0A	CA	15	0C	1C	D3
01	47	07	C1	0B	FE	16	C0	1D	EE
02	8C	08	B0	10	FA	17	3A	1E	5E
03	9C	09	B0	11	BA	18	A2	1F	55

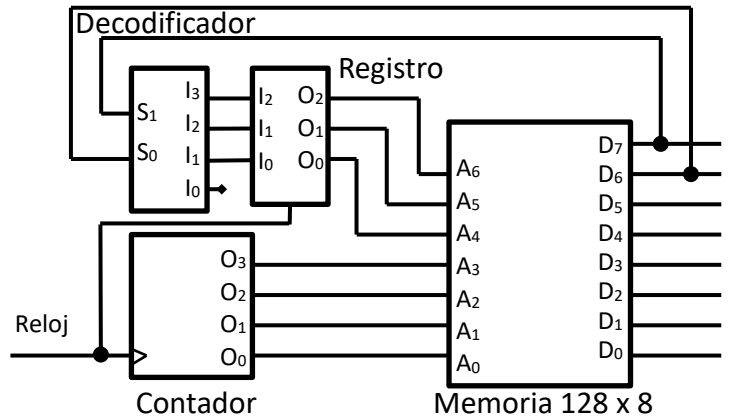
Para cada una de las memorias individuales, determine el contenido de las direcciones: 0, 5 y D para M1; 0, 3 y A para M2; 1, 8 y F para M3 y 2, 7 y B para M4.

## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Componentes de memorización

**U5.15.** En la figura se muestra un circuito formado por una memoria de 128 x 8, un contador de binario natural de 4 bits y un decodificador de 2 a 4 bits con las salidas registradas, tal y como señala la figura. Sabiendo que el contenido de la memoria es el mostrado en la tabla adjunta, se pide:

- Determinar de forma razonada si hay alguna posición de memoria que nunca se pueda direccionar.
- Partiendo de una situación de *reset* inicial, que pone a cero el registro y el contador, determinar la secuencia de valores en el bus de datos de la memoria para los 8 primeros pulsos de reloj. Justificar la respuesta.

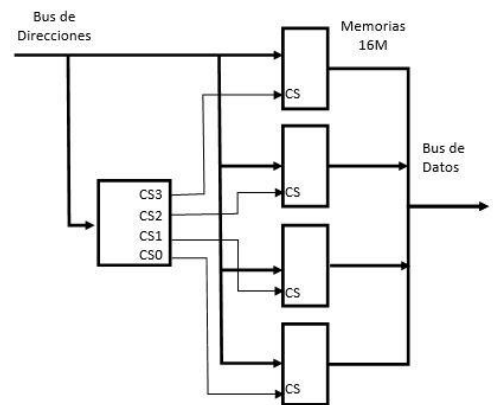


DIRECCIÓN		A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A <sub>6</sub> A <sub>5</sub> A <sub>4</sub>	0	00	45	3B	2C	FC	6F	7E	1E	06	00	4E	5B	BC	BA	4A	3F
	1	00	53	E3	AE	3E	64	E3	E8	99	5C	B4	A3	2E	A1	00	04
	2	00	43	07	64	5B	5E	3F	FF	32	A2	14	55	76	CB	BC	AA
	3	00	56	54	B6	3B	BB	CE	F5	F4	F3	7F	89	F0	F0	B5	B0
	4	00	A2	B5	A1	A0	EA	30	40	54	6B	7F	5C	A3	D5	DC	DD
	5	00	A2	76	00	98	90	90	90	87	B7	89	09	04	0F	A4	A0
	6	00	5F	FF	4D	ED	4F	5C	AC	CA	FE	AB	CA	CA	6E	43	B7
	7	00	63	F4	F3	F8	F9	C4	C0	A0	A0	E3	26	77	65	F3	A1

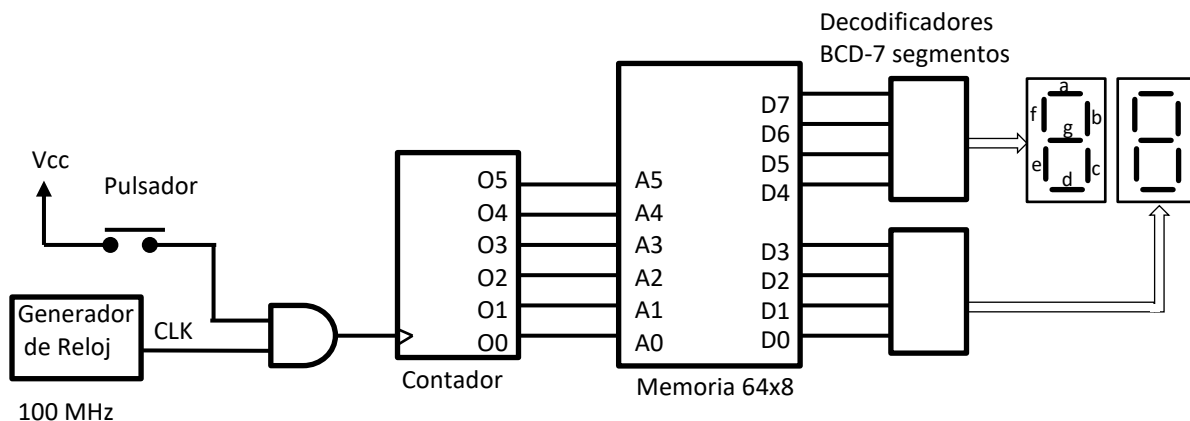
**U5.16.** Utilizando 4 chips de memoria de 16MBytes se ha diseñado un sistema cuya capacidad es de 64MBytes, según se muestra en la figura.

Se pide, justificando todas las respuestas:

- Determinar el número de líneas del bus de direcciones de cada memoria.
- Determinar el número de líneas del bus de direcciones del conjunto total.
- Determinar el rango de direcciones, en hexadecimal, que se corresponde con cada memoria.
- Diseñar el circuito combinacional que, a partir de los bits correspondientes del bus de direcciones, genere las señales CS0, CS1, CS2 y CS3 de forma que permita activar la memoria que corresponda a cada conjunto de direcciones.



**U5.17.** El circuito de la figura representa un generador pseudo-aleatorio de números para rellenar un boleto de la Loto (lotería que, básicamente, consiste en seleccionar 6 números entre el 1 y el 49 elegidos al azar).



## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Componentes de memorización

El circuito está compuesto por un generador de una señal de reloj de 100MHz, cuya salida sólo se activa al presionar un pulsador y mientras éste esté pulsado (se asume que al liberar el pulsador, la entrada correspondiente del pin de la puerta AND se pone a cero). La señal de reloj activa la entrada de un contador en binario natural de 6 bits. La salida del contador está conectada al bus de direcciones de una memoria, cuyo contenido son los números del 01 al 49, según se muestra en la tabla adjunta. En los 4 bits más significativos se almacenan las decenas y en los 4 menos significativos las unidades. Para representar estos números, se cuenta con dos displays de 7 segmentos, conectados a la memoria a través de sendos decodificadores BCD a 7 segmentos.

La pseudo-aleatoriedad se consigue por la velocidad del reloj, cada 10 ns se produce un incremento en el contador, es decir, cada segundo el contador da más de un millón y medio de vueltas, por lo que intentar parar la cuenta en un punto determinado es imposible.

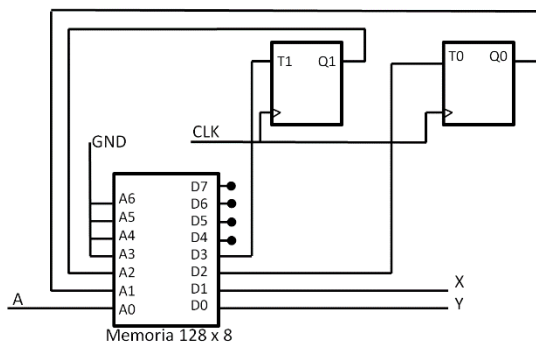
DIRECCIÓN		A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A <sub>5</sub> A <sub>4</sub>	0	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
	1	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
	2	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
	3	49	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15

Tabla del contenido de la memoria

Se pide, **justificando** las respuestas:

- Escribir la tabla de verdad para uno de los dos decodificadores BCD-7 segmentos de la figura, considerando las 4 entradas (D7, D6, D5 y D4) y sólo 4 de los segmentos de salida, en concreto los segmentos a, b, c y g.
- Partiendo de una posición inicial en la que el contador está a cero, ¿Cuál será el valor de salida en los displays si el pulsador se activa durante exactamente 875ms?
- En el diseño planteado, ¿hay algún número que tenga más probabilidad de salir que otro? De ser así, ¿cómo se podría solucionar? No hace falta que implemente la solución, sólo enúnciela de forma razonada.
- Diseñar un circuito cuya salida se ponga a uno cada vez que el número mostrado en el display sea el 49.

**U5.18.** El circuito de la figura representa un circuito secuencial, cuya lógica combinacional se ha implementado mediante una memoria ROM, que utiliza dos biestables tipo T. El contenido de la ROM se muestra en la tabla.



DIRECCIÓN		A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A <sub>6</sub> A <sub>5</sub> A <sub>4</sub>	0	07	42	34	23	F7	69	7D	10	06	00	4E	5B	BC	BA	4A	3F
	1	00	53	E3	AE	3E	64	E3	E8	99	5C	B4	A3	2E	A1	00	04
	2	00	43	07	64	5B	5E	3F	FF	32	A2	14	55	76	CB	BC	AA
	3	00	56	54	B6	3B	BB	CE	F5	F4	F3	7F	89	F0	F0	B5	B0
	4	00	A2	B5	A1	A0	EA	30	40	54	6B	7F	5C	A3	D5	DC	DD
	5	00	A2	76	00	98	90	90	87	B7	89	09	04	0F	A4	A0	
	6	00	5F	FF	4D	ED	4F	5C	AC	CA	FE	AB	CA	CA	6E	43	B7
	7	00	63	F4	F3	F8	F9	C4	C0	A0	A0	E3	26	77	65	F3	A1

Se pide:

- Completar la tabla de verdad que se adjunta, justificando los valores obtenidos.
- Justificar si el diseño es tipo Moore o Mealy
- Representar el diagrama de estados

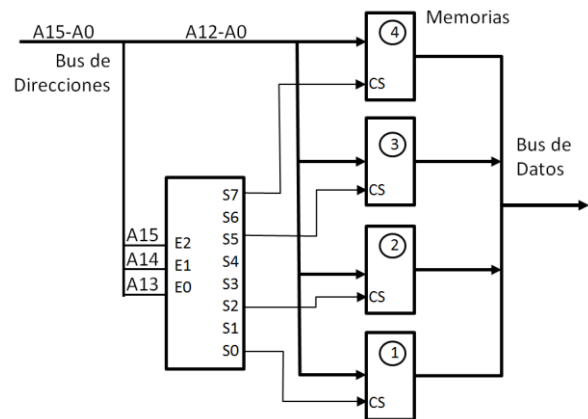
## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Componentes de memorización

**U5.19. P4.-** En la figura se muestra un conjunto de 4 chips de memoria, cuyo pin de selección (CS) proviene de un decodificador 3 a 8.

Se pide, razonando la respuesta:

- Determinar el tamaño de cada una de las memorias
- Determinar el tamaño de la memoria total formada
- Indicar para cada memoria, el rango de direcciones para las que se activa o es seleccionada.

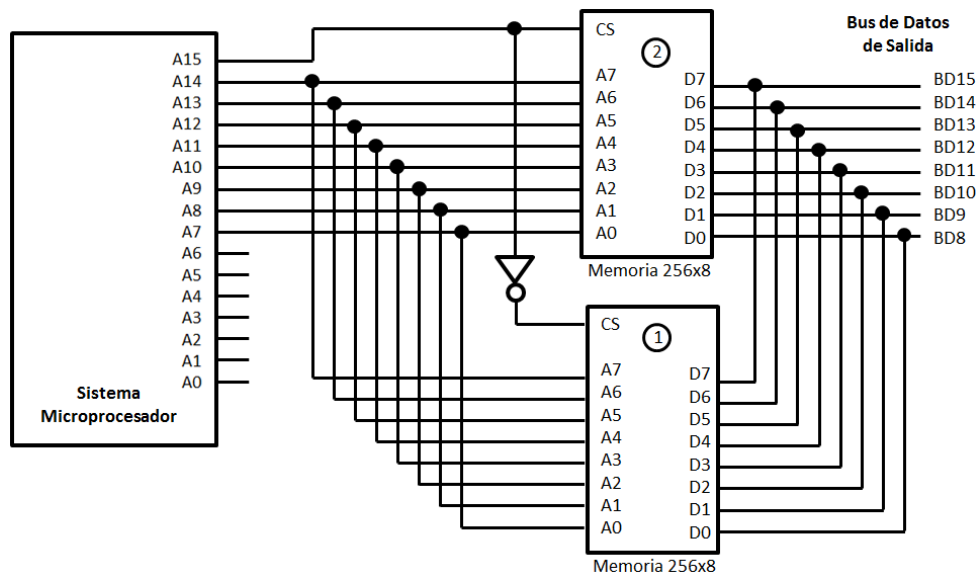


**U5.20.** Se pretende diseñar un sistema de control basado en un microprocesador. Éste dispone de un bus de direcciones de 20 bits ( $A_{19}:A_0$ ) y un bus de datos de 8 bits ( $D_7:D_0$ ). La memoria RAM que se va a implementar en el sistema es de un total de 512 KBytes, utilizando chips de memoria de 128 KBytes. Sabiendo que la dirección inicial de cada uno de los chips de memoria es 0x00000, 0x60000, 0x80000 y 0xC0000 respectivamente,

Se pide:

- Indique la dirección inicial y final que van a ocupar cada uno de los chips de memoria.
- Obtenga las ecuaciones para la lógica de selección que permita activar el CS (*Chip Select*) de cada una de las memorias. Se valorará las ecuaciones más simplificadas posibles.

**5.21.** El esquema siguiente representa parte de un sistema digital basado en microprocesador, correspondiente a su vez a parte de su sistema de memoria. En las tablas de debajo se muestra el contenido de cada una de las posiciones de cada memoria.



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Componentes de memorización**

DIRECCIÓN		A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A <sub>7</sub> A <sub>6</sub> A <sub>5</sub> A <sub>4</sub>	0	07	42	34	23	F7	69	7D	10	06	00	4E	5B	BC	BA	4A	3F
	1	99	53	E3	AE	3E	64	E3	E8	99	5C	B4	A3	2E	A1	00	04
	2	3A	43	07	64	5B	5E	3F	FF	32	A2	14	55	76	CB	BC	AA
	3	00	56	54	B6	3B	BB	CE	F5	F4	F3	7F	89	F0	F0	B5	B0
	4	DE	A2	B5	A1	A0	EA	30	40	54	6B	7F	5C	A3	D5	DC	DD
	5	3D	A2	76	77	98	90	90	90	87	B7	89	09	04	0F	A4	A0
	6	F0	5F	FF	4D	ED	4F	5C	AC	CA	FE	AB	CA	CA	6E	43	B7
	7	00	63	F4	F3	F8	F9	C4	C0	A0	A0	E3	26	77	65	F3	A1
	8	64	E3	E8	99	5C	B4	A3	64	5B	A2	76	00	98	90	90	90
	9	5E	3F	FF	32	A2	14	55	B6	3B	5F	FF	4D	ED	4F	5C	AC
	A	A2	76	00	98	90	90	90	A1	A0	63	F4	F3	F8	F9	C4	C0
	B	5F	FF	4D	ED	4F	5C	AC	00	98	E3	E8	99	5C	B4	A3	64
	C	63	F4	F3	F8	F9	C4	C0	4D	ED	3F	FF	32	A2	14	55	B6
	D	E3	E8	99	5C	B4	A3	64	5B	BC	BA	4A	C0	64	5B	A2	76
	E	3F	FF	32	A2	14	55	B6	A3	2E	A1	00	12	B6	3B	5F	FF
	F	99	5C	B4	A3	64	5B	00	55	76	CB	BC	F5	A1	A0	63	F4

Tabla 1. Contenido de la memoria 1.

DIRECCIÓN		A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
A <sub>7</sub> A <sub>6</sub> A <sub>5</sub> A <sub>4</sub>	0	63	F4	F3	F8	F9	C4	7D	18	00	00	00	0B	0C	A0	A0	AE
	1	E3	E8	99	5C	B4	A3	E3	E8	99	5C	B4	A3	2E	A1	00	04
	2	3F	FF	32	A4	14	55	3F	FF	32	A4	14	55	76	CB	BC	AA
	3	99	5C	B4	A3	64	5B	CE	F5	F4	F3	7F	89	F0	F0	B5	92
	4	98	90	90	90	A0	EA	30	40	54	98	90	90	90	D5	DC	DC
	5	ED	4F	5C	AC	98	90	90	90	87	ED	4F	5C	AC	0F	A4	A0
	6	F8	F9	C4	C0	ED	4F	5C	AC	CA	F8	F9	C4	C0	6E	43	B7
	7	5C	B4	A3	64	F8	F9	C4	CA	FE	5C	B4	A3	64	65	F3	11
	8	64	E3	E8	99	5C	B4	A3	64	51	A2	76	00	98	90	90	90
	9	5E	3F	FF	32	A2	14	55	B6	3B	5F	FF	4D	ED	4F	5C	AC
	A	A2	76	00	98	CB	00	10	A1	A0	63	F4	F3	F8	F9	C4	C0
	B	98	93	90	90	4F	5C	A1	00	98	E3	E8	99	5C	B4	A3	64
	C	C4	7D	10	06	F9	C4	BD	4D	ED	3F	FF	32	C4	7D	10	06
	D	A3	E7	E8	99	B4	A3	64	5B	BC	BA	4C	C0	A3	E3	E8	99
	E	55	9F	FF	32	14	55	B6	A3	2E	A1	A2	22	55	3F	FF	32
	F	5B	CE	F5	F4	64	5B	00	55	76	CB	BC	F5	5B	CE	F5	A4

Tabla 2. Contenido de la memoria 2.

**Se pide,** determinar el dato presente en el Bus de Datos de salida del sistema (BD15-BD8) cuando en el bus de direcciones del microprocesador se encuentran las direcciones mostradas en la siguiente tabla: