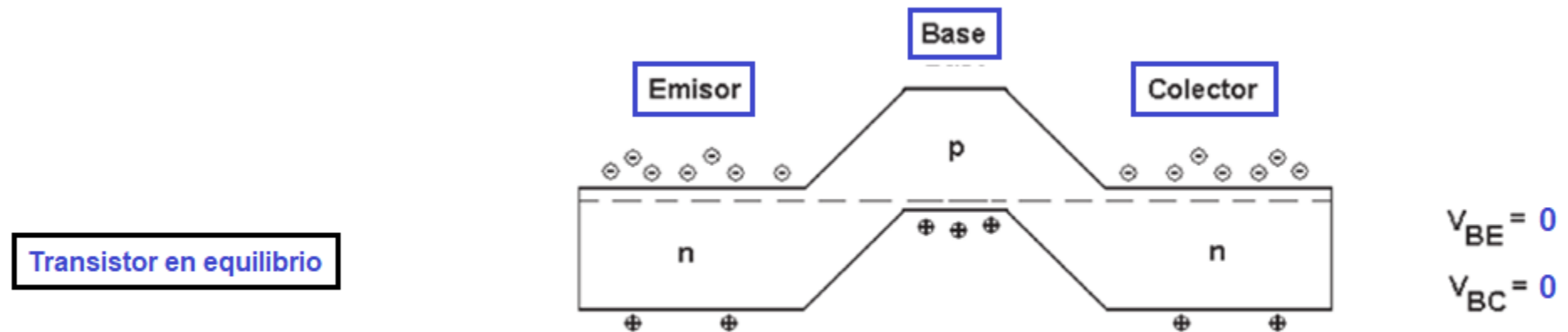


TEMA 5: TRANSISTORES

- 5.1.- Estructura del transistor bipolar de unión (BJT). Características I-V del BJT: zonas de funcionamiento y modelos lineales
- 5.2.- Circuitos de polarización con BJT
- 5.3.- Estructura de transistores de efecto campo con puerta aislada (MOSFET). Curvas características y zonas de funcionamiento
- 5.4.- Lógica de semiconductor-metal-óxido complementario (CMOS). Aplicaciones en puertas lógicas simples

- Estructura n-p-n

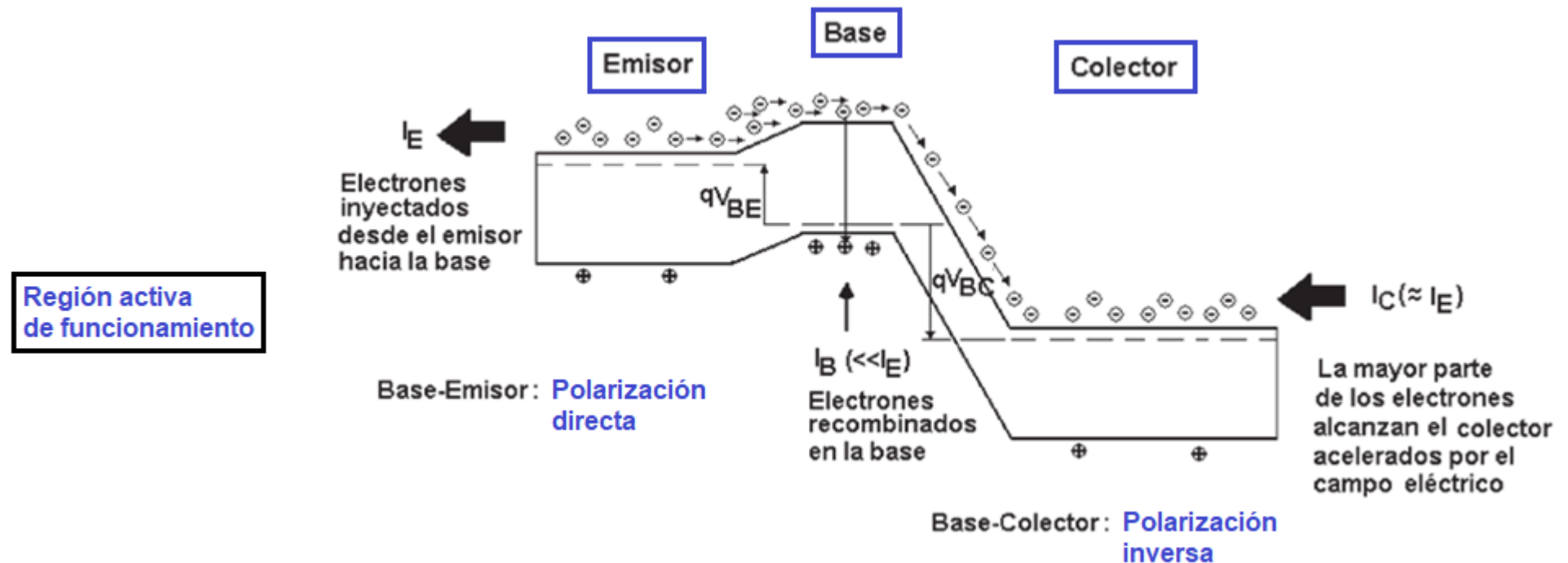


Cuando el transistor está en equilibrio ($V_{BE} = V_{BC} = 0$), existe una barrera de energía entre el emisor y la base que impide que los electrones del emisor lleguen a la base.

Como en la base hay pocos electrones (porque está dopada tipo p), no habrá flujo de electrones de la base al colector.

Al no haber movimiento ordenado de carga en el dispositivo, no hay corriente. Se dice que el transistor está en **corte**.

TEMA 5: TRANSISTORES. 5.1.- Estructura del transistor bipolar de unión (BJT)



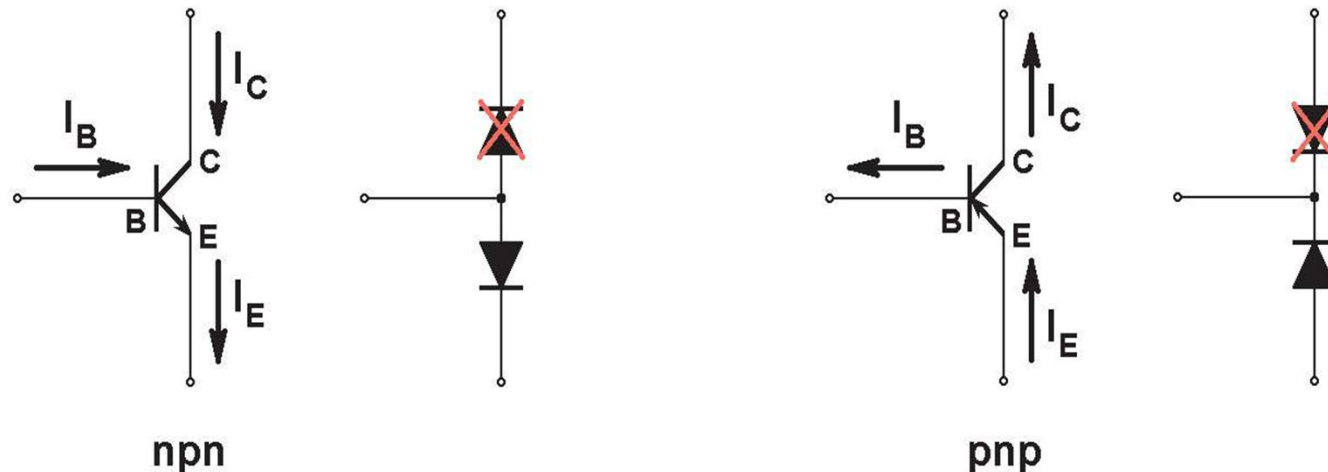
Cuando $V_{BE} > 0$ ($q \cdot V_{BE} < 0$) la barrera de energía se reduce y los electrones del emisor llegan a la base.

En la base, al ser muy estrecha, muy pocos electrones tienen oportunidad de recombinarse con huecos. La mayoría llega a la segunda unión. Si $V_{BC} < 0$, la barrera aumenta, favoreciendo el arrastre de los electrones hacia el colector.

En el dispositivo hay corriente y se dice que el transistor **conduce** (en la región **activa**).

El **transistor bipolar de unión** es un dispositivo semiconductor de tres terminales, de comportamiento no lineal, que bajo ciertas condiciones se comporta como un amplificador de corriente. Se construye a partir de dos diodos de unión que comparten uno de sus dos terminales (aunque no se comporta de forma equivalente, debido a la extrema estrechez del terminal compartido).

- **Símbolo y terminales**



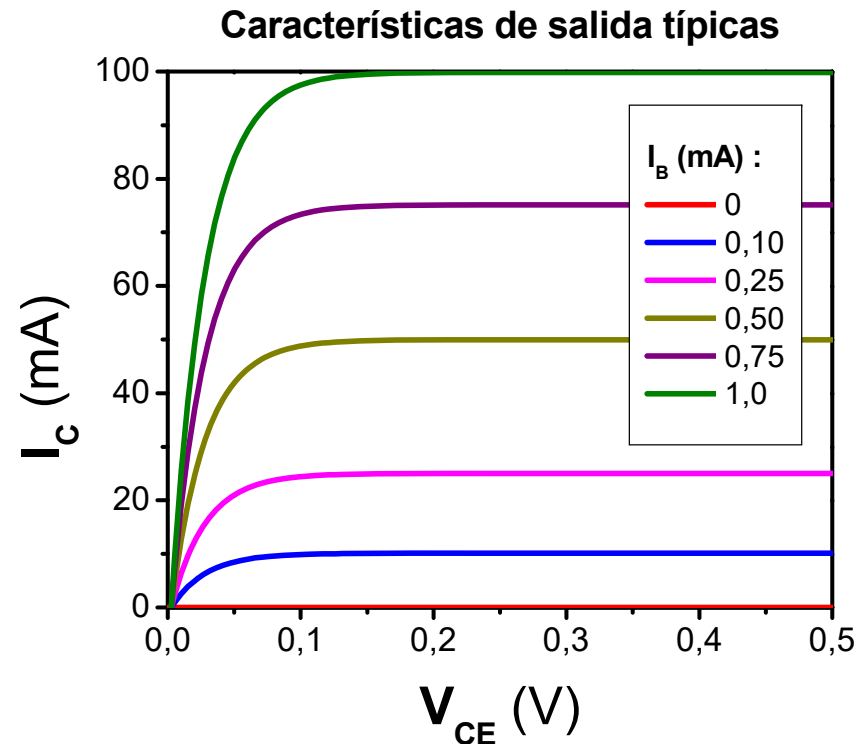
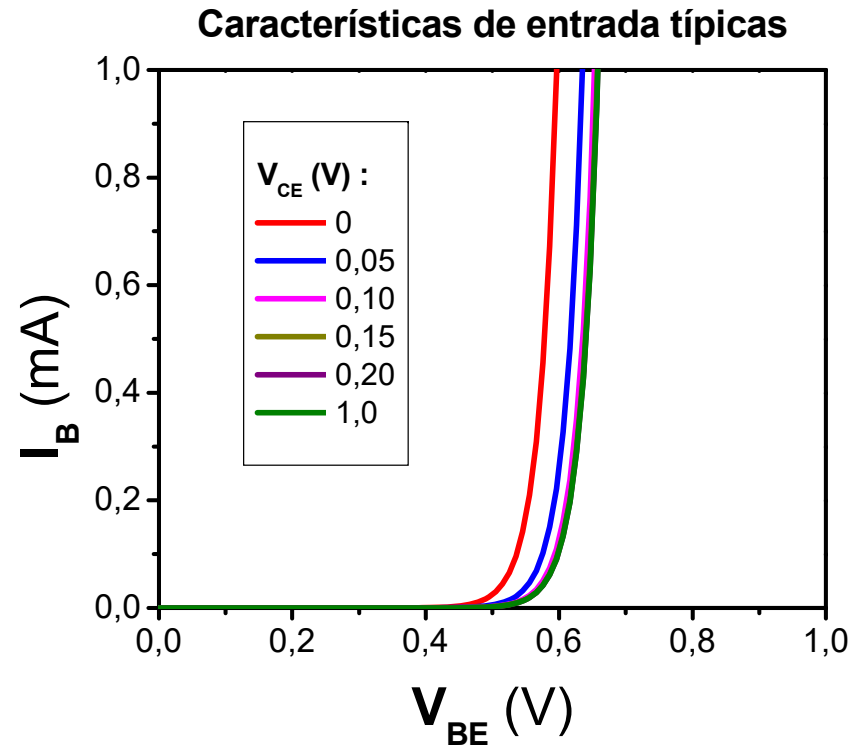
- Solo la unión base-emisor se comporta de forma similar a la de un diodo, como se verá
- Las corrientes solo pueden circular en los sentidos indicados
- En ellos se verifican las L.K.. De acuerdo con el convenio para las corrientes:

$$I_B + I_C = I_E$$

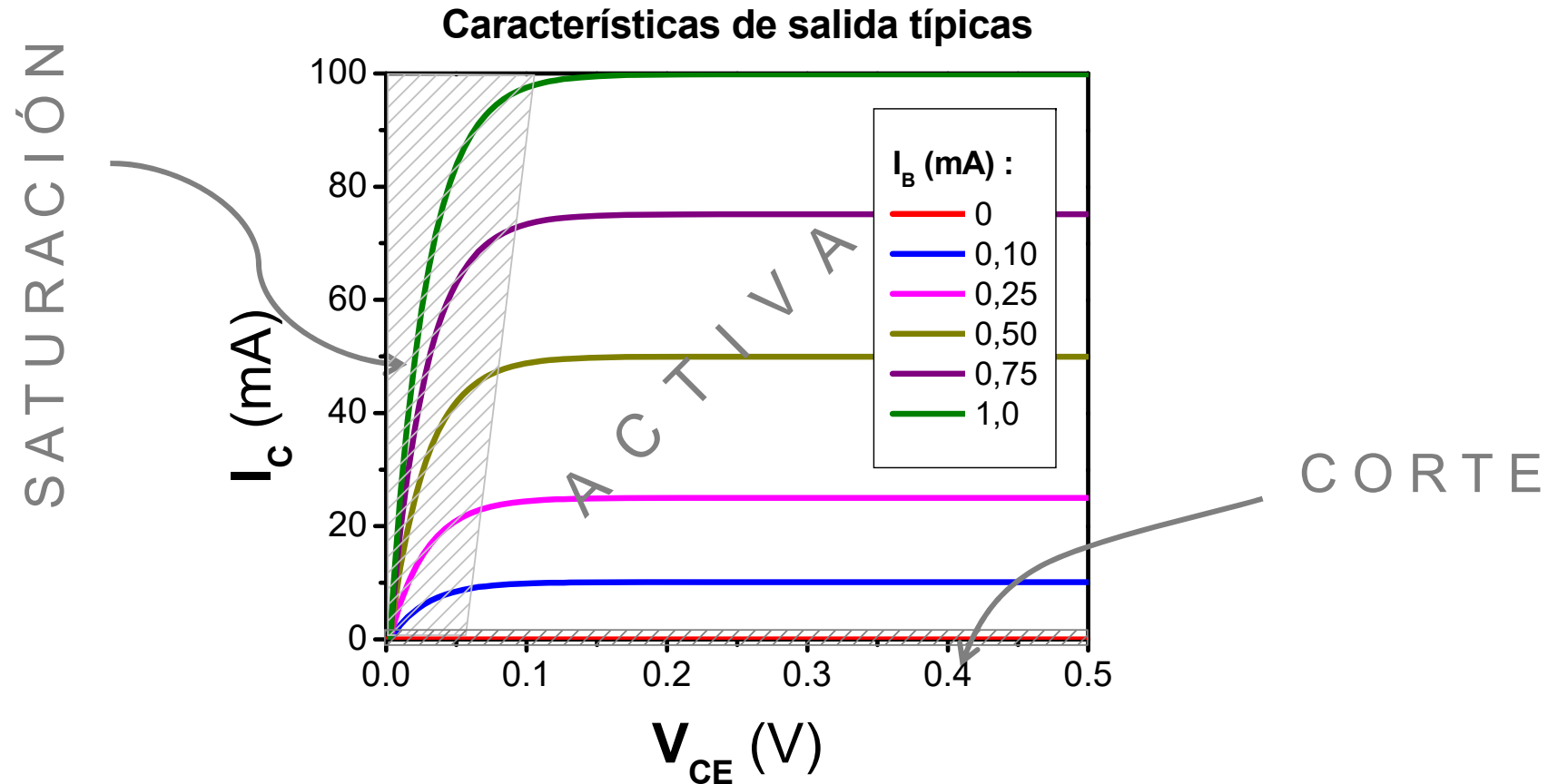
$$V_{CB} + V_{BE} = V_{CE}$$

- Se necesitan 4 variables para describir su comportamiento: I_B , I_C , V_{BE} , V_{CE}
- De las 4 variables se eligen 2 dependientes (I_C , V_{BE}) y 2 independientes (I_B y V_{CE})

- Familia de curvas características y regiones de funcionamiento (npn)**



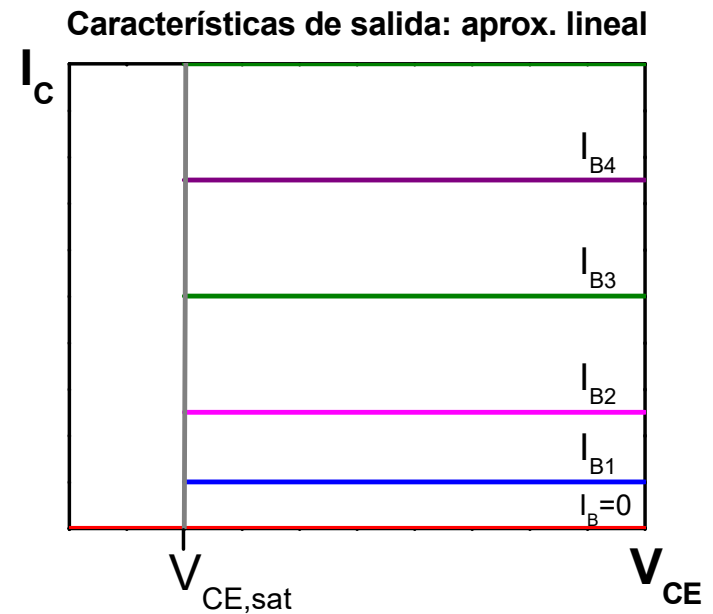
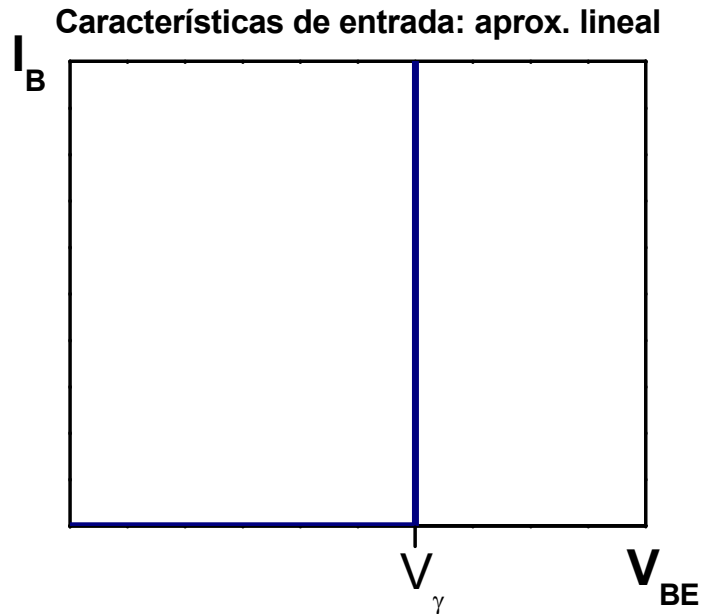
- Representaciones 2D \Rightarrow una de las variables independientes se toma como parámetro
- Las gráficas reproducen las curvas características reales de un transistor de silicio tipo npn. Las curvas características de entrada son funciones de tipo exponencial
- Se observa que el comportamiento de la unión BE es similar al de un diodo, y que depende poco del parámetro V_{CE}
- Las corrientes son distintas de cero si la unión BE está polarizada en directa, es decir:
 $V_{BE} \approx 0,5 - 0,6V \Rightarrow I_B > 0 \Rightarrow I_C > 0 (\Rightarrow I_E > 0)$, $V_{BE} < 0,5 - 0,6V \Rightarrow I_B = 0 \Rightarrow I_C = 0 (\Rightarrow I_E = 0)$
- En las características de salida se distinguen tres regiones de funcionamiento:



Región	I_B	I_C	I_E	V_{CE}	V_{BE}
Corte	0	0	0	Indet.	$< 0,5-0,6 \text{ V}$
Activa	> 0	βI_B	$(1+\beta)I_B$	$\geq 0,15 \text{ V}$	$\sim 0,5-0,6 \text{ V}$
Saturación	> 0	$< \beta I_B$	$< (1+\beta)I_B$	$\leq 0,15 \text{ V}$	$\sim 0,5-0,6 \text{ V}$

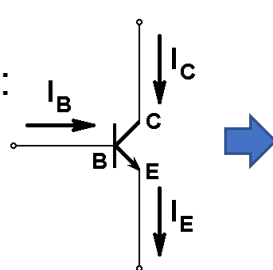
$\beta \equiv$ ganancia de corriente del transistor

- Modelo lineal aproximado (transistor bipolar npn)**

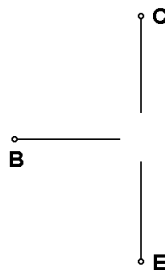


Región	I_B	I_C	I_E	V_{CE}	V_{BE}
Corte	0	0	0	Indet.	$<V_\gamma$
Activa	>0	βI_B	$(1+\beta)I_B$	$\geq V_{CE,sat}$	$=V_\gamma$
Saturación	>0	$<\beta I_B$	$<(1+\beta)I_B$	$=V_{CE,sat}$	$=V_\gamma$

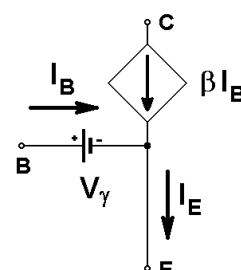
Circuitos equivalentes:



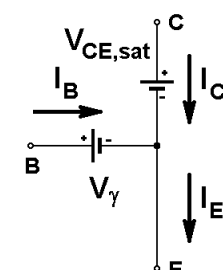
Corte



Activa

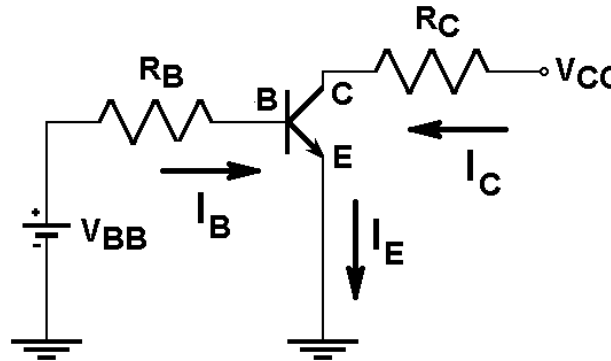


Saturación



• Polarización del transistor bipolar

Las corrientes y tensiones en un transistor dependen del circuito en que se encuentre. La figura muestra uno de los circuitos de polarización más simples que podemos utilizar para ello; consideraremos el modelo lineal del transistor y supondremos conocidos los parámetros característicos del mismo, β , V_γ y $V_{CE,sat}$:



Para calcular las corrientes (I_B , I_C) y tensiones (V_{BE} y V_{CE}) en un circuito con transistor:

- Indicamos las corrientes en cada rama del circuito
- Analizamos si su unión B-E está polarizada en directa:

– Si $V_{BB} < V_\gamma \Rightarrow$ corte $\Rightarrow I_B = 0, I_C = 0, I_E = 0 \Rightarrow V_{BE} = V_{BB}, V_{CE} = V_{CC}$

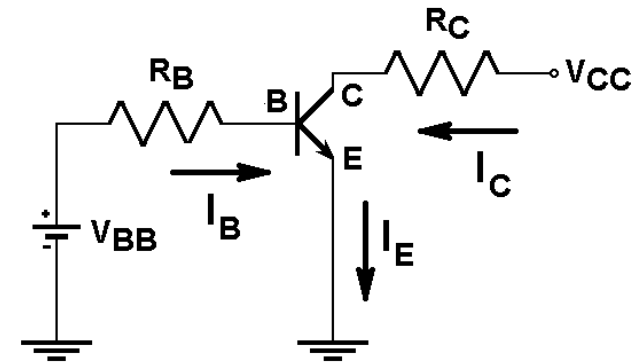
– Si $V_{BB} \geq V_\gamma \Rightarrow$ conducción $\Rightarrow V_{BE} = V_\gamma$

- $V_{BB} \geq V_\gamma$: Escribimos las ecuaciones de Kirchhoff del circuito, tomando $V_{BE} = V_\gamma$

- $V_{BB} \geq V_\gamma$:

Ec. malla B-E: $-V_{BB} + R_B I_B + V_\gamma = 0 \Rightarrow I_B = \frac{V_{BB} - V_\gamma}{R_B}$

Ec. malla C-E: $-V_{CC} + R_C I_C + V_{CE} = 0$; ¿ I_C , V_{CE} ?
1 ecuación, 2 incógnitas



⇒ Es necesario plantear hipótesis sobre el estado del transistor, activa o saturación:

- Si suponemos que está en activa,

$$I_C = \beta I_B = \beta \frac{V_{BB} - V_\gamma}{R_B} \Rightarrow V_{CE} = V_{CC} - R_C I_C ; V_{CE} = V_{CC} - R_C \beta \frac{V_{BB} - V_\gamma}{R_B}$$

Verificación: debe obtenerse $V_{CE} > V_{CE,sat}$, de lo contrario, la hipótesis es incorrecta

- Si suponemos que está en saturación,

$$V_{CE} = V_{CE,sat} \Rightarrow I_C = \frac{V_{CC} - V_{CE,sat}}{R_C}$$

Verificación: debe obtenerse $I_C < \beta I_B$, de lo contrario, la hipótesis es incorrecta

- Otro circuito de polarización del transistor bipolar: fuente de tensión única

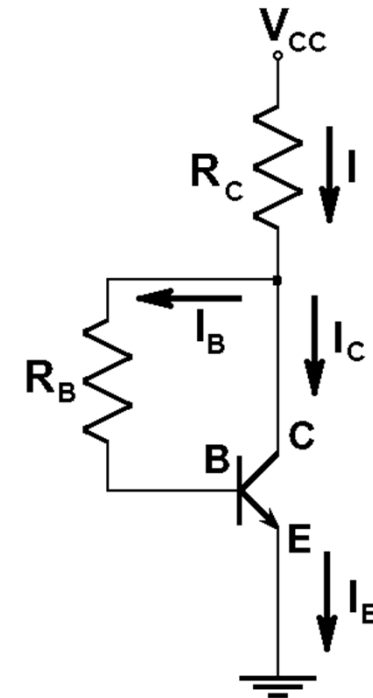
En esta configuración el transistor, cuando conduce, solo lo puede hacer en activa.

Esto se debe a que $V_C > V_B$ siempre $\Rightarrow V_{BC}$ está en inversa \Rightarrow **región de conducción en activa** $\Rightarrow I_C = \beta I_B$

- Analizamos si su unión B-E está polarizada en directa:

- Si $V_{CC} < V_\gamma \Rightarrow$ corte $\Rightarrow I_B = 0, I_C = 0, I_E = 0$
 $\Rightarrow V_{BE} = V_{CC}, V_{CE} = V_{CC}$

- Si $V_{BB} \geq V_\gamma \Rightarrow$ conducción $\Rightarrow V_{BE} = V_\gamma$



Escribimos las ecuaciones de Kirchhoff del circuito, tomando $V_{BE} = V_\gamma$

$$V_{CC} - (I_B + I_C)R_C - I_B R_B - V_\gamma = 0$$

$$V_{CC} - (I_B + I_C)R_C - V_{CE} = 0$$

Podemos conocer I_B, I_C y V_{CE}

* Además: $I_C = \beta I_B$

Se va a verificar que $V_{CE} > V_{CE,sat}$

- **Conmutación corte ↔ conducción de un transistor bipolar**

Cuando un transistor se encuentra en la situación límite entre corte y conducción, hablamos del “punto de conmutación”

¿Valor necesario de V_{CC} para pasar de corte a conducción?

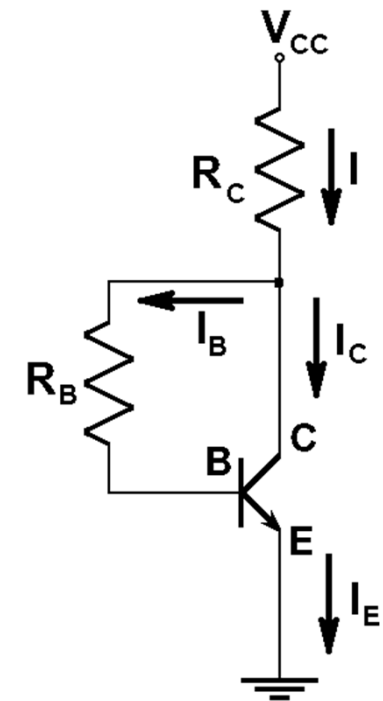
- Mediante observación del circuito y razonamiento lógico
- Aplicando condiciones de cambio:

$$V_{BE} = V_\gamma \text{ e } I_B = 0 \text{ (y también } I_C \text{ e } I_E)$$

$$\text{Ec. malla B-E: } V_{CC} - (I_B + I_C)R_C - I_B R_B - V_{BE} = 0 \Rightarrow V_{CC} = V_\gamma$$

$$(- \text{ Si } V_{CC} < V_\gamma \Rightarrow \underline{\text{corte}} \Rightarrow I_B = 0, I_C = 0, I_E = 0$$

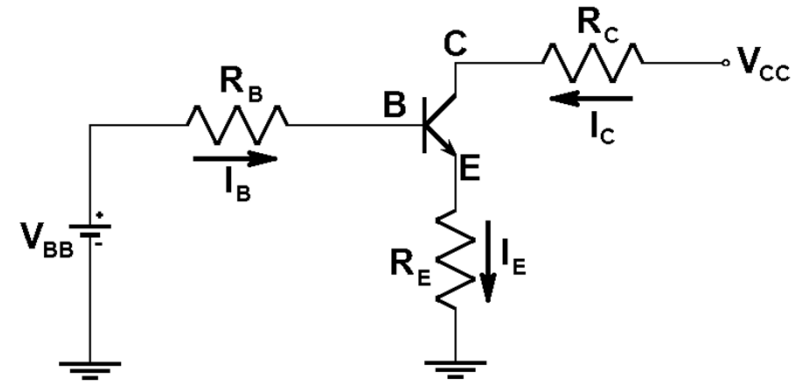
$$- \text{ Si } V_{CC} > V_\gamma \Rightarrow \underline{\text{conducción en activa}} \Rightarrow I_C = \beta I_B)$$



• **Circuito con resistencia en el emisor**

– Si $V_{BB} < V_\gamma \Rightarrow$ corte $\Rightarrow I_B = 0, I_C = 0, I_E = 0$

– Si $V_{BB} > V_\gamma \Rightarrow$ conducción



Ec. malla B-E: $-V_{BB} + I_B R_B + V_\gamma + I_E R_E = 0$ (1)

Ec. malla C-E: $-V_{CC} + I_C R_C + V_{CE} + I_E R_E = 0$ (2)

siendo $I_E = I_C + I_B$

\Rightarrow dos ecuaciones y 3 incógnitas (V_{CE} , I_B e I_C)

Hipótesis:

• Suponemos que está en activa: $I_C = \beta I_B \Rightarrow I_E = I_B(1 + \beta)$

De (1): $I_B = \frac{V_{BB} - V_\gamma}{R_B + (1 + \beta)R_E}$

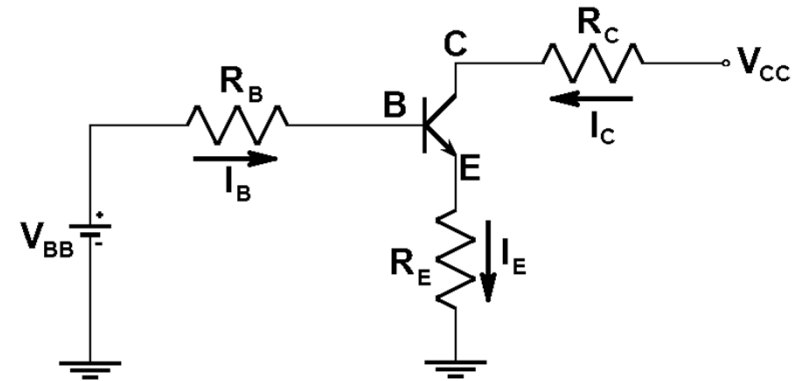
Verificación: Obtener V_{CE} de (2). Se tiene que cumplir que $V_{CE} > V_{CE,sat}$

Ec. malla B-E: $-V_{BB} + I_B R_B + V_\gamma + I_E R_E = 0$ (1)

Ec. malla C-E: $-V_{CC} + I_C R_C + V_{CE} + I_E R_E = 0$ (2)

siendo $I_E = I_C + I_B$

\Rightarrow dos ecuaciones y 3 incógnitas (V_{CE} , I_B e I_C)



Hipótesis:

- Suponemos que está en saturación: $V_{CE} = V_{CE,sat}$

Sistema de 2 ecuaciones con 2 incógnitas. Hay que verificar que $I_C < \beta I_B$

* ¿Para qué se incluye R_E ?

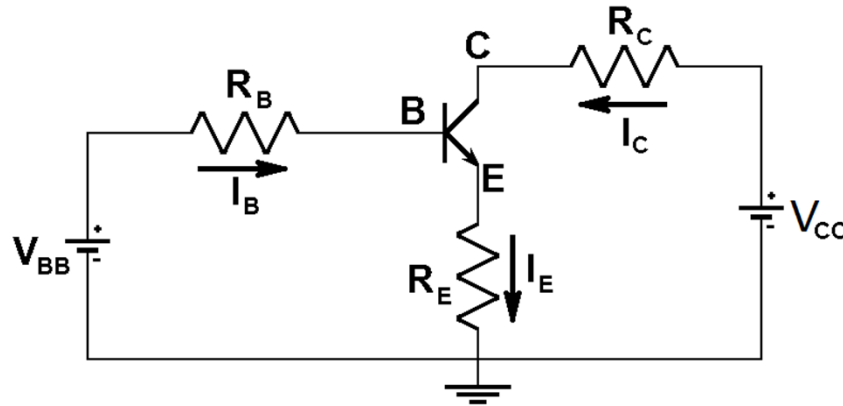
Si estamos en activa y $R_B \ll (1 + \beta)R_E$ (criterio de estabilidad) $\Rightarrow I_C \approx \beta \frac{V_{BB} - V_\gamma}{(1 + \beta)R_E}$

Como $\beta \gg 1 \Rightarrow I_C \approx \frac{V_{BB} - V_\gamma}{R_E}$, que no depende de β

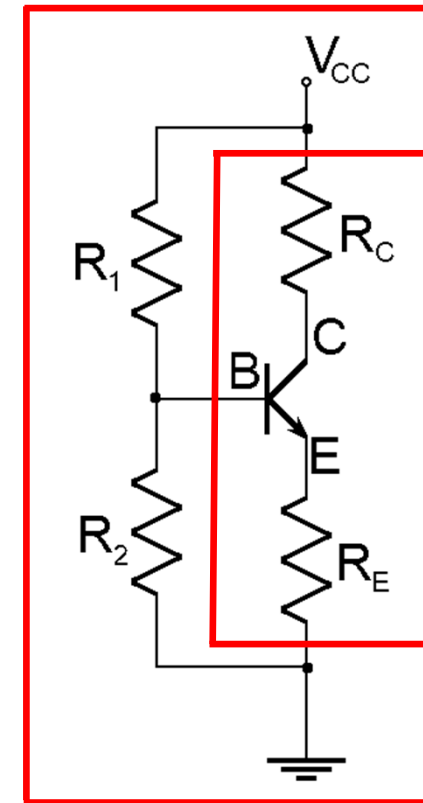
$\Rightarrow I_C$ no depende de variaciones de temperatura y el circuito es más estable.

- Circuito de autopolarización**

Si se aplica el principio de Thévenin a la parte del circuito resaltada en rojo, se obtiene:



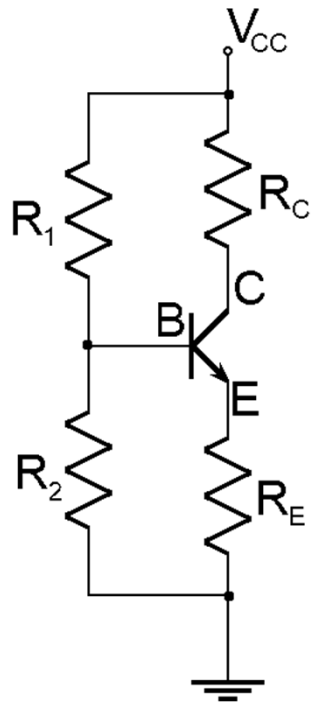
siendo: $V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC}$
 $R_B = R_1 || R_2 = \frac{R_1 R_2}{R_1 + R_2}$



- Se obtiene el mismo circuito que antes, con la diferencia de que R_B es el equivalente de dos resistencias (R_1 y R_2), y que hemos necesitado una sola fuente
- Si se cumple el criterio de estabilidad ($R_B \ll (1 + \beta)R_E$), I_C no dependerá apenas de la temperatura

⇒ **Aunque es el circuito más complejo, es el mejor para polarizar transistores.**

- ♣ **Ejemplo:** Comprobar la estabilidad frente a cambios de temperatura (variaciones de β) en el siguiente circuito, siendo $R_1 = 10\text{k}\Omega$, $R_2 = 5\text{k}\Omega$, $R_C = 1\text{k}\Omega$, $R_E = 1\text{k}\Omega$, $V_{CC} = 15\text{V}$ y suponer $V_\gamma = 0,7\text{V}$, $V_{CE,\text{sat}} = 0,2\text{V}$ y $\beta = 100$ y 300 .



$$R_B = R_1 || R_2 = \frac{R_1 R_2}{R_1 + R_2} = 3,3\text{k}\Omega$$

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} = 5\text{V}$$

Si el transistor está en activa (a verificar):

$$I_B = \frac{V_{BB} - V_\gamma}{R_B + (1 + \beta)R_E} \approx 41\mu\text{A} \text{ (para } \beta = 100\text{)}$$

$$\approx 14\mu\text{A} \text{ (para } \beta = 300\text{)}$$

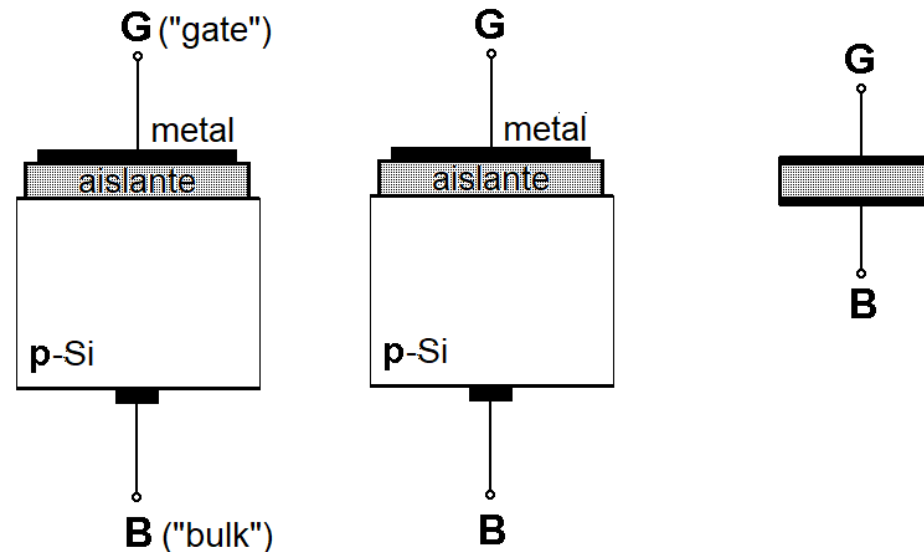
$$I_C = \beta I_B \approx 4,1\text{mA} \text{ (para } \beta = 100\text{)}$$

$$\approx 4,2\text{mA} \text{ (para } \beta = 300\text{)}$$

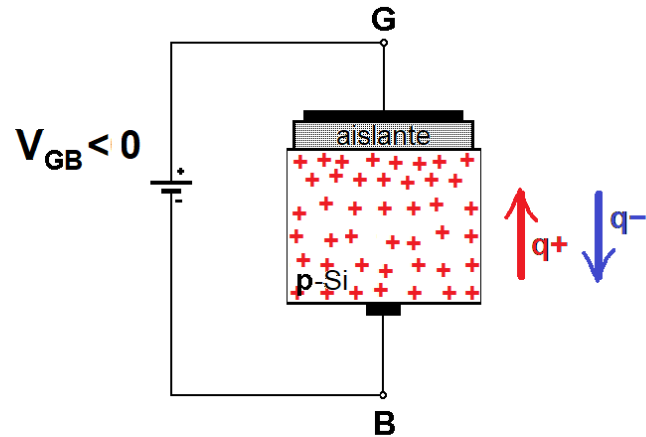
Cambios importantes en β , producen cambios importantes en I_B . Pero I_C no cambia mucho, por lo que el circuito es más estable.

El **transistor de efecto campo** de la familia MOSFET (*metal-oxide-semiconductor field effect transistor*) es un dispositivo semiconductor de cuatro terminales. Para estudiar su funcionamiento es necesario conocer primero la estructura MOS que la forma.

- **Estructura MOS. Polarización y regiones**



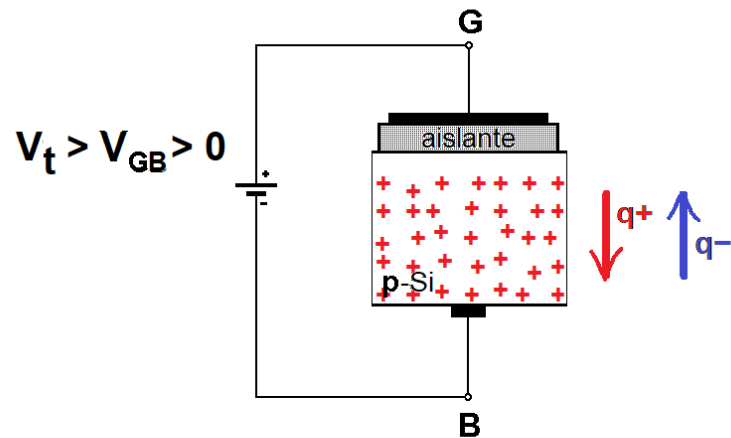
- Se comporta como un condensador de placas plano-paralelas, en el que el aislante es, habitualmente, un óxido
- La placa inferior del condensador es el sustrato de silicio
- La placa superior es en la actualidad de polisilicio, un material que hace de metal
- Al aplicar un voltaje o tensión entre ambos terminales, cambia la distribución de cargas a ambos lados del aislante, debido al desplazamiento de las cargas libres en las placas



Con sustrato tipo p:

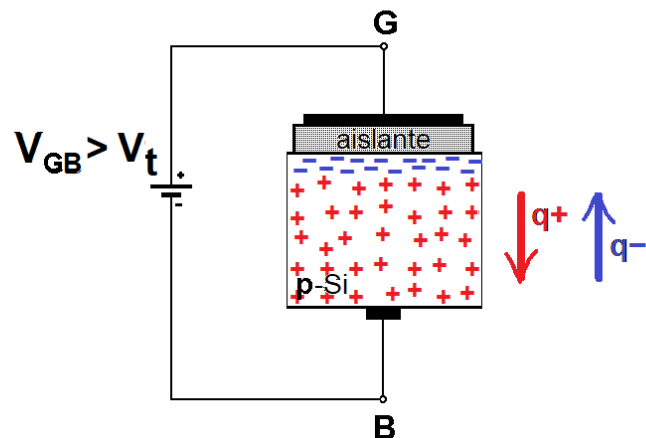
$V_{GB} < 0$: Acumulación

Los huecos del semiconductor (portadores o cargas mayoritarias) se acumulan en la frontera con el aislante



$V_t > V_{GB} > 0$: Vaciamiento

Para tensiones positivas moderadas los huecos del semiconductor (cargas móviles mayoritarias) son alejados de la frontera con el aislante, quedando la misma vacía de portadores



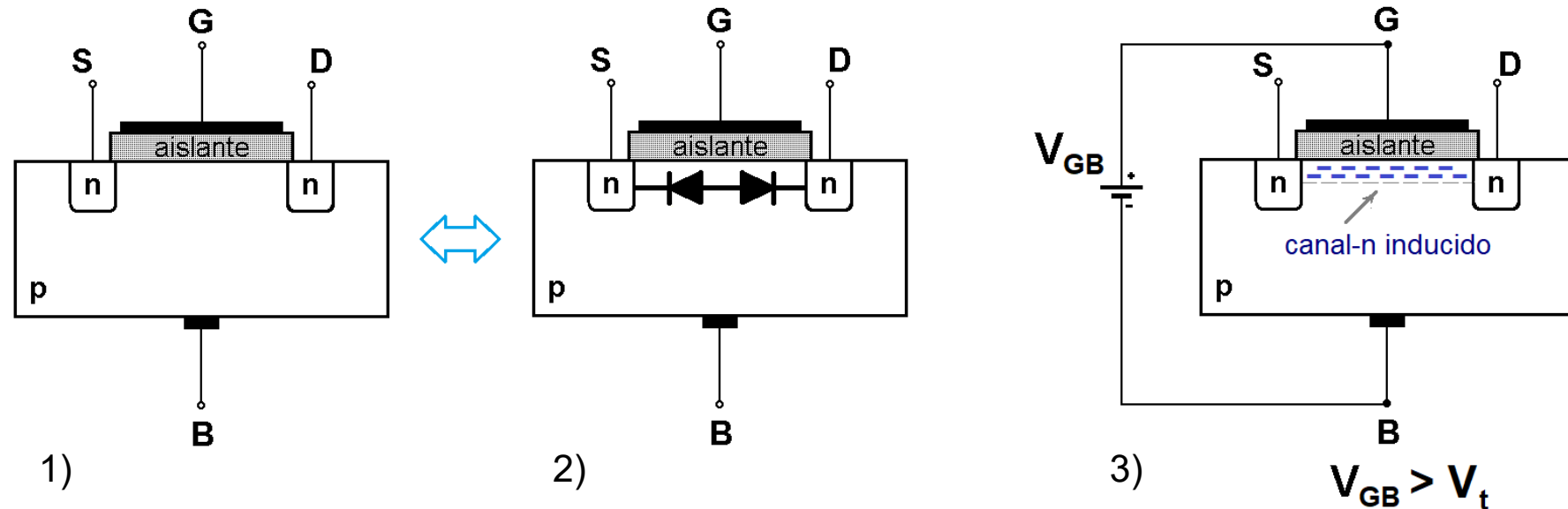
$V_{GB} > V_t$: Inversión

Para tensiones positivas mayores que un cierto valor umbral los electrones libres (minoritarios) se concentran en la frontera con el aislante, quedando invertida de carga \Rightarrow región tipo n en p-Si

Tener en cuenta que...

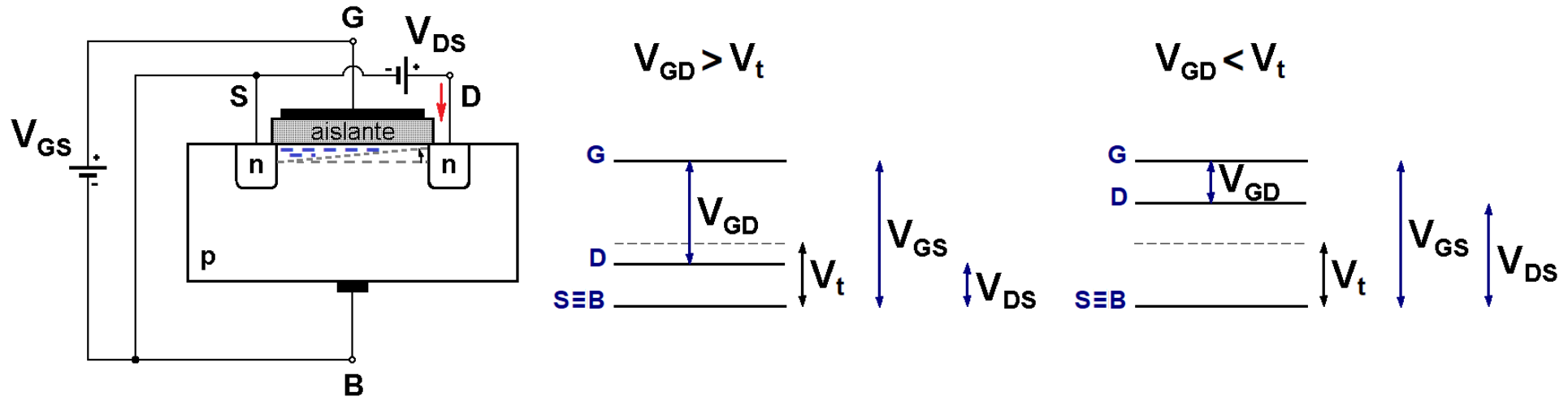
- Las variaciones en las concentraciones de huecos o electrones solo son importantes cerca de la frontera con el aislante
- La concentración de carga negativa solo es importante en la situación de inversión en la frontera con el aislante
- Lejos del aislante, y con independencia de la polarización aplicada, siempre tendremos muchos portadores mayoritarios (huecos) y pocos portadores minoritarios (electrones) en el semiconductor
- V_t es la tensión umbral de inversión del MOS. Su valor depende de las propiedades concretas del sustrato de silicio
- Si el sustrato es de tipo n las regiones de funcionamiento son análogas, con $V_{GB} > 0$ (acumulación), $V_t < V_{GB} < 0$ (vaciamiento) y $V_{GB} < V_t$ (inversión). En inversión aparece una fina región con portadores positivos (huecos) en la frontera con el aislante
- Como veremos, la creación de una región invertida de carga en las proximidades del aislante es muy útil

- Estructuras MOSFET. Dispositivos de enriquecimiento**



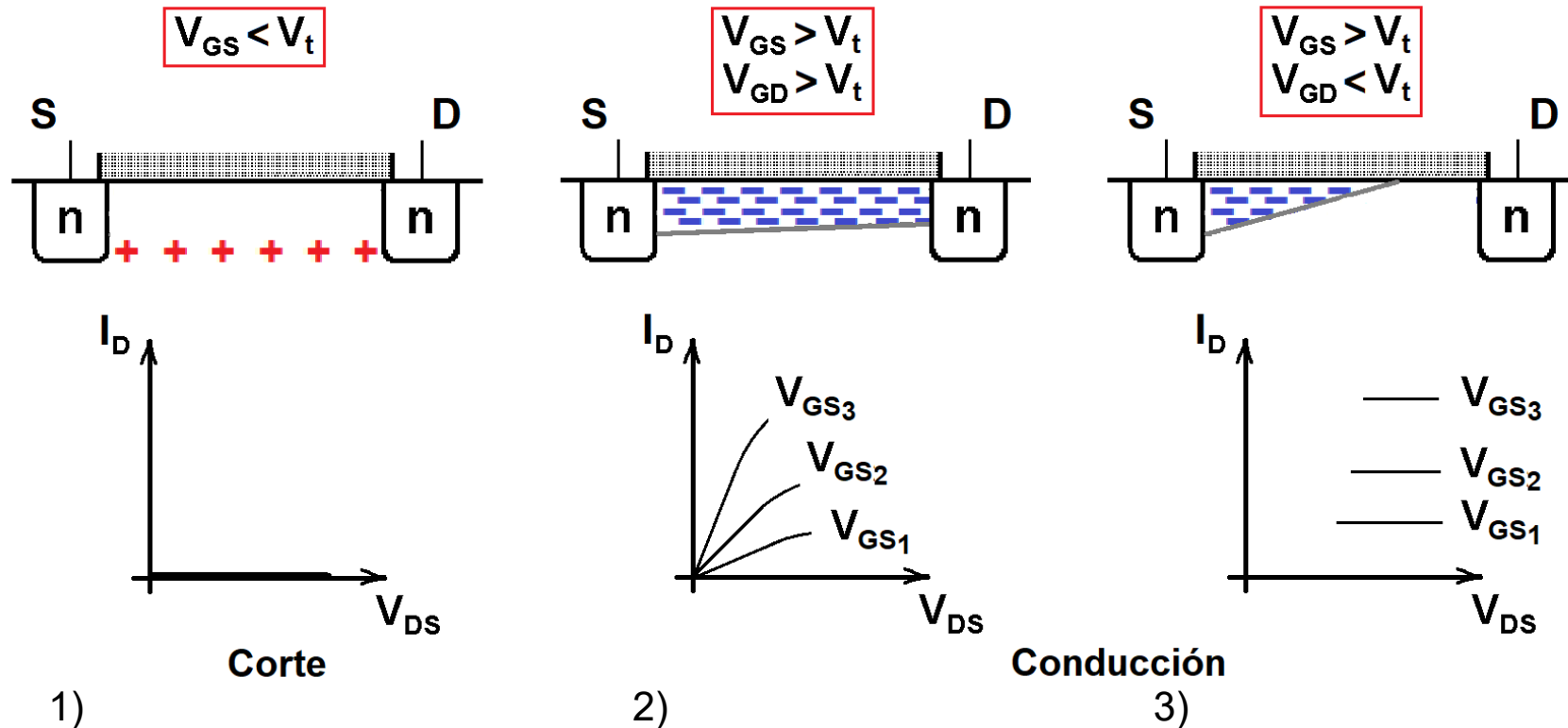
- 1) El dispositivo MOSFET presenta dos terminales adicionales, correspondientes a las zonas de fuente (S, *Source*) y drenador (D, *Drain*). Estos dos terminales son en principio intercambiables
- 2) Fuente y drenador están eléctricamente aislados
- 3) Si conseguimos invertir la carga en la región del substrato entre D y S, D y S estarán eléctricamente conectados y será posible hacer circular corriente entre ellos
 - Para ello será necesario polarizar la estructura MOS, aplicando entre G y B una tensión $V_{GB} > V_t$
 - Cuanto mayor sea V_{GB} , mayor será la profundidad del canal de carga invertida

- Polarización del n-MOSFET de enriquecimiento**



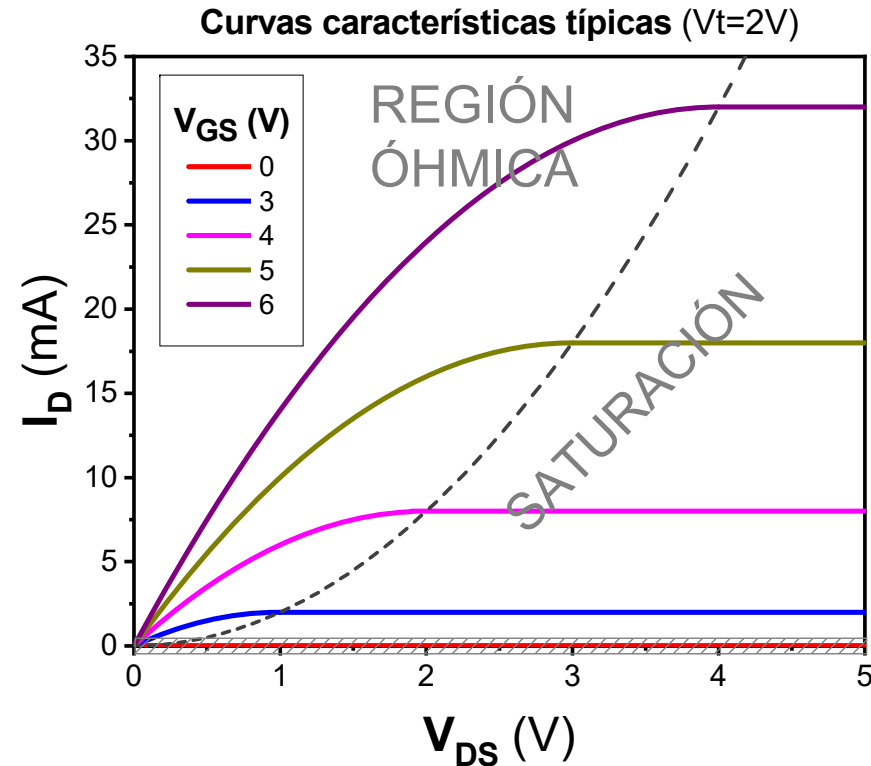
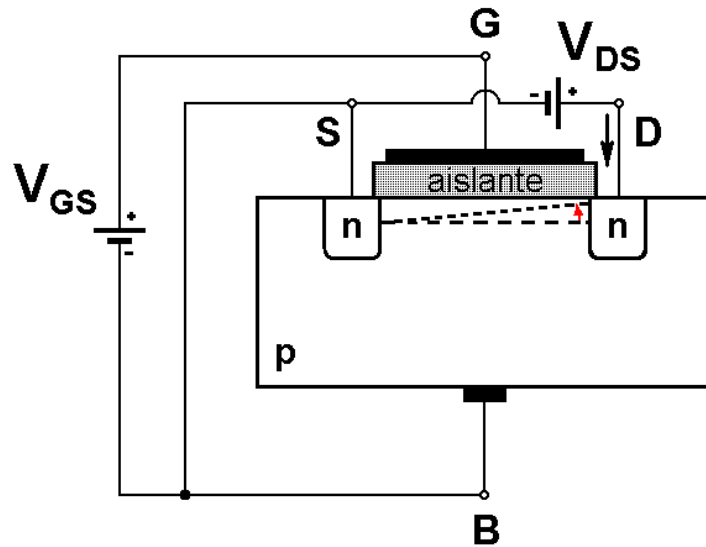
- Para hacer circular corriente entre D y S se requiere, además de la inversión, una diferencia de potencial entre ambos terminales (como ocurre por ejemplo en una resistencia)
- $V_{DS} > 0 \Rightarrow$ Electrones, de S (*Source*) a D (*Drain*); la corriente I_D , al revés ($I_G = 0$)
- Se necesitan por tanto dos fuentes de tensión. Normalmente B y S están conectados
- Con esta configuración, entre B y S no hay tensión ($V_B = V_S$)
- En la zona del canal próxima a D, la tensión efectiva que hay bajo el aislante no es V_{GS} , sino V_{GD} . Al ser $V_{GD} < V_{GS}$, el canal es más superficial en torno a D que en S
- Aunque el canal llegue a “estrangularse” en las proximidades de D ($V_{GD} < V_t$), no deja de haber corriente de D hacia S (“Field effect transistor”), pero la conducción cambia

• Curvas características del n-MOSFET



- 1) No hay canal de inversión de carga que comunique S y D
 - 2) Si $V_{GS} > V_t$ y $V_{GD} > V_t$, el canal de inversión de carga termina en D y la conducción crece con V_{DS} como en una resistencia. Además, a mayor V_{GS} más profundidad del canal de inversión
 - 3) Si $V_{GS} > V_t$ pero $V_{GD} < V_t$, el canal de inversión de carga se estrangula ("pinch-off"). Sin embargo, gracias al efecto campo, sigue habiendo corriente entre D y S: esta se hace constante con V_{DS}
- * Notar que $V_{GD} = V_{GS} - V_{DS} \Rightarrow$ Umbral: $V_{GD} = V_t \Leftrightarrow V_{DS} = V_{GS} - V_t$

- Curvas características del n-MOSFET



– $V_{GS} < V_T \Rightarrow$ corte: $i_D = 0$

– $V_{GS} > V_T \Rightarrow$ conducción. Regiones:

- Óhmica o triodo ($V_{DS} < V_{GS} - V_T$): comportamiento ~ resistivo controlado por tensión

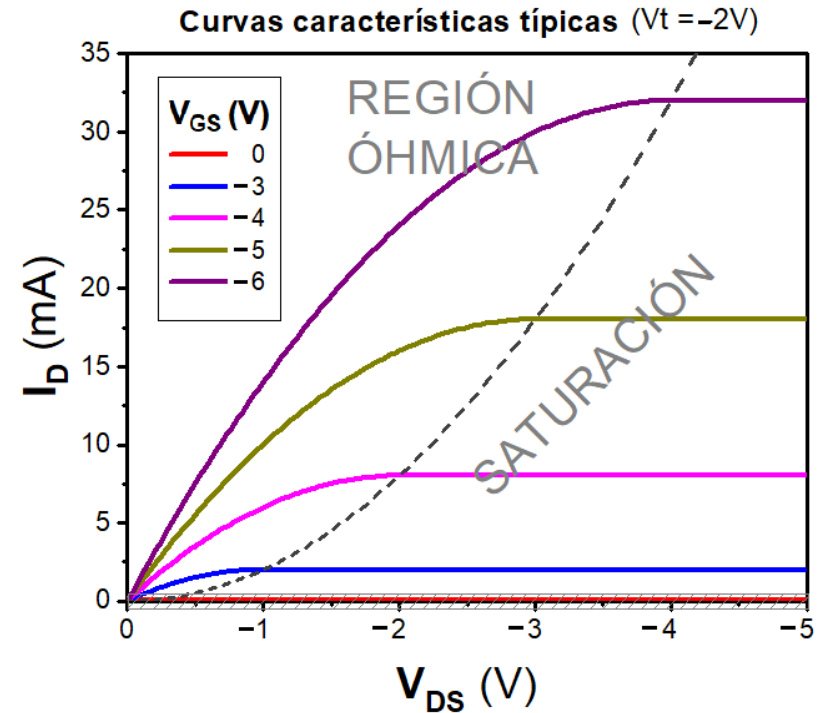
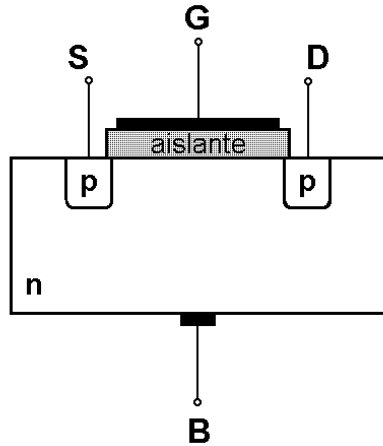
$$i_D = K[2(v_{GS} - V_T)v_{DS} - v_{DS}^2]$$

- De saturación ($V_{DS} > V_{GS} - V_T$): comportamiento de fuente de corriente dependiente

$$i_D = K(v_{GS} - V_T)^2 \quad \text{¡¡No depende de } V_{DS}!!$$

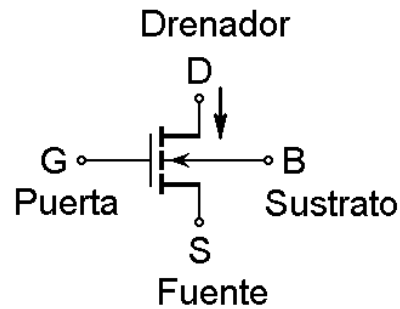
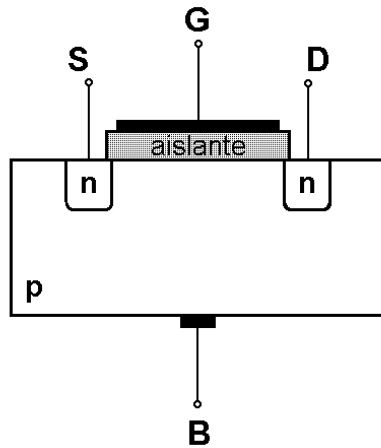
– Curvas características de salida, similares a las del transistor bipolar, ¡¡pero el nombre de las regiones de conducción cambia!! No hay curvas características de entrada: $I_G = 0$, $I_D = I_S$

- Curvas características del p-MOSFET

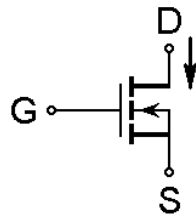


- Para crear canal de carga positiva, $V_{GS} < V_t < 0$
- Si $V_{GS} > V_t$, corte: $i_D = 0$
- Para que circule la carga positiva de S (Source) a D, $V_{SD} > 0 \Leftrightarrow V_{DS} < 0$
- Las cargas positivas y la corriente tienen el mismo sentido (saliente en D)
- $V_{GS} < V_t \Rightarrow$ conducción. Regiones:
 - Óhmica o triodo ($V_{DS} > V_{GS} - V_t$)
 - De saturación ($V_{DS} < V_{GS} - V_t$)

- **Símbolos (dispositivos de enriquecimiento)**

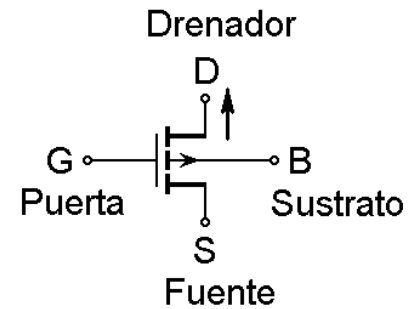
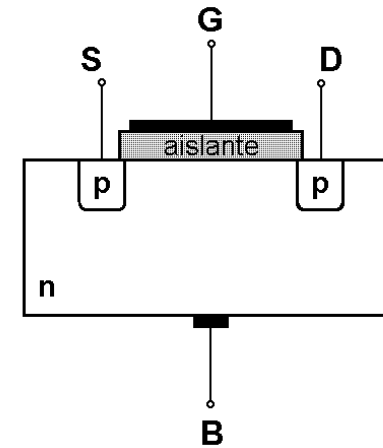
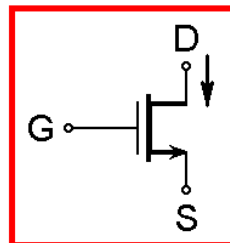


NMOS
de enriquecimiento

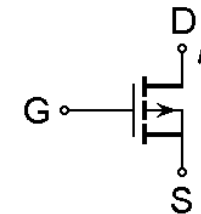


$V_{BS} = 0$

Símbolo
simplificado

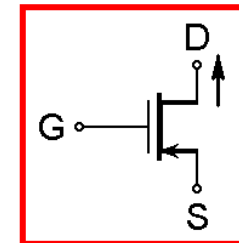


PMOS
de enriquecimiento

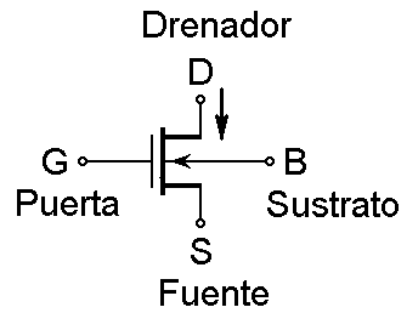
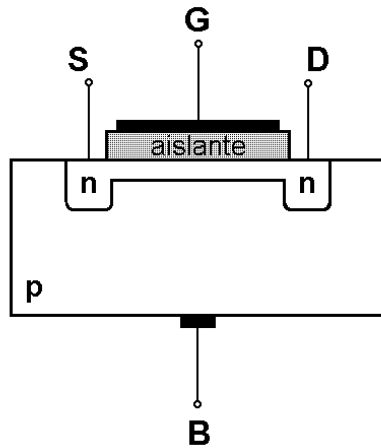


$V_{BS} = 0$

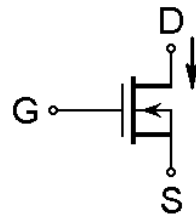
Símbolo
simplificado



- **Símbolos (dispositivos de empobrecimiento)**

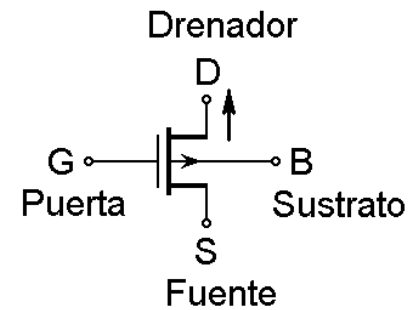
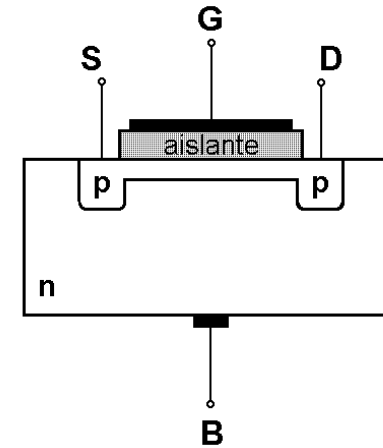
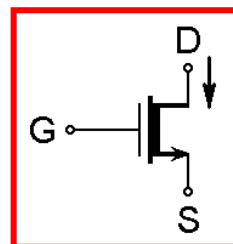


NMOS
de vaciamiento

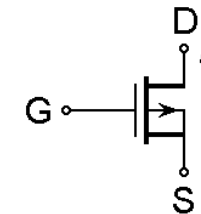


$V_{BS} = 0$

Símbolo
simplificado

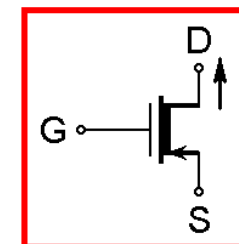


PMOS
de vaciamiento



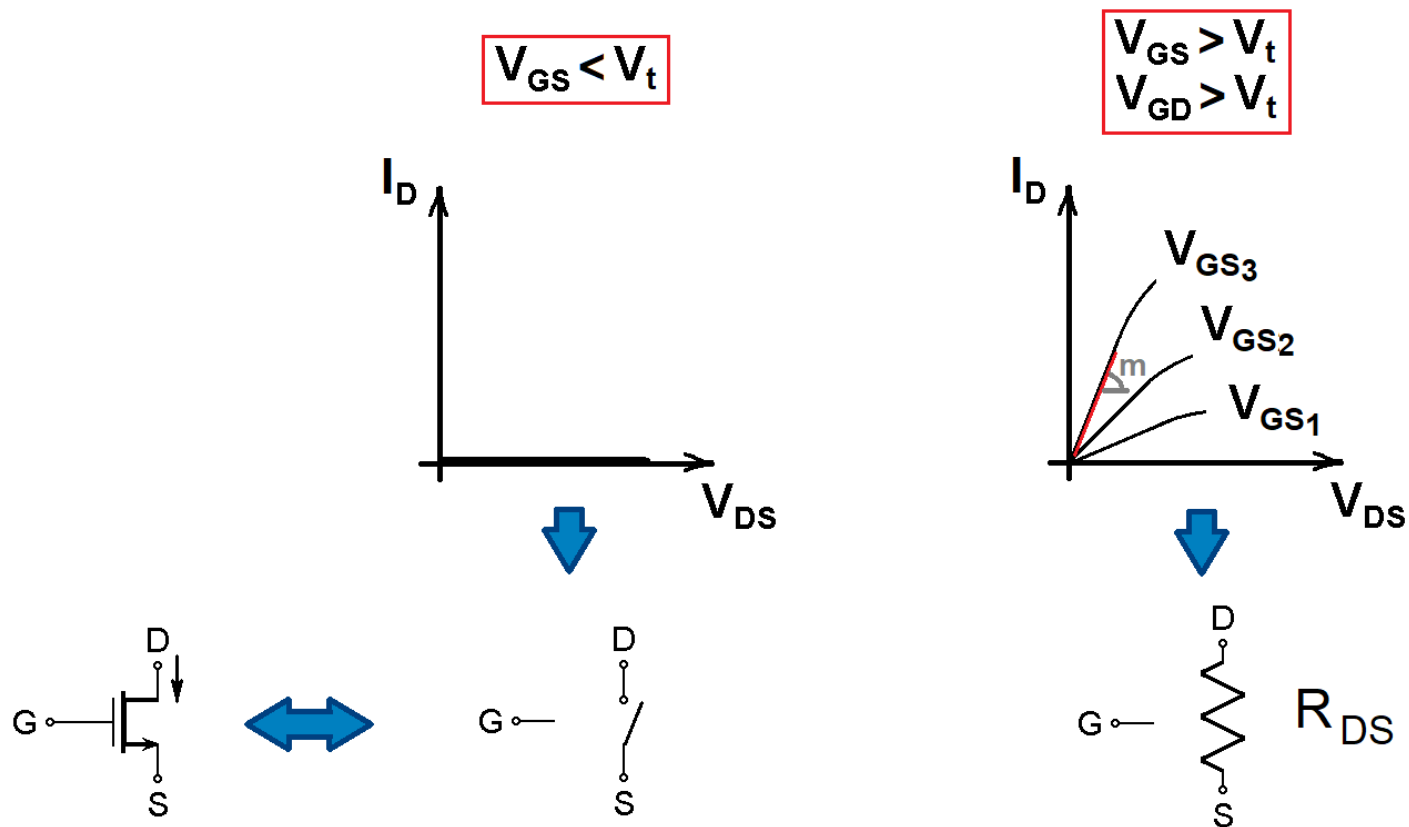
$V_{BS} = 0$

Símbolo
simplificado



- **Los MOSFETs en aplicaciones de puertas lógicas simples**

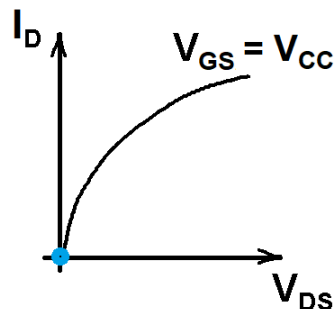
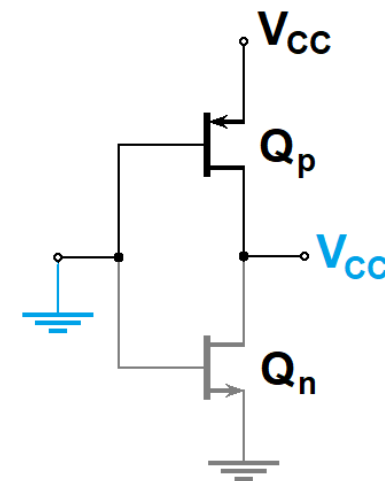
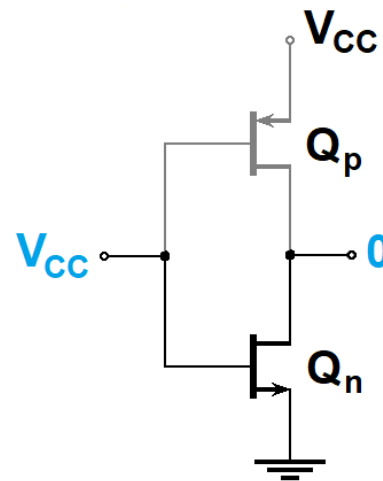
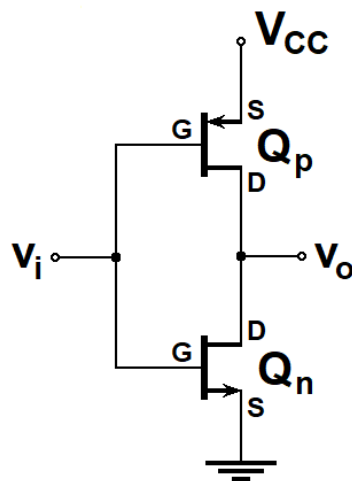
- Aunque un MOSFET puede trabajar en las tres regiones, en el caso de las puertas lógicas simples solo lo hace o en la región de corte o en la región óhmica
- Modelos del transistor en puertas lógicas (n-MOS):



- $R_{DS} = m^{-1}$ (normalmente es un valor conocido). Modelos análogos para p-MOS

• Estructura básica de la tecnología CMOS: inversor lógico

- Los primeros circuitos integrados basados en MOSFETs usaban n-MOSFETs. En la actualidad, n y p-MOSFETs (MOS complementarios o CMOS)
- Transistores complementarios: $V_{tn} = |V_{tp}| \equiv V_t$
- Además, consideraremos $V_{CC} > |V_t|$
- Dos situaciones a considerar: $v_i = V_{CC}$, $v_i = 0$. ¿ v_o ? \Leftrightarrow ¿ V_{DSn} ?

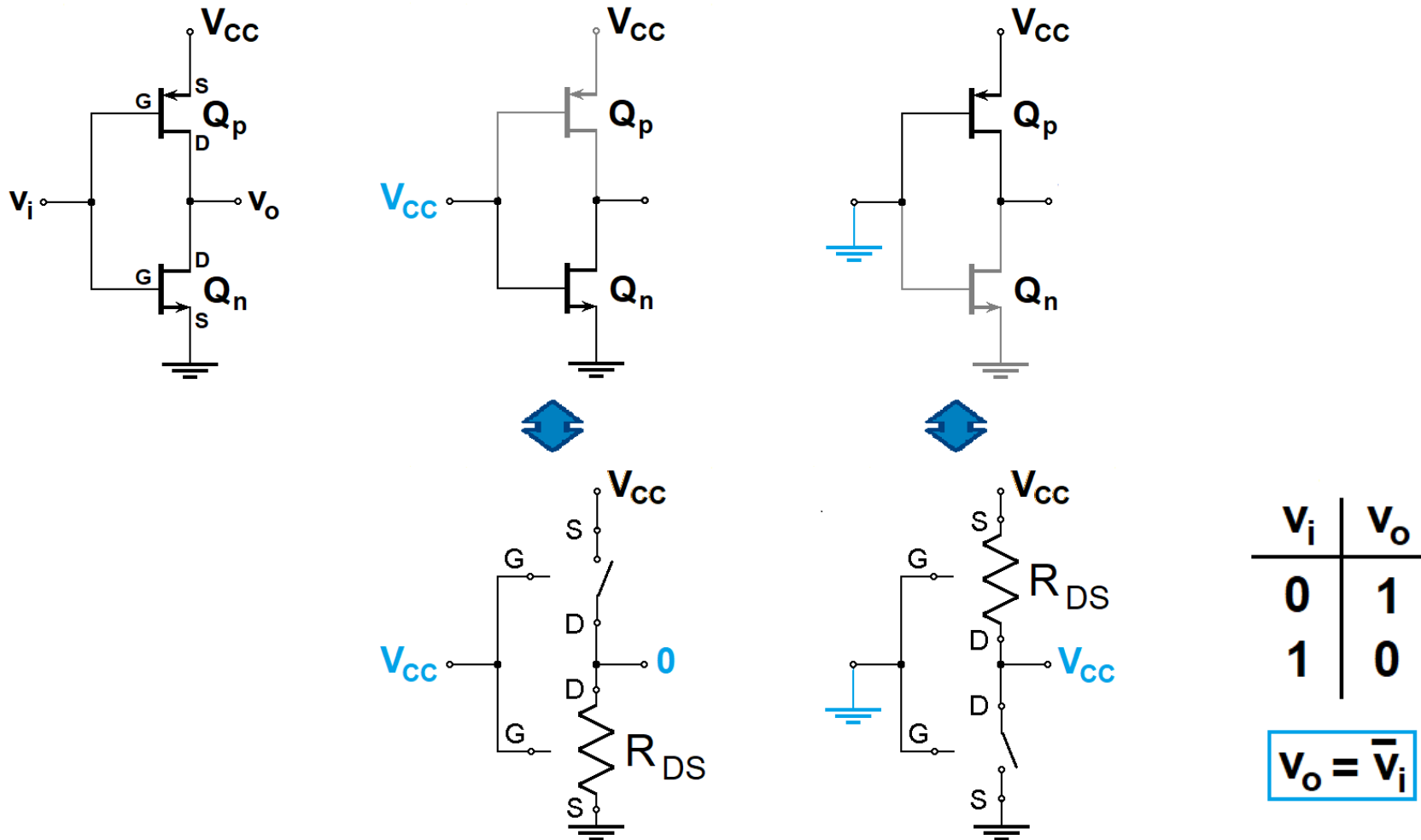


$$\begin{aligned}
 V_{GS_p} &= 0 \text{ (corte)} \\
 V_{GS_n} &= V_{CC} > V_t \text{ (conducción)} \\
 I_{dp} &= 0 = I_{Dn} \Rightarrow V_{DSn} = 0 \\
 v_o &= V_{DSn} = 0
 \end{aligned}$$

$$\begin{aligned}
 V_{GS_n} &= 0 \text{ (corte)} \\
 V_{GS_p} &= -V_{CC} < V_t \text{ (conducción)} \\
 I_{Dn} &= 0 = I_{Dp} \Rightarrow V_{DSp} = 0 \\
 v_o &= V_{CC} - V_{DSp} = V_{CC}
 \end{aligned}$$

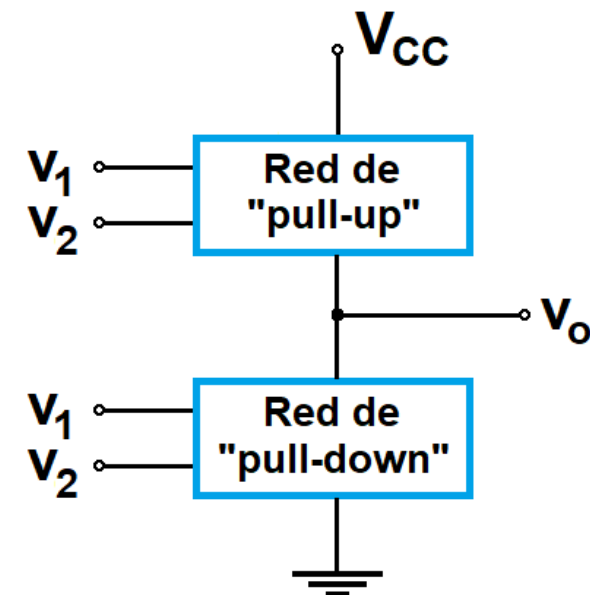
- Estructura básica de la tecnología CMOS: inversor lógico

– También es fácil conocer el valor de v_o , usando los modelos correspondientes:



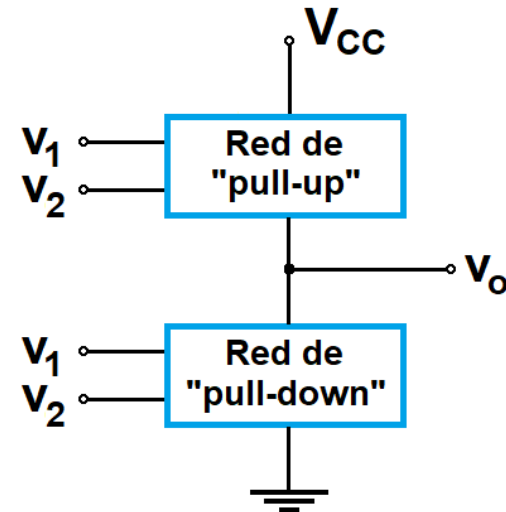
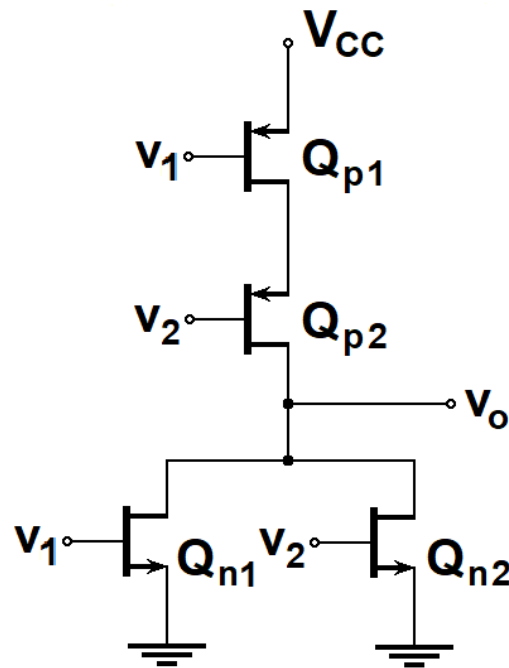
- En ambos casos $I_{DSn} = I_{DSp} = 0 \Rightarrow$ No cae tensión en las resistencias R_{DS}
- A Q_p se le denomina dispositivo de *pull-up* y a Q_n , de *pull-down*

- **Estructura básica de la tecnología CMOS: redes de *pull-up* y de *pull-down***
 - Se pueden construir otras puertas lógicas con mayor número de entradas usando un mayor número de transistores \Rightarrow redes (de transistores) de *pull-up* y *pull-down*
 - La red de pull-up está formada por p-MOSFETs que conectan la salida a V_{cc} cuando las entradas del circuito son las adecuadas para la función deseada
 - La red de pull-down está formada por n-MOSFETs que conectan la salida a 0 cuando las entradas del circuito son las adecuadas para la función deseada
 - Para una cierta combinación de valores de entrada solo existe camino entre la salida y una de las dos redes
 - A mayor número de entradas, mayor número de MOSFETs en las redes del circuito



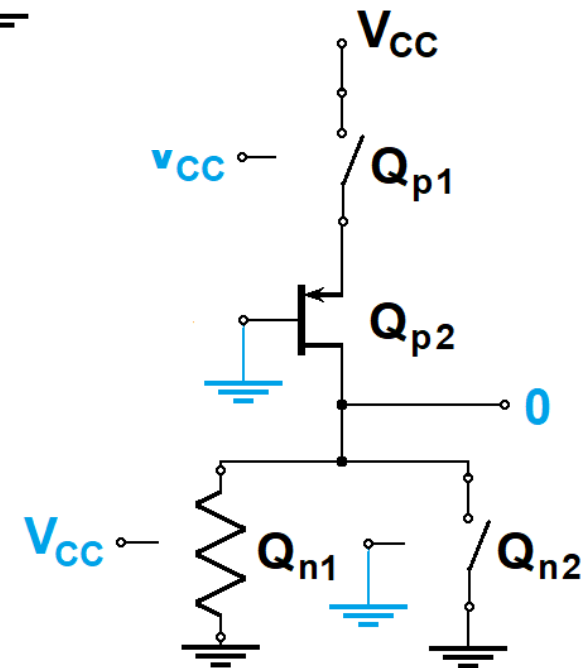
- Estructura básica de la tecnología CMOS: redes de *pull-up* y de *pull-down*

♣ Ejemplo:



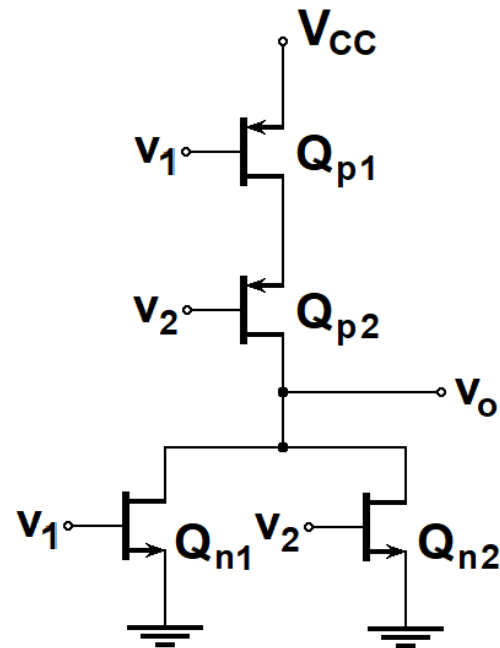
– Considerando el caso $v_1 = V_{cc}$ y $v_2 = 0$, por ejemplo, y los circuitos equivalentes para cada MOSFET:

- Entre la red superior y la salida, el camino está interrumpido por ser $V_{GSp1} = 0 > V_t$
- Al ser $V_{GSn1} = V_{cc} > V_t$, el transistor Q_{n1} , comunica la salida con la tierra del circuito.
- Q_{n2} permanece en corte, pues $V_{GSn2} = 0 < V_t$



- **Estructura básica de la tecnología CMOS: redes de *pull-up* y de *pull-down***

Análogamente pueden verificarse las otras tres situaciones, de manera que la tabla de verdad que se obtiene corresponde a una puerta lógica NOR:



v_1	v_2	v_o
0	0	1
0	1	0
1	0	0
1	1	0

$$v_o = \bar{v}_1 \cdot \bar{v}_2 = \overline{v_1 + v_2}$$

♣ Tecnología CMOS, **mayor nivel de integración en circuitos lógicos** y de memoria que las tecnologías basadas en transistores bipolares, debido a:

- Menor disipación de potencia en los MOSFETs
- Reducción paulatina de la longitud del canal entre fuente y drenador hasta tamaños nanométricos gracias al desarrollo de las técnicas de fabricación