

千芯科技（北京）有限公司 FPGA 开发岗笔试题 1

笔试时间

4 小时

笔试题目

请用 verilog 写一个模块，实现窗口宽度为 5 的移动平均滤波器。

设滤波函数记为 $y = \text{avg}(x)$ ，其中输入 x 为一个长度为 N 的 8 bit 离散序列。输出 y 也为长度为 N 的 8 bit 离散序列。那么该函数可以用以下伪代码标记。(代码可参考 avg.c)

```
#define N 32
```

```
void avg(unsigned char* x, unsigned char* y)
```

```
{
```

```
    int i, j, k;
```

```
    int sum;
```

```
    unsigned char avg;
```

```
    for (i = 0; i < N; i++)
```

```
    {
```

```
        sum = 0;
```

```
        for (j = -2; j <= 2; j++)
```

```
        {
```

```
            k = i + j;
```

```
            if (k >= 0 && k < N)
```

```
                sum += x[k];
```

```
        }
```

```
        avg = sum * 51 / 256;
```

```
        y[i] = avg;
```

```
    }
```

```
}
```

请用 verilog 实现以上函数。Testbench (tb_fir.v) 和 module(fir.v)的接口定义部分已经准备好。应聘者只需完成 fir.v 中的具体实现。

提示

1. 请阅读 fir.v 中的注释理解接口信号含义。
2. vin 为连续输入，不考虑 vin 中断的情况。即 vin 上升沿表示输入序列开始，下降沿表示输入序列结束。
3. vout 的时序与 vin 相同，只不过有数个时钟周期的延迟。
4. vin/vout 为高电平表示数据有效。
5. tb_fir.v 提供 N=32 的随机输入测试激励。但是 fir 模块应该支持 N 为任意长度的输入序列。
6. 窗口宽度为 5，所以在做平均运算除以 5 时，用 51/256 近似 1/5，才能保证测试通过。
7. 请用流水线结构实现。

提交内容

完成后只需提交修改过的 fir.v 文件。