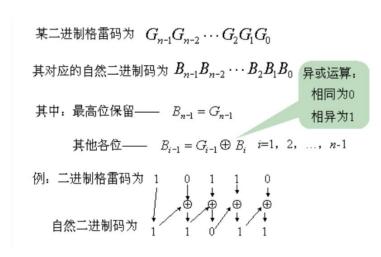
异步 FIFO 设计简介

十进制	自然二进制	格雷码	十进制	自然二进制	格雷码
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	10	1010	1111
3	0011	0010	11	1011	1110
4	0100	0110	12	1100	1010
5	0101	0111	13	1101	1011
6	0110	0101	14	1110	1001
7	0111	0100	15	1111	1000

二进制转格雷码:

某二进制数为
$$B_{n-1}B_{n-2}\cdots B_2B_1B_0$$
 异或运算: 相同为0 相异为1 其中: 最高位保留—— $G_{n-1}=B_{n-1}$ 其他各位—— $G_i=B_{i+1}\oplus B_i$ i =0,1,2,…, n -2 例:二进制数为 1 0 1 1 0 中 \oplus \oplus \oplus \oplus \oplus 格雷码为 1 1 1 0 1

格雷码转二进制:



总结: 通过以上对比可以发现:

- 1、 相邻的两个格雷码只有一 bit 不同
- 2、 0 与 8、1 与 9、2 与 10······对应的格雷码的最高两位相 反,其余位相同。

在异步 FIFO 设计中,如何判断 FIFO 的空和满呢?这里可以设计一个写数据地址指针(wr_ptr)和一个读数据地址指针(rd_ptr),并且,在地址指针中额外多加一 bit,当写指针增加并越过 FIFO 的最后一个地址时,就将写指针这个未用的 MSB 加 1,其它位溢出。对读指针也进行同样的操作。此时,对于深度为 2ⁿ 的 FIFO,需要的读/写指针位宽为(n+1)位,例如:对于深度为 8 (2³)的 FIFO,读/写指针需要采用 4bit 的计数器,0000~1000、1001~1111,MSB(bit3)作为折回标志位,而低 3 位 (bit2—bit0)作为地址指针。

所以,如果读指针与写指针的 MSB 不同,说明写指针已经写完了一轮,而读指针还没读完一轮;如果两个指针的 MSB 相同,则说明读指针与写指针处于同一轮。

但是,在二进制中,地址数据加 1 时,会存在多个 bit 发生变化,这就会造成多 bit 信号变化不一致,在异步时钟域下会产生亚稳态现象,而在读、写时钟域下,如果读、写地址变化采样结果不正确就会造成空、满状态的误判。而格雷码具备一个很好的特点,是每次只有一个 bit 发生变化,在读、写时钟域下做同步时,能够很好地降低出现亚稳态的概率。

因此,将二进制的读/写地址指针转换为格雷码表示时,就可以有效避免地址采样错误的情况;而且从上表可以发现,当满足以下条件时,

表明 FIFO 被写满:

- 1、格雷码读地址指针的最高位与格雷码写地址指针的最高位相反;
- 2、 格雷码读地址指针的次高位与格雷码写地址指针的次高位相反;
- 3、 其余 n-1 位完全相同;

当满足以下条件时,表明 FIFO 被读空:

1、格雷码读地址指针的所有位与格雷码写地址指针的所有位都相同。