学习文档

**Verilog基础——I2C**

**-----------------------**

修订记录

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **日期** | **版本** | **修订说明** | **修订人** | **审核人** | **批准人** |
| 2022-5-7 | 1.0 | 创建 | 王庆铃 |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

目录

[修订记录 2](#_Toc102814292)

[1. I2C协议原理 1](#_Toc102814293)

[2. 工程实现 1](#_Toc102814294)

[2.1. 需求分析 1](#_Toc102814295)

[2.2. 系统架构 1](#_Toc102814296)

[2.3. 模块划分 1](#_Toc102814297)

[2.3.1. 从机模块 1](#_Toc102814298)

[2.4. 状态转移图 2](#_Toc102814299)

[2.5. 时序图 2](#_Toc102814300)

[2.6. 代码设计 3](#_Toc102814301)

[2.7. 仿真测试 3](#_Toc102814302)

[2.8. 板级验证 3](#_Toc102814303)

# I2C协议原理

参考[“IIC接口设计.docx”](../../I2C_Controller/doc/IIC接口设计.docx)原理部分

# 工程实现

## 需求分析

编写一个IIC从机模块，可以实现主机对其进行数据的读写

要求SCLK频率可改

## 系统架构



## 模块划分

### 从机模块

**模块框图**



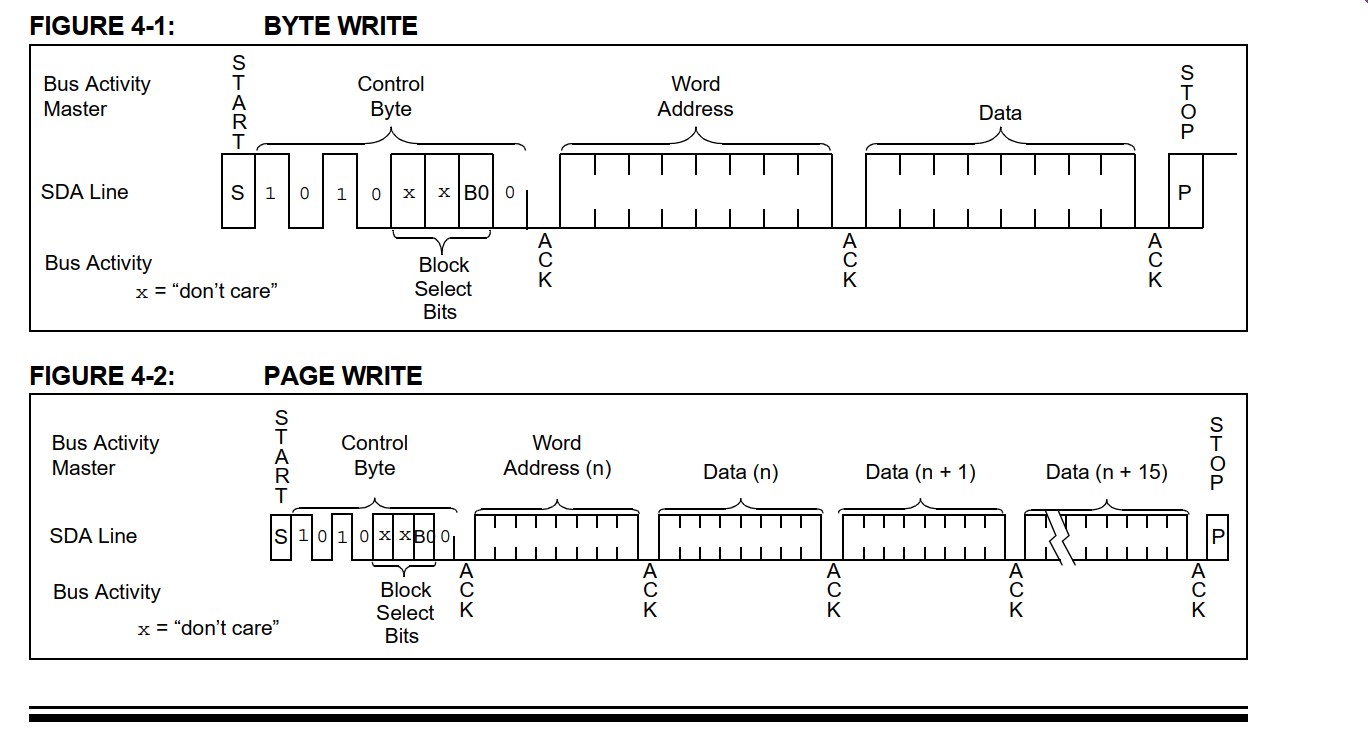
**信号列表**

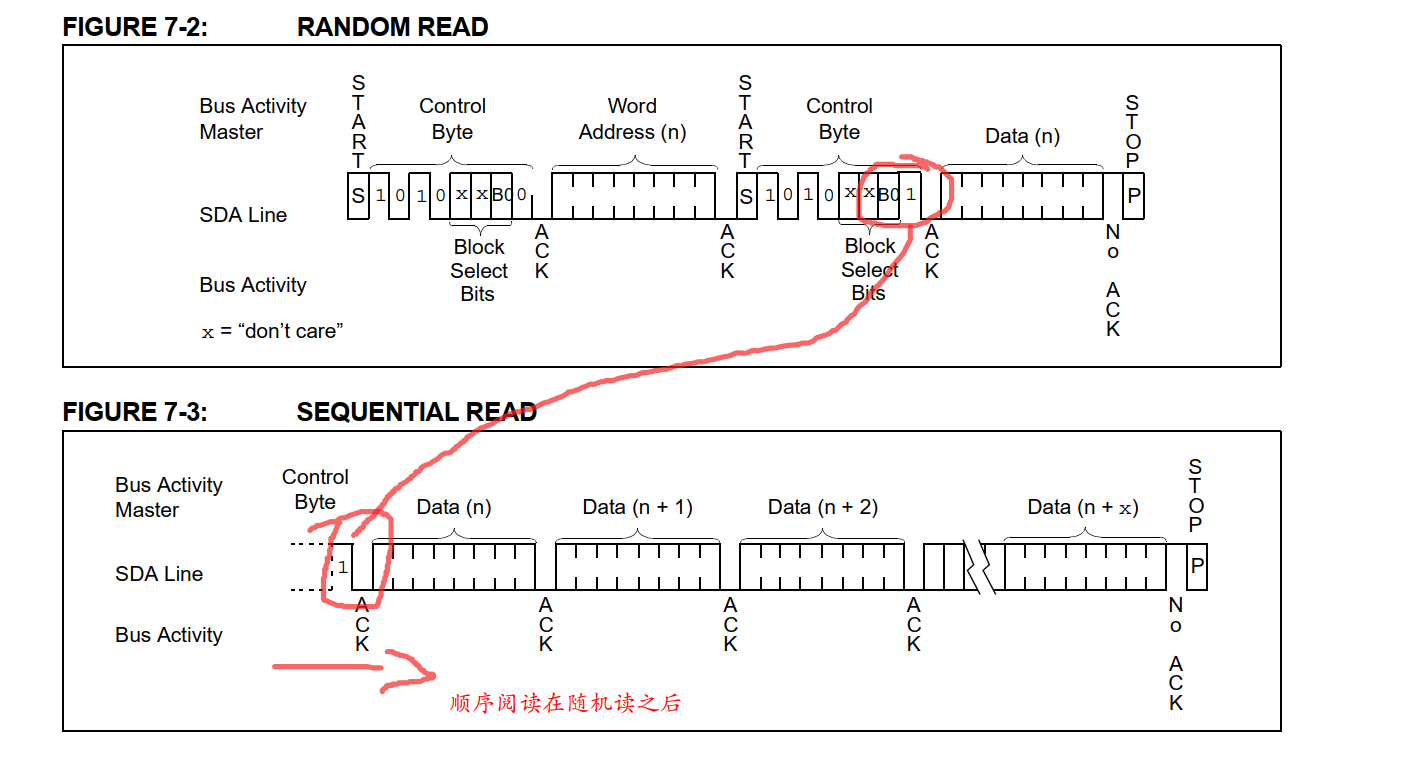
|  |  |  |  |
| --- | --- | --- | --- |
| **端口信号** | **端口类型** | **数据位宽** | **信号说明** |
| Clk | I | 1 | 系统时钟，50MHz |
| Rst\_n | I | 1 | 系统复位，低有效 |
| Sclk | I | 1 | 串行输入时钟，400KHz |
| Sdat | I/O | 1 | 串行输入输出数据 |
| Rd\_data\_vld | O | 1 | 读出数据有效标志，读数据时发送Ack即拉高 |
| Rd\_data | O | 8 | 读出数据 |
| Wr\_data\_vld | O | 1 | 写入数据有效标志，发送停止位后才开始写入 |
| Wr\_data | O | 8 | 写入数据 |

## 状态转移图



## 时序图





## 代码设计

## 仿真测试

## 板级验证