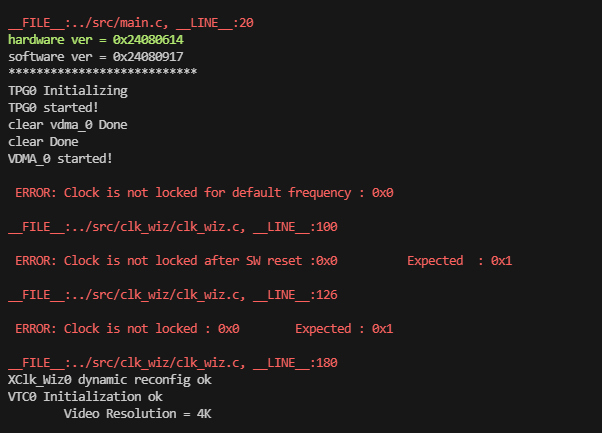


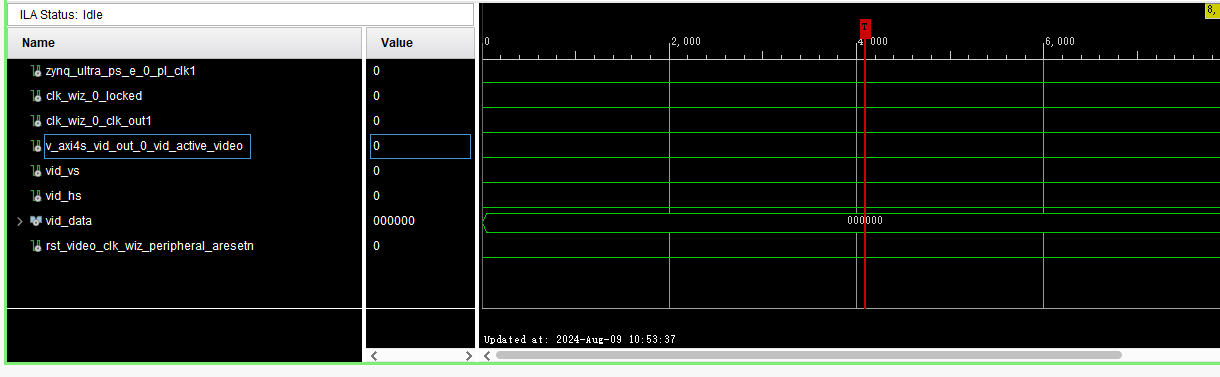
golden和upgrade的Zynq核设置一样

现象：

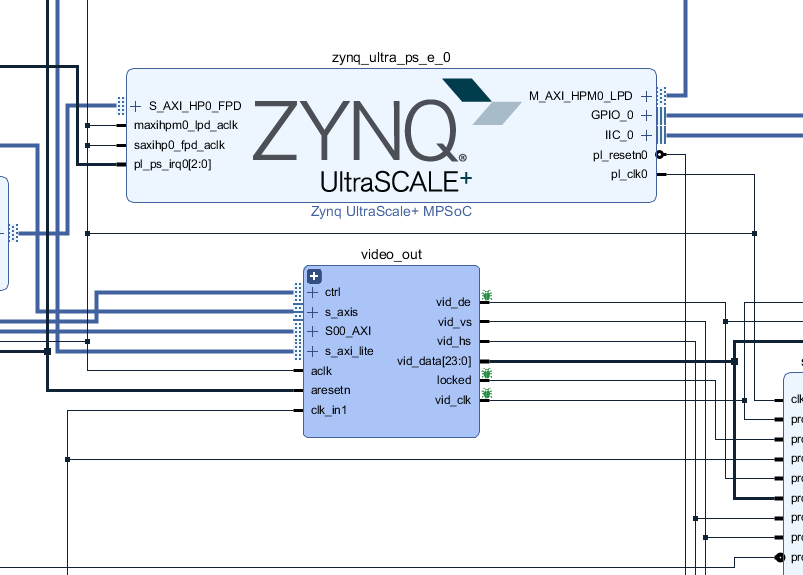
上电从golden跳转到upgrade后，发现clk\_wiz的输出时钟不能lock，clk\_wiz的输入时钟源是pl\_clk1，如不进行调整，将upgrade估计更新到golden区域，功能无误



加入ila后，发现pl\_clk1没有时钟



更新：

只留pl\_clk0，作为输入时钟给到clk\_wiz，解决lock初始化问题，但sil9136不显示

通过逻辑分析仪抓有i2c配置，外部引脚有信号

推测，使用两个clk\_wiz导致？

经过实验，PS的arm核bootloader只作用一次，故golden和upgrade的arm配置不一会导致出问题

目前解决方法，将upgrade的xsa与golden共同使用