

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。 この正誤表は、2010 年 1 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを 記したものです。 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2010 年 10 月 20 日

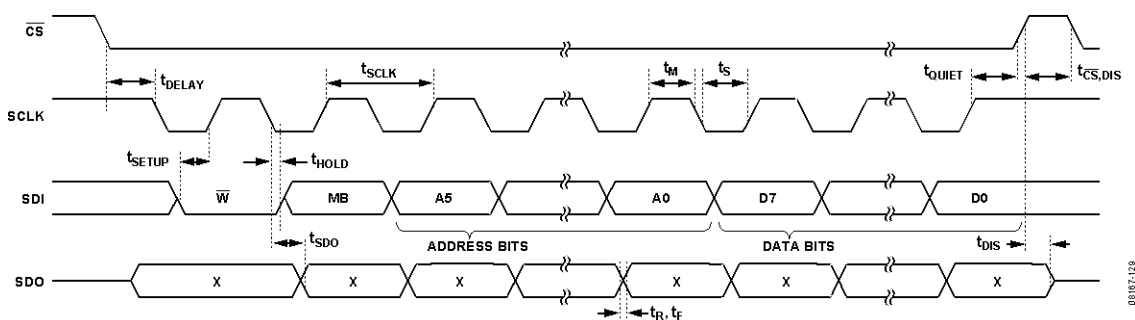
製品名：ADXL345

対象となるデータシートのリビジョン(Rev)：英語版 Rev.A、日本語版 Rev.A

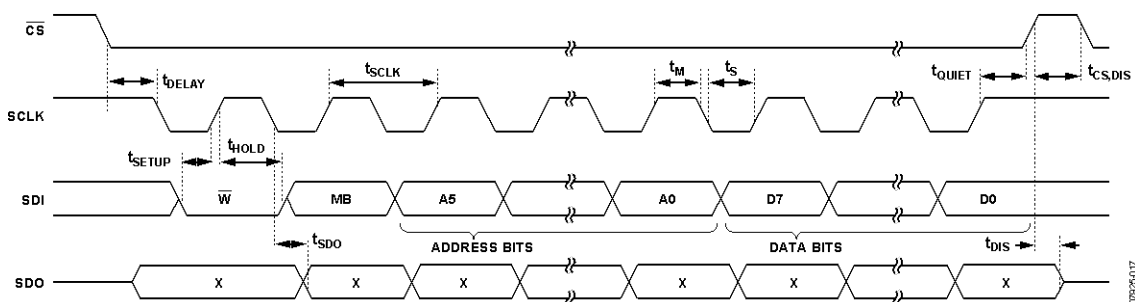
訂正箇所：

英語版 P15 Figure 36. SPI 4-Wire Write、日本語版 P15 図 36. SPI4 線書込み (t_{HOLD} のタイミング誤記)

誤：

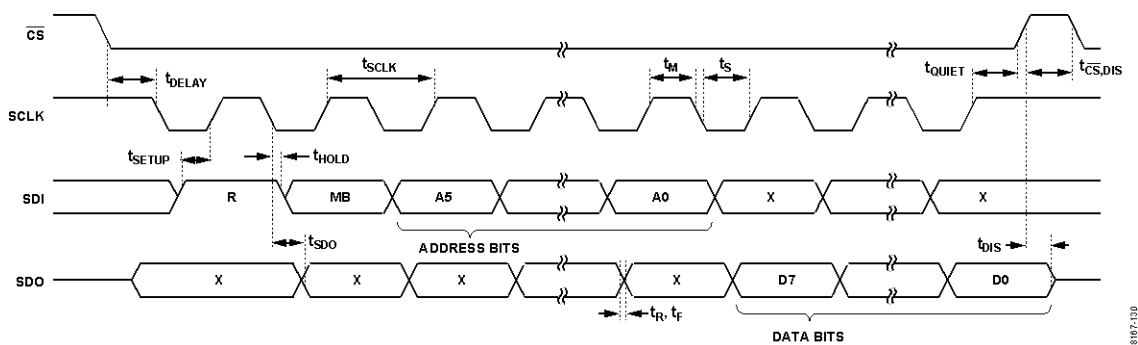


正：

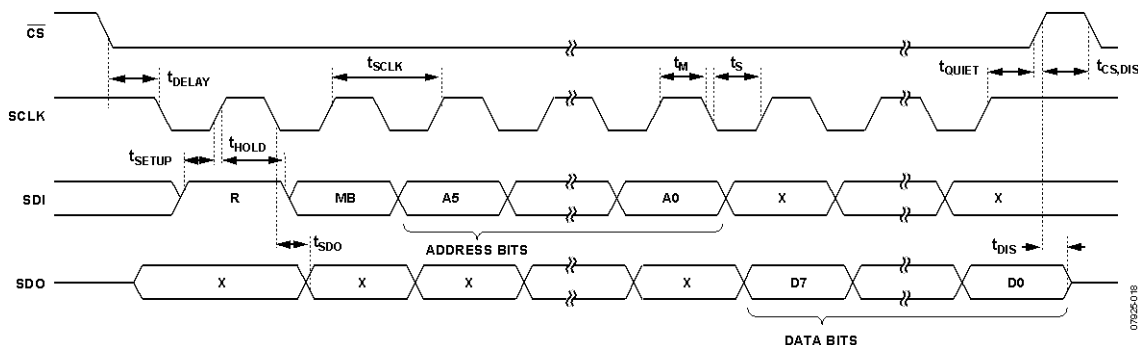


英語版 P15 Figure 37. SPI 4-Wire Read、P15 図 37. SPI4 線読出し (●訂正事項： t_{HOLD} のタイミング誤記)

誤：

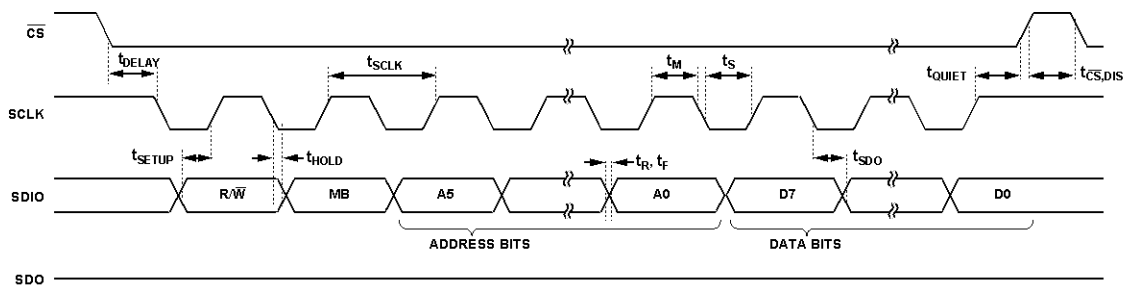


正：

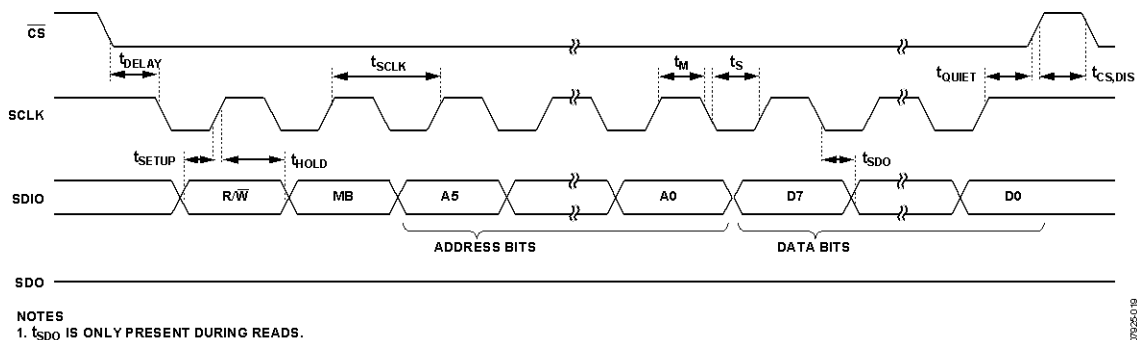


英語版 P15 Figure 38. SPI 3-Wire Read/Write、日本語版 P15 図 38. SPI 3 線式読み／書き込み (t_{HOLD} のタイミング誤記)

誤：



正：



以上

特長

超低消費電力： $V_S = 2.5\text{ V}$ 時に測定モードで $23\mu\text{A}$ (Typ)、スタンバイ・モードで $0.1\mu\text{A}$ (Typ)

選択した帯域幅によって消費電力を自動的に調整

アプリケーションに合わせて分解能を選択可能

10ビット固定分解能モード

最大分解能モード：分解能は g レンジに従って増加し、 $\pm 16\text{ g}$ で最大 13 ビットの分解能 (全 g レンジで約 3.9 mg/LSB の分解能)

FIFO 内蔵によりホストプロセッサの負荷を低減

タップ/ダブル・タップの検出 アクティブ/インアクティブの検出

自由落下の検出

電源電圧範囲： $2.0 \sim 3.6\text{ V}$

I/O 電圧範囲： $1.7\text{ V} \sim V_S$

SPI (3 線式または 4 線式) および I²C デジタル・インターフェース
すべての割込みはいずれの割込み出力ピンにもマッピング可能 測定範囲はシリアルコマンドで選択可能 帯域幅はシリアルコマンドで選択可能

温度範囲 ($-40 \sim +85^\circ\text{C}$) 衝撃耐性：10,000 g 鉛フリー

RoHS 準拠

小型・薄型パッケージ：3 mm × 5 mm × 1 mm LGA パッケージ

アプリケーション

携帯電話機 医用計測器

ゲームおよびポインティング機器 工業用計測器

パーソナル・ナビゲーション・デバイス

ハードディスク・ドライブ (HDD) 保護 フィットネス機器

概要

ADXL345 は、小型、薄型、低消費電力の 3 軸加速度センサーで、最大 $\pm 16\text{ g}$ の測定範囲で高分解能 (13 ビット) の加速度計測が可能です。デジタル出力データは、16 ビットの「2 の補数」フォーマットで、SPI (3 線式または 4 線式) あるいは I²C のデジタル・インターフェースでアクセスできます。

ADXL345 は、モバイル機器アプリケーションに最適です。この製品は、傾き検出アプリケーションにおける重力の静的加速度のほか、動き、衝撃、振動による動的加速度も計測できます。傾き検出の場合は、その高分解能 (3.9 mg/LSB) によって 1.0° 未満の傾きの変化を測定できます。

この製品は、内蔵アルゴリズムに基づいた複数のセンシング機能も提供します。アクティブ/インアクティブ機能は、動き (モーション) の有無や、いずれかの軸の加速度がユーザ設定レベルを超えたかどうかを検出します。タップ/ダブル・タップ機能はシングル・タップとダブル・タップを検出します。自由落下機能は、デバイスが自由落下中かどうかを検出します。これらの機能は、2 本の割込み出力ピンのいずれかにマッピングできます。

特許申請中の 32 レベル FIFO 型内蔵バッファを使用して加速度センサー内にデータを格納することで、ホストプロセッサとの通信を最小限に抑えることができます。

低消費電力で動作させる場合では、加速度の入力信号に基づいたパワーマネジメントを実現し、きわめて低い消費電力でアクティブ検出と加速度測定を行います。

ADXL345 は、小型、薄型の 3 mm × 5 mm × 1 mm 14 ピン LGA パッケージを採用しています。

機能ブロック図

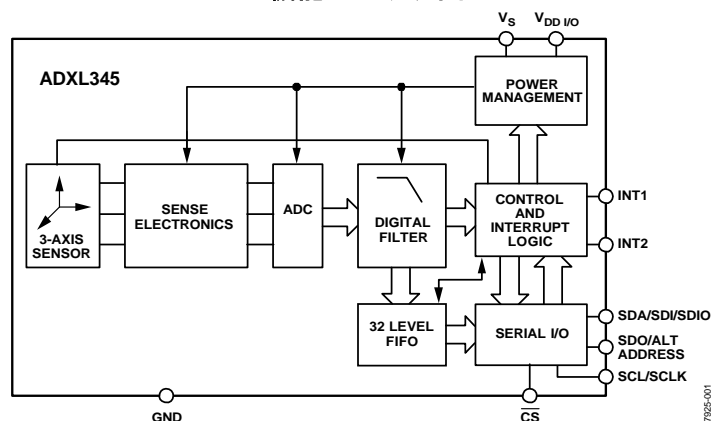


図 1. ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2009 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	FIFO	20
アプリケーション	1	セルフテスト	21
概要	1	レジスタ・マップ	22
機能ブロック図	1	レジスタ定義	23
改訂履歴	2	アプリケーション情報	27
仕様	3	電源のデカップリング	27
絶対最大定格	5	取付けに関する機構上の留意点	27
熱抵抗	5	タップ検出	27
パッケージ情報	5	閾値	28
ESD に関する注意	5	リンク・モード	28
ピン配置と機能の説明	6	スリープ・モードと低消費電力モード	29
代表性能特性	7	オフセット・キャリブレーション	29
動作原理	12	セルフテストの使用法	30
電源シーケンシング	12	高データレートのデータ・フォーマット	31
節電	13	ノイズ性能	32
シリアル通信	14	2.5 V 以外の電圧での動作	32
SPI	14	最低データレートでのオフセット性能	33
⁴ 出力の立上がり／立下がり時間は、150 pF の容量性負荷で測定しています。	16	加速度検出軸	34
I ² C	17	レイアウトと設計の推奨事項	35
割込み	19	外形寸法	36
		オーダー・ガイド	36

改訂履歴

4/10—Rev. 0 から Rev. A へ変更 特徴と概要記述セッションの変更	1
スペックセッションの変更	3
表 2 と表 3 の変更	5
パッケージ情報セッション、図 2 及び表 4 の追加 表、図順番再編成	5
表 5 の 12 pin の記述の変更	6
代表特性性能セッション追加	7
動作原理と電源シーケンシング内容の変更	12
節電セッション表 7、8、オートスリープモードセッション及びスタンバイモードセッションの変更	13
SPI セッション変更	14
図 36 から 38 変更	15
表 9 と 10 の変更	16
I ² C セッション及び表 11 変更	17
表 12 の変更	18
割り込、アクティブ・インアクティブ・フリーフォールセッションの修正	19
表 13 の追加	19
FIFO セッションの修正	20
セルフテストセッション・表 15 から表 18	21
図 42・表 14 の追加	21
表 19 の追加	22

レジスタ 0x1D—THRESH_TAP (Read/Write)セッション、レジスタ 0x1E, 0x1F, 0x20—OFSX, OFSY, OSXZ (Read/Write)セッションレジスタ, 0x21—DUR (Read/Write) Section, Register 0x22—Latent (Read/Write)セッション及びレジスタ 0x23—Window (Read/Write)セッションの変更	23
ACT_X Enable Bits、INACT_X Enable Bit セッション、レジスタ 0x28—THRESH_FF (Read/Write), 0x29—TIME_FF (Read/Write), Asleep Bit, 及び AUTO_SLEEP Bit セッション変更	24
Sleep Bit セッション変更	25
電源でカップリング、取り付けに関する構造上の留意点、タップ検出セッション変更	27
閾値セッションの変更	28
スリープ・モードと低消費電力モード変更	29
オフセット・キャリブレーションの追加	30
セルフテスト使用方法の変更	30
高データレートのデータフォーマットセッション、図 48、49 の追加	31
ノイズ性能、図 50 から図 52 及び 2.5V 以外の電圧動作セッション追加	32
最低データレートでのオフセット性能セッション及び図 53 から図 55 追加	33

6/09—Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 、 $V_S = 2.5\text{ V}$ 、 $V_{DDIO} = 1.8\text{ V}$ 、加速度 = 0 g 、 $C_S = 10\text{ }\mu\text{F}$ タンタル・コンデンサ、 $C_{IO} = 0.1\text{ }\mu\text{F}$ 。ODR 800 Hz

表 1. 仕様¹

Parameter	Test Conditions	Min	Typ ²	Max	Unit
SENSOR INPUT	Each axis				
Measurement Range	User selectable		$\pm 2, \pm 4, \pm 8, \pm 16$		g
Nonlinearity	Percentage of full scale		± 0.5		%
Inter-Axis Alignment Error			± 0.1		Degrees
Cross-Axis Sensitivity ³			± 1		%
OUTPUT RESOLUTION	Each axis				
All g Ranges	10-bit resolution		10		Bits
$\pm 2\text{ g}$ Range	Full resolution		10		Bits
$\pm 4\text{ g}$ Range	Full resolution		11		Bits
$\pm 8\text{ g}$ Range	Full resolution		12		Bits
$\pm 16\text{ g}$ Range	Full resolution		13		Bits
SENSITIVITY	Each axis				
Sensitivity at X_{OUT} , Y_{OUT} , Z_{OUT}	All g -ranges, full resolution	230	256	282	LSB/ g
	$\pm 2\text{ g}$, 10-bit resolution	230	256	282	LSB/ g
	$\pm 4\text{ g}$, 10-bit resolution	115	128	141	LSB/ g
	$\pm 8\text{ g}$, 10-bit resolution	57	64	71	LSB/ g
	$\pm 16\text{ g}$, 10-bit resolution	29	32	35	LSB/ g
Sensitivity Deviation from Ideal	All g -ranges		± 1.0		%
Scale Factor at X_{OUT} , Y_{OUT} , Z_{OUT}	All g -ranges, full resolution	3.5	3.9	4.3	mg/LSB
	$\pm 2\text{ g}$, 10-bit resolution	3.5	3.9	4.3	mg/LSB
	$\pm 4\text{ g}$, 10-bit resolution	7.1	7.8	8.7	mg/LSB
	$\pm 8\text{ g}$, 10-bit resolution	14.1	15.6	17.5	mg/LSB
	$\pm 16\text{ g}$, 10-bit resolution	28.6	31.2	34.5	mg/LSB
Sensitivity Change Due to Temperature			± 0.01		%/ $^{\circ}\text{C}$
0 g OFFSET	Each axis				
0 g Output for X_{OUT} , Y_{OUT}		-150	0	+150	mg
0 g Output for Z_{OUT}		-250	0	+250	mg
0 g Output Deviation from Ideal, X_{OUT} , Y_{OUT}			± 35		mg
0 g Output Deviation from Ideal, Z_{OUT}			± 40		mg
0 g Offset vs. Temperature for X-, Y-Axes			± 0.4		mg/ $^{\circ}\text{C}$
0 g Offset vs. Temperature for Z-Axis			± 0.8		mg/ $^{\circ}\text{C}$
NOISE					
X-, Y-Axes	ODR = 100 Hz for $\pm 2\text{ g}$, 10-bit resolution or all g -ranges, full resolution		0.75		LSB rms
Z-Axis	ODR = 100 Hz for $\pm 2\text{ g}$, 10-bit resolution or all g -ranges, full resolution		1.1		LSB rms
OUTPUT DATA RATE AND BANDWIDTH	User selectable				
Output Data Rate (ODR) ^{4, 5, 6}		0.1		3200	Hz
SELF-TEST⁷					
Output Change in X-Axis		0.20		2.10	g
Output Change in Y-Axis		-2.10		-0.20	g
Output Change in Z-Axis		0.30		3.40	g
POWER SUPPLY					
Operating Voltage Range (V_S)		2.0	2.5	3.6	V
Interface Voltage Range (V_{DDIO})		1.7	1.8	V_S	V
Supply Current	ODR $\geq 100\text{ Hz}$		140		μA
	ODR $< 10\text{ Hz}$		30		μA
Standby Mode Leakage Current			0.1		μA
Turn-On and Wake-Up Time	ODR = 3200 Hz		1.4		ms
TEMPERATURE⁸					
Operating Temperature Range		-40		+85	$^{\circ}\text{C}$
WEIGHT					
Device Weight			30		mg

- ¹ 特性評価の結果に基づく使用であり、出荷テストはおこなっていません。
- ² ここに示す仕様の Typ 値は、68% 以上のデバイス数に対する値であり、平均 $\pm 1 \sigma$ の最悪値をベースにしており、0 g の出力と感度は目標値を示しています。0 g のオフセットと感度の場合、理想値からの偏差は平均 $\pm 1 \sigma$ の最悪値を表しています。
- ³ 交差軸感度は、任意の 2 軸間のカップリングとして定義されています。
- ⁴ 帯域幅は -3 dB 周波数であり、出力データレート帯域幅の半分 (= ODR/2) です。
- ⁵ 3200 Hz と 1600 Hz の ODR の出力フォーマットは、残りの ODR の出力フォーマットとは異なります。この差異については、「高データレートのデータ・フォーマット」を参照してください。
- ⁶ 25 Hz を下回る出力データレートでは、選択した出力データレートにもよりますが、温度の増加とともにオフセット変化が増加します。詳細については「最低データレートでのオフセット性能」を参照してください。
- ⁷ セルフテスト変動は、SELF_TEST ビット = 1 (DATA_FORMAT レジスタ) の場合の出力 (g) から SELF_TEST ビット = 0 (DATA_FORMAT レジスタ、アドレス 0x31) の場合の出力 (g) を減算した値です。デバイス内蔵のフィルタによって、出力が安定するのはセルフテストをオン/オフしてから $4 \times \tau$ 後になります。ここで、 $\tau = 1/(\text{データレート})$ です。セルフテストが正しく行われるためには、デバイスは通常電力動作 (アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット = 0) 状態にする必要があります。
- ⁸ ターンオン時間とウェークアップ時間は、ユーザ定義の帯域幅によって決まります。100 Hz のデータレートでは、ターンオン時間とウェークアップ時間は、それぞれ約 11.1 ms です。それ以外のデータレートでは、それぞれ約 $\tau + 1.1$ ミリ秒です。ここで、 $\tau = 1/(\text{データレート})$ です。

絶対最大定格

表 2.

Parameter	Rating
Acceleration	
Any Axis, Unpowered	10,000 g
Any Axis, Powered	10,000 g
V _S	−0.3 V to +3.9 V
V _{DD I/O}	−0.3 V to +3.9 V
Digital Pins	−0.3 V to V _{DD I/O} + 0.3 V or 3.9 V, whichever is less
All Other Pins	−0.3 V to +3.9 V
Output Short-Circuit Duration (Any Pin to Ground)	Indefinite
Temperature Range	
Powered	−40°C to +105°C
Storage	−40°C to +105°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

表 3. パッケージ特性

Package Type	θ _{JA}	θ _{JC}	Device Weight
14-Terminal LGA	150°C/W	85°C/W	30 mg

パッケージ情報

図 2 及び表 4 はパッケージ情報の詳細を示します。製品リリース関連情報についてはオーダーガイドのセッションを参考してください。

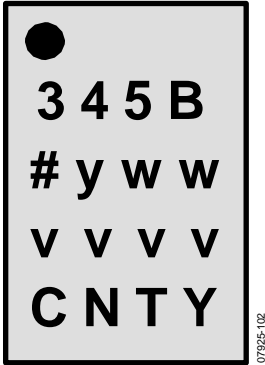


図 2. 製品パッケージ情報 (トップビュー)

表 4. パッケージブランド情報

Branding Key	Field Description
345B	Part identifier for ADXL345
#	RoHS-compliant designation
yww	Date code
vvvv	Factory lot code
CNTY	Country of origin

ESDに関する注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能 劣化を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
--	---

ピン配置と機能の説明

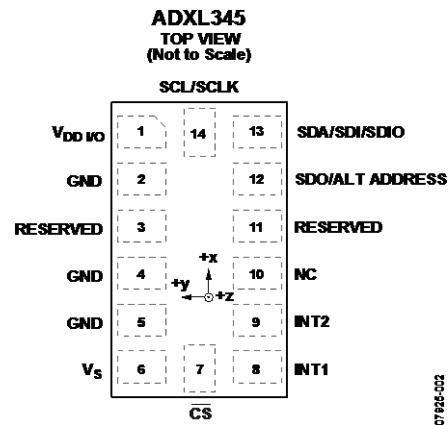


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	V _{DD I/O}	デジタル・インターフェース電源電圧
2	GND	グラウンド
3	Reserved	無接続もしくは V _S
4	GND	グラウンド
5	GND	グラウンド
6	V _S	電源電圧
7	$\overline{\text{CS}}$	チップ・セレクト
8	INT1	割込み 1 出力
9	INT2	割込み 2 出力
10	NC	無接続
11	Reserved	無接続もしくはグラウンド
12	SDO/ALT ADDRESS	シリアル・データ出力 (SPI4線式) / また I ² C アドレス・セレクト (I ² C)
13	SDA/SDI/SDIO	シリアル・データ (I ² C) / シリアル・データ入力 (SPI4線式) / シリアル・データ入出力 (SPI3線式)
14	SCL/SCLK	シリアル通信クロック

代表性能特性

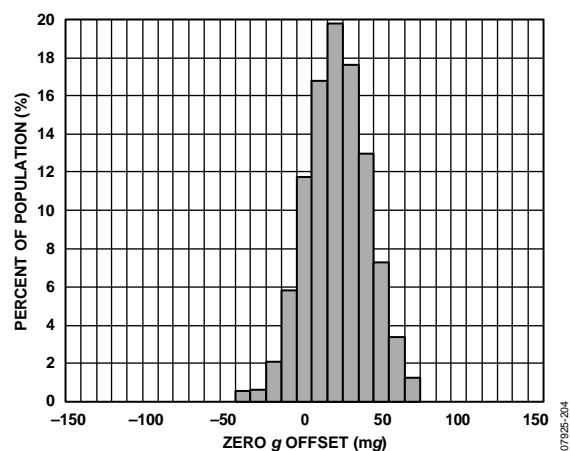


図 3. X 軸の 0g オフセット (25°C, $V_s = 2.5$ V)

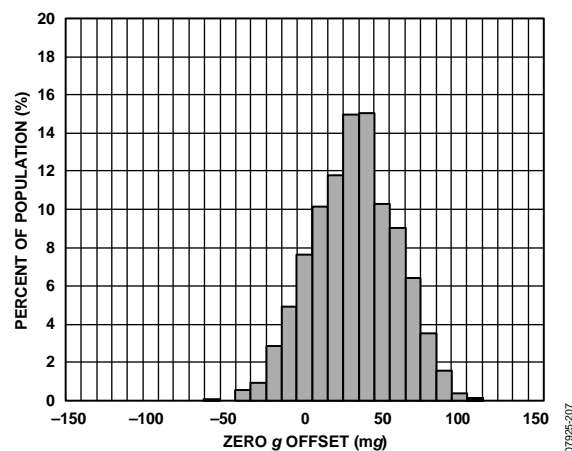


図 6. X 軸の 0g オフセット (25°C, $V_s = 3.3$ V)

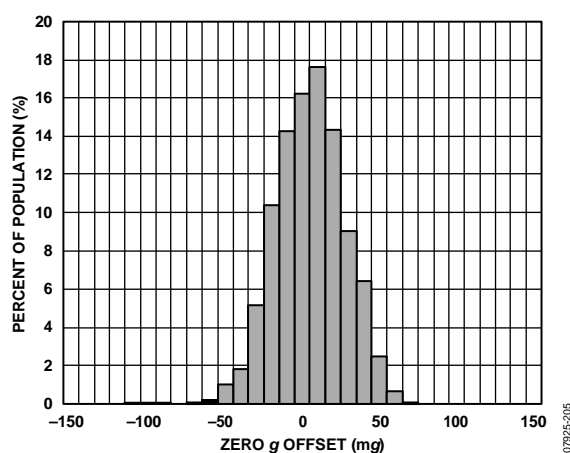


図 4. Y 軸の 0g オフセット (25°C, $V_s = 2.5$ V)

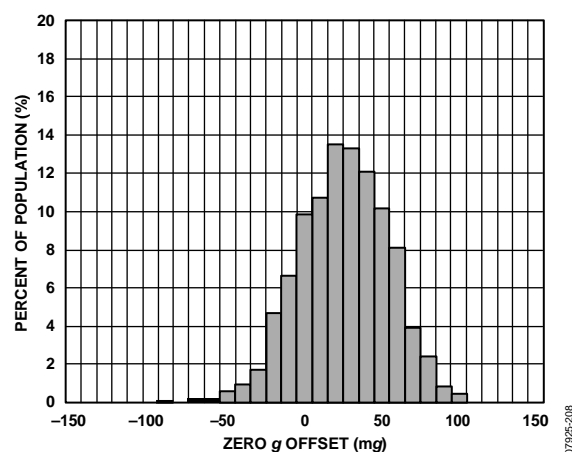


図 7. Y 軸の 0g オフセット (25°C, $V_s = 3.3$ V)

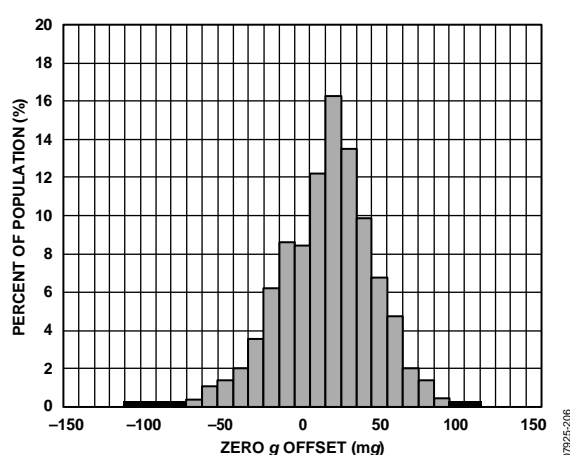


図 5. Z 軸の 0g オフセット (25°C, $V_s = 2.5$ V)

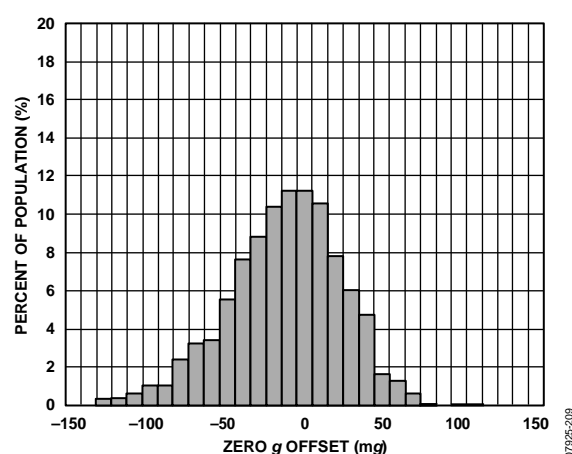
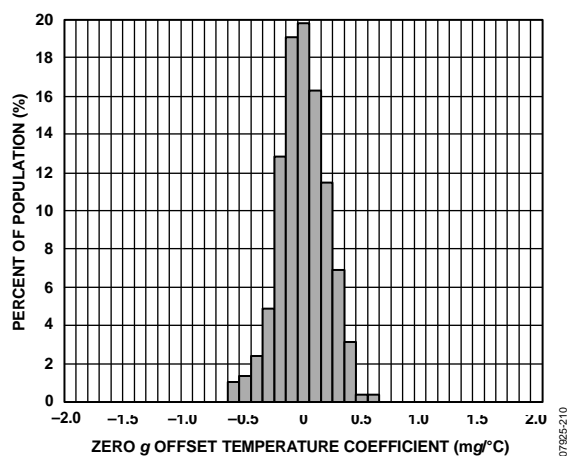
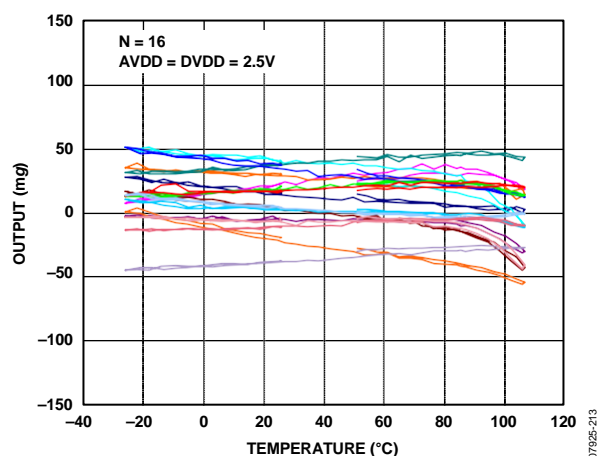
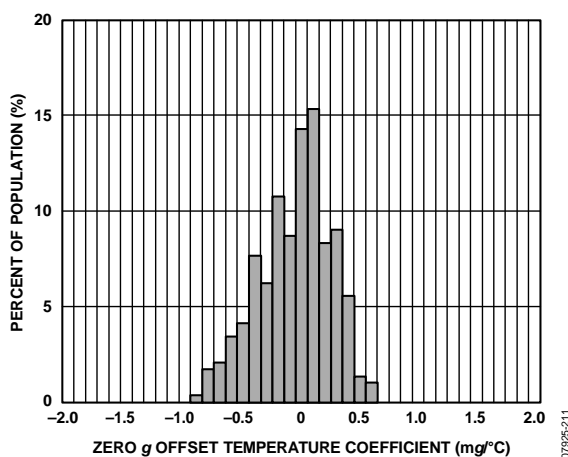
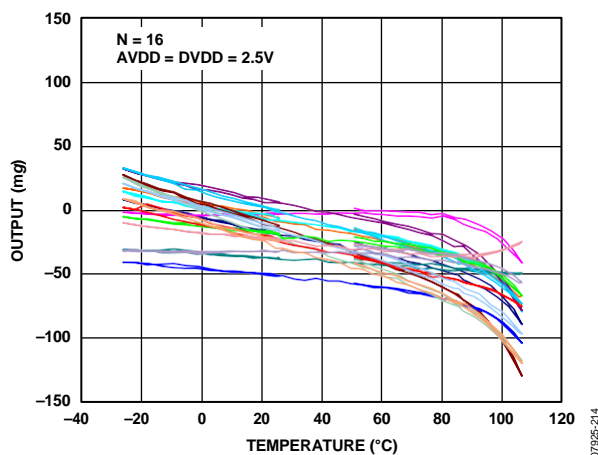
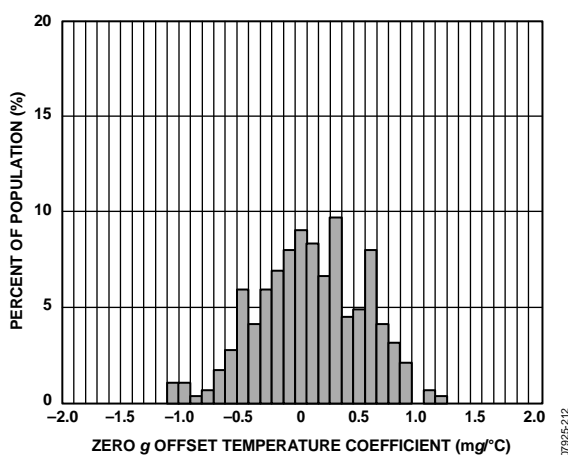
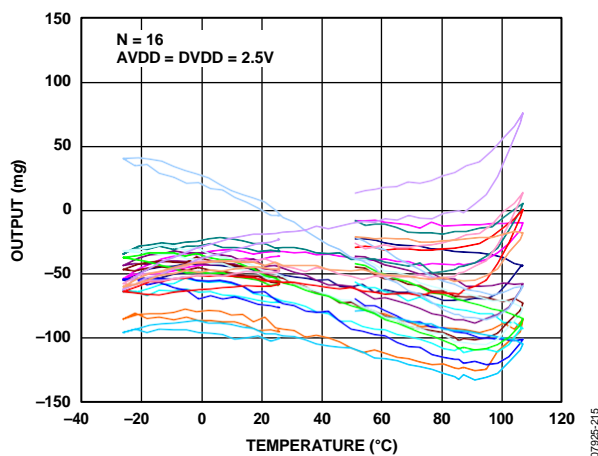
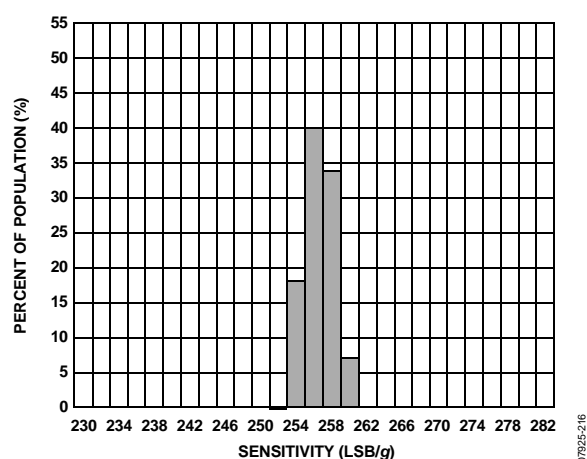
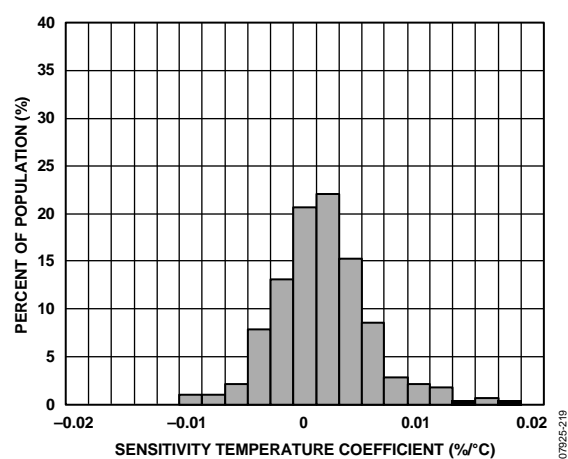
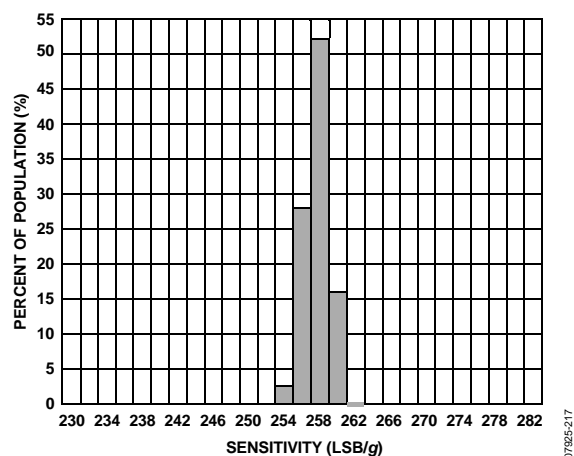
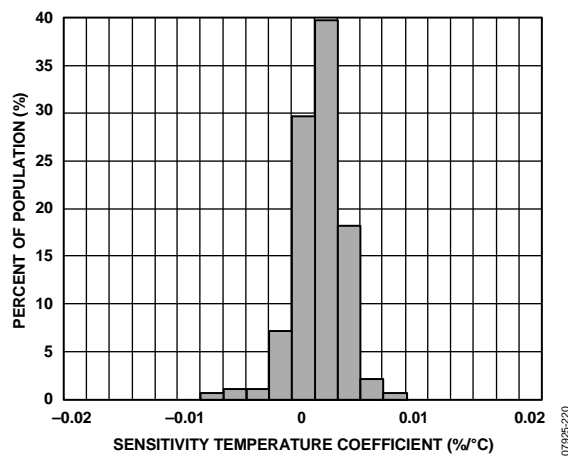
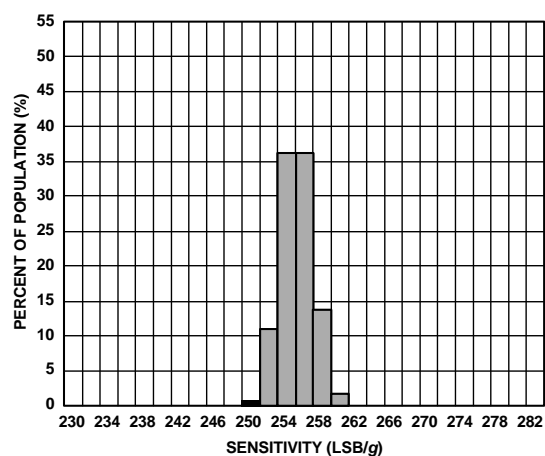
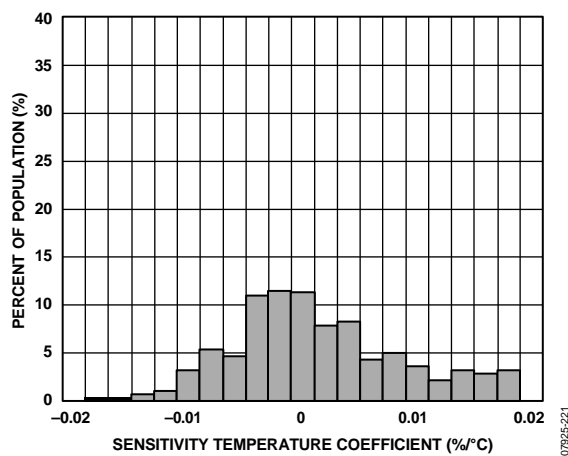


図 8. Z 軸の 0g オフセット (25°C, $V_s = 3.3$ V)

図 9. X 軸の 0g オフセット温度係数 ($V_s = 2.5\text{ V}$)図 12. X 軸のゼロ g バイアスの温度特性(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5\text{ V}$)図 10. Y 軸の 0g オフセット温度係数 ($V_s = 2.5\text{ V}$)図 13. Y 軸のゼロ g バイアスの温度特性(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5\text{ V}$)図 11. Z 軸の 0g オフセット温度係数 ($V_s = 2.5\text{ V}$)図 14. Z 軸のゼロ g バイアスの温度特性(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5\text{ V}$)

図 15. X 軸の感度 (25°C, $V_S = 2.5$ V, 最大分解能)図 18. X 軸の感度温度係数 (25°C, $V_S = 2.5$ V)図 16. Y 軸の感度 (25°C, $V_S = 2.5$ V, 最大分解能)図 19. Y 軸の感度温度係数 (25°C, $V_S = 2.5$ V)図 17. Z 軸の感度 (25°C, $V_S = 2.5$ V, 最大分解能)図 20. Z 軸の感度温度係数 (25°C, $V_S = 2.5$ V)

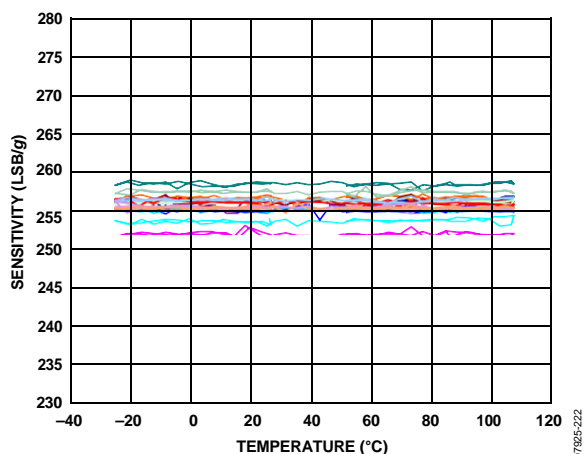


図 21. X 軸の感度の温度特性

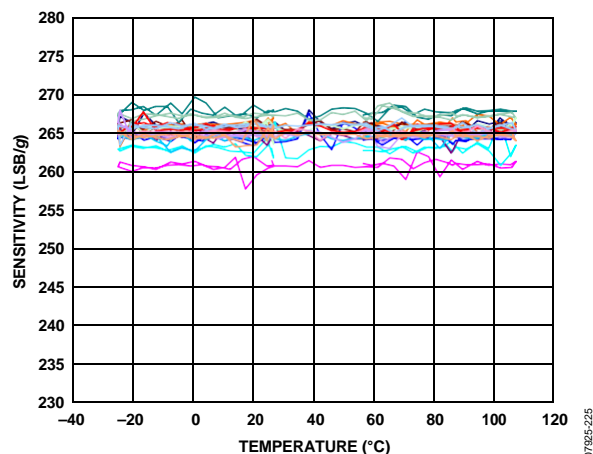
(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5$ V, 最大分解能)

図 24. X 軸の感度の温度特性

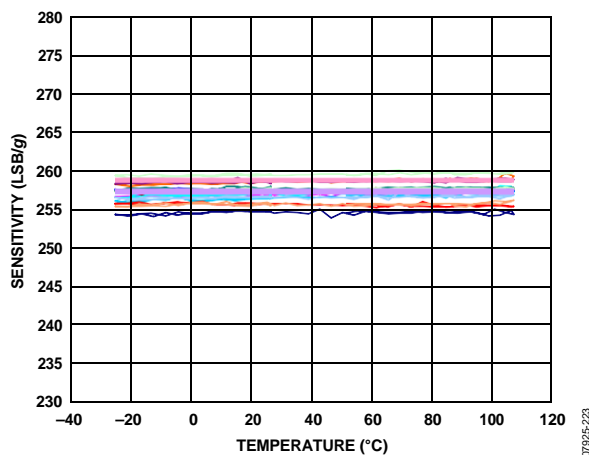
(8 個のデバイスを PCB にハンダ付け, $V_s = 3.3$ V, 最大分解能)

図 22. Y 軸の感度の温度特性

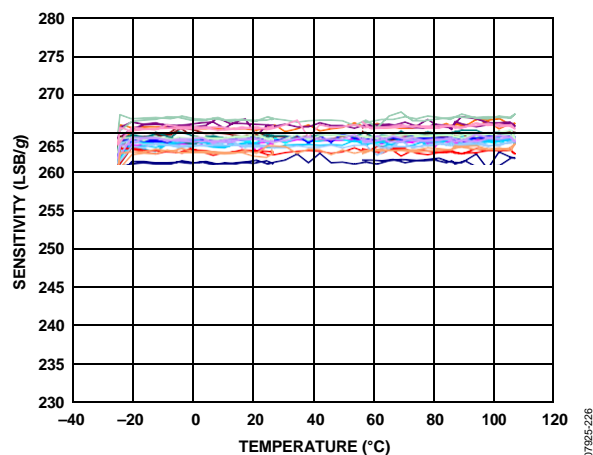
(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5$ V, 最大分解能)

図 25. Y 軸の感度の温度特性

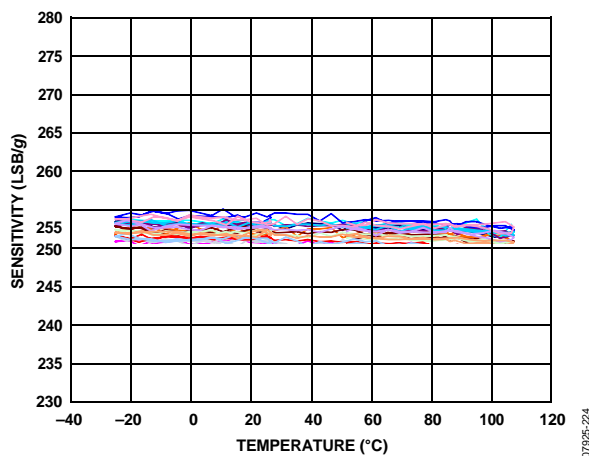
(8 個のデバイスを PCB にハンダ付け, $V_s = 3.3$ V, 最大分解能)

図 23. Z 軸の感度の温度特性

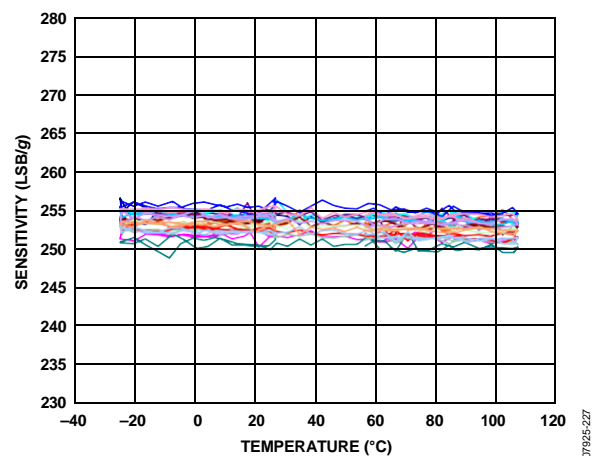
(8 個のデバイスを PCB にハンダ付け, $V_s = 2.5$ V, 最大分解能)

図 26. Z 軸の感度の温度特性

(8 個のデバイスを PCB にハンダ付け, $V_s = 3.3$ V, 最大分解能)

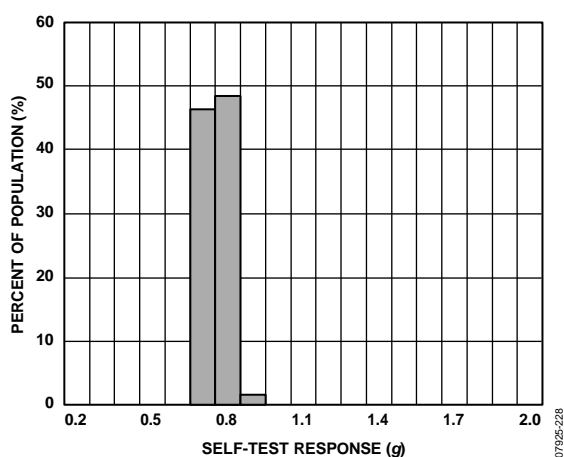
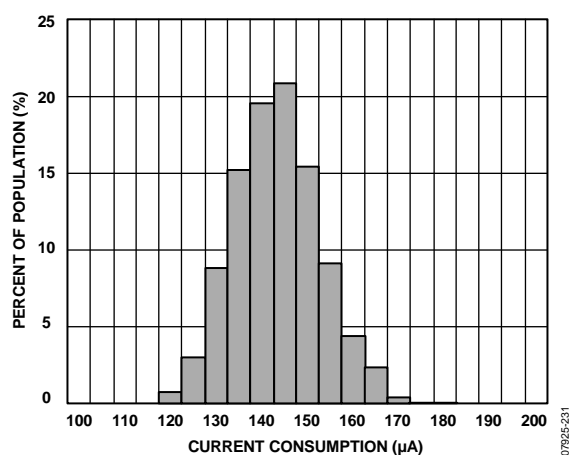
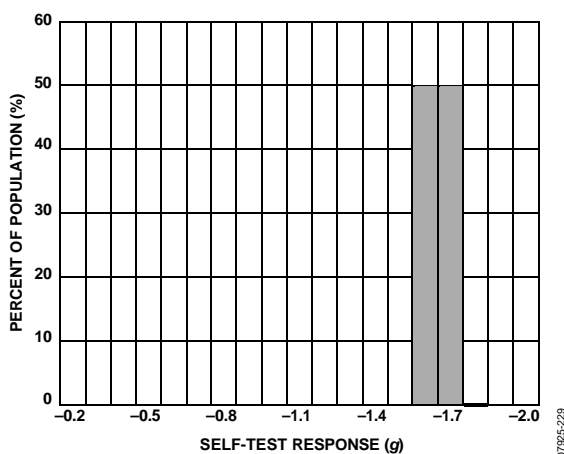
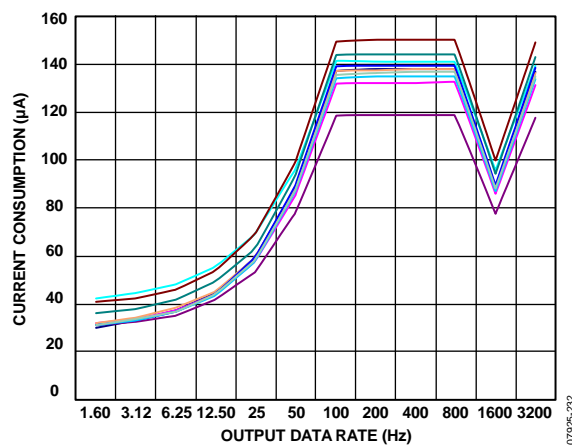
図 27. X 軸のセルフテスト応答(25°C, $V_S = 2.5$ V)図 30. 電源電流(25°C, 100 Hz Output Data Rate, $V_S = 2.5$ V)図 28. Y 軸のセルフテスト応答(25°C, $V_S = 2.5$ V)

図 31. データレート 対 電源電流

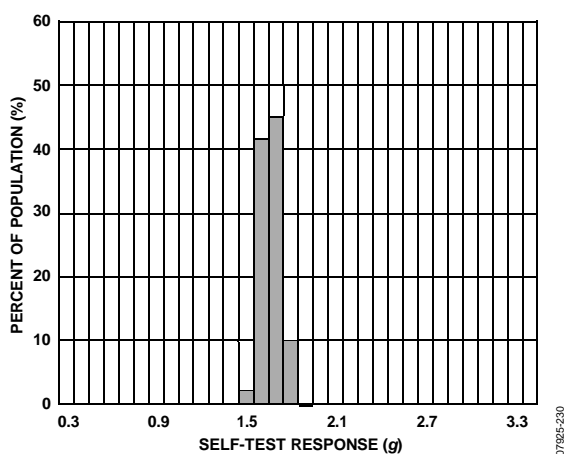
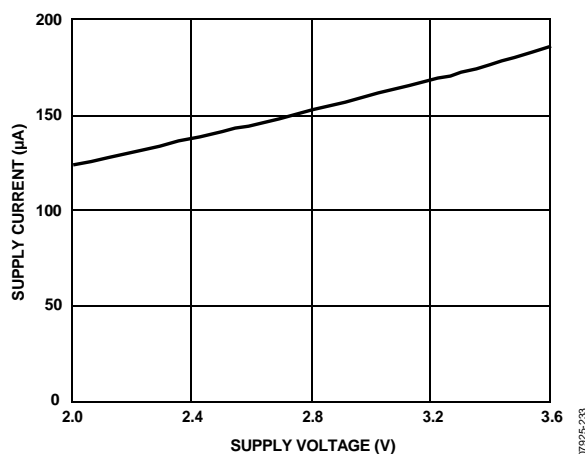
(25°C—10 個のデバイス, $V_S = 2.5$ V)図 29. Z 軸のセルフテスト応答(25°C, $V_S = 2.5$ V)

図 32. 電源電圧 対 電源電流(25°C)

動作原理

ADXL345は、 $\pm 2\text{ g}$ 、 $\pm 4\text{ g}$ 、 $\pm 8\text{ g}$ 、 $\pm 16\text{ g}$ の測定範囲を選択できる、全機能装備 3 軸加速度計測システムです。ポリシリコン表面マイクロマシン・センサーとシグナル・コンディショニング回路を内蔵することにより、オープンループ加速度測定アーキテクチャを実現しています。加速度に比例するデジタルコードを出力します。この加速度センサーは、動き、衝撃、振動による動的加速度だけでなく、傾き検出アプリケーションでの重力による静的加速度も測定できます。

センサーは、シリコン・ウェーハの上面に構成されるポリシリコン表面マイクロマシン構造となっています。ポリシリコンのスプリングがこの構造部をウェーハ表面上に支え、加速度に対する抵抗を与えます。構造部の変位は、独立した固定プレートと可動部に取り付けられたプレートで構成される、差動コンデンサによって測定します。固定プレートは、 180° 位相のずれた矩形波が印加されます。加速度は可動部を偏向させ、差動コンデンサを不平衡にするため、センサー出力の振幅は加速度に比例します。次いで、位相検波方式の復調技法を用いて、加速度の大きさと方向を決定します。

電源シーケンシング

どのようなシーケンスで電源を V_S や $V_{DD\text{ IO}}$ に印加しても、ADXL345 が損傷することはありません。表 5 に、可能な電源オン・モードをすべて示します。インターフェース電圧レベルを設定するのはインターフェース電源電圧 ($V_{DD\text{ IO}}$) で、ADXL345 が通信バス上で競合しないようにするためにインターフェース電源電圧を供給することが必要です。単電源動作では、 $V_{DD\text{ IO}}$ を主電源 (V_S) と同じにすることができます。両電源アプリケーションでは、 V_S が $V_{DD\text{ IO}}$ より大きい限り、 $V_{DD\text{ IO}}$ と V_S を別にして所望のインターフェース電圧を利用することもできます。

V_S が印加された後、デバイスはスタンバイ・モードに入ります。このモードで、デバイスは $V_{DD\text{ IO}}$ の印加と測定モードに入るためのコマンド受信を待ちます。（このコマンドを実行するには、**POWER_CTL** レジスタ（アドレス **0x2D**）の **Measure** ビットをセットします）。また、デバイスがスタンバイ・モードにある間も、任意のレジスタに読み出し/書き込みを行ってデバイスを設定できます。スタンバイ・モードでデバイスを設定してから、測定モードを有効にすることを推奨します。**Measure** ビットをクリアすると、デバイスはスタンバイ・モードに戻ります。

表 6. 電源シーケンシング

状態	V_S	$V_{DD\text{ IO}}$	説明
電源オフ	Off	Off	デバイスは完全にオフですが、通信バスの競合が生じる可能性があります。
バス・ディセーブル	On	Off	デバイスはスタンバイ・モードでオンですが、通信は利用できず、通信バス上に競合を生じさせる可能性があります。競合を防ぐため、電源投入時にこの状態になる時間を最小にする必要があります。
バス・イネーブル	Off	On	センサー機能は利用できませんが、デバイスが通信バス上に競合を生じさせることはありません。
スタンバイ または測定	On	On	電源投入時に、デバイスはスタンバイ・モードにあって、測定モードに入るためのコマンドを待ちます。センサー機能はすべてオフです。デバイスが測定モードに入るよう指示された後、すべてのセンサー機能が利用できるようになります。

節電

電力モード

表 7 に示すように、ADXL345 は消費電力を設定された出力データレートに基づいて自動的に調整します。それ以上の節電が必要な場合は、低消費電力モードを使用します。このモードでは、内部サンプリング・レートを低減することで 12.5~400 Hz データレートで節電が可能ですが、ノイズが若干増大します。低消費電力モードに入るには、BW_RATE レジスタ（アドレス 0x2C）の LOW_POWER ビット（ビット 4）をセットします。表 8 に、12.5~400 Hz データレートでの、低消費電力モードにおける消費電流を示します。表 7 と表 8 に示す消費電流は、 V_S が 2.5 V の場合の値です。電流は V_S に比例して変化します。

表 7 消費電流とデータレートの関係
($T_A = 25^{\circ}\text{C}$, $V_S = 2.5\text{ V}$, $V_{DD I/O} = 1.8\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
3200	1600	1111	140
1600	800	1110	90
800	400	1101	140
400	200	1100	140
200	100	1011	140
100	50	1010	140
50	25	1001	90
25	12.5	1000	60
12.5	6.25	0111	50
6.25	3.13	0110	45
3.13	1.56	0101	40
1.56	0.78	0100	34
0.78	0.39	0011	23
0.39	0.20	0010	23
0.20	0.10	0001	23
0.10	0.05	0000	23

表 8. 消費電流とデータレートの関係、低消費電力モード
($T_A = 25^{\circ}\text{C}$, $V_S = 2.5\text{ V}$, $V_{DD I/O} = 1.8\text{ V}$)

Output Data Rate (Hz)	Bandwidth (Hz)	Rate Code	I_{DD} (μA)
400	200	1100	90
200	100	1011	60
100	50	1010	50
50	25	1001	45
25	12.5	1000	40
12.5	6.25	0111	34

自動スリープ・モード

ADXL345 がインアクティブを検出すると自動的にスリープ・モードに切り替わるようにすると、さらに節電が可能になります。この機能を有効にするには、THRESH_INACT レジスタ（アドレス 0x25）と TIME_INACT レジスタ（アドレス 0x26）をそれぞれ（適切な値はアプリケーションに依存します）設定してから、POWER_CTL レジスタ（アドレス 0x2D）の AUTO_SLEEP ビットと Link ビットをセットします。このモードで使用される 8 Hz 以下のデータレートにおける消費電流は、 V_S が 2.5 V の場合、40 μA (typ) です。

スタンバイ・モード 消費電力をさらに抑えるには、スタンバイ・モードを使用します。スタンバイ・モードでは、消費電流は 0.1 μA (typ) になります。

が、このモードでは加速度の測定はできません。スタンバイ・モードに入るには、POWER_CTL レジスタ（アドレス 0x2D）の Measure ビット（ビット 3）をクリアします。デバイスをスタンバイ・モードに入れても、 V_S の供給を断つか、FIFO をバイパス・モードに入れない限り FIFO の内容は保持されます。

シリアル通信

ADXL345 は I²C と SPI のデジタル・コミュニケーションのどちらでも通信できます。いずれの場合も、ADXL345 がスレープになります。CS ピンが V_{DDIO} に接続された場合、I²C モードになります。CS ピンが未接続の場合のデフォルト・モードがないため、CS ピンは必ず V_{DDIO} にハイレベル接続するか外部コントローラによって駆動する必要があります。この点の注意を怠ると、デバイスとの通信ができなくなることがあります。SPI モードでは、バス・マスターが CS ピンを制御します。SPI モードと I²C モードで ADXL345 に書き込みコマンドが通信されている間は、ADXL345 からマスター・デバイスに送られるデータは無視するようにしてください。

SPI

SPI の場合、図 34 と図 35 の接続図に示すように、3 線式または 4 線式の設定が可能です。4 線式モードを選択するには、DATA_FORMAT レジスタ（アドレス 0x31）の SPI ビット（ビット D6）をクリアします。3 線式モードを選択するには、SPI ビットをセットします。最大 SPI クロック速度は 100 pF（max）の負荷で 5 MHz です。タイミング方式はクロック極性（CPOL）= 1 とクロック位相（CPHA）= 1 に従います。ホスト・プロセッサのクロック極性とクロック位相を設定する前に ADXL345 に電源を印加する場合は、CS ピンをハイレベルにしてからクロック極性とクロック位相を変更してください。3 線式 SPI を使用する場合は、10 kΩ 抵抗を用いて SDO ピンを GND までプルダウンするか V_{DDIO} までプルアップすることを推奨します。

CS はシリアル・ポート・イネーブル・ラインであり、SPI マスターが制御します。図 36 に示すように、このラインは、伝送開始時にローレベル、伝送終了時にハイレベルにする必要があります。SCLK はシリアル・ポート・クロックであり、SPI マスターが供給します。非伝送時に CS がハイレベルの場合、SCLK はハイレベルにしてください。SDI と SDO は、それぞれシリアル・データの入力と出力です。データは、SCLK の立上がりエッジでサンプリングしてください。

1 回の通信で複数のバイトの読出し/書き込みを行うには、最初のバイト転送時に R/W ビットの後にあるマルチバイト・ビット（図 36～図 38 の MB）をセットする必要があります。1 バイトのレジスタ・アドレス転送と 1 バイトのデータ転送の後、それに続く各クロック・パルス・セット（8 クロック・パルス）に同期して ADXL345 は最初にアクセスした次のアドレスのレジスタから読出し、もしくは書き込みを行います。このような動作は、クロック・パルスが停止して CS がハイレベルになるまで続きます。連続していない別のレジスタ上で読出し/書き込みを実行するには、伝送と伝送の間に CS をハイレベルにし、新しいレジスタを別にアドレス指定する必要があります。

図 38 に、3 線式 SPI 読出し/書き込みのタイミング図を示します。図 36 と図 37 に、4 線式 SPI の読出し/書き込みのタイミング図を示します。デバイスの正しい動作のために、表 9 と表 10 の論理閾値とタイミング・パラメータに常に従ってください。

3200 Hz と 1600 Hz の出力データレートの使用は、2 MHz 以上の SPI 通信速度の場合にのみ推奨します。800 Hz の出力データレートは、400 kHz 以上の通信速度の場合にのみ推奨します。残りのデータレートについても、これに比例した速度にしてください。たとえば、200 Hz の出力データレートに対する最小の推奨通信速度は 100 kHz です。推奨最大値を上回る出力データレートでの動作は、サンプル・データの欠落やノイズの増加など、加速度データに予期しない影響が生じる可能性があります。

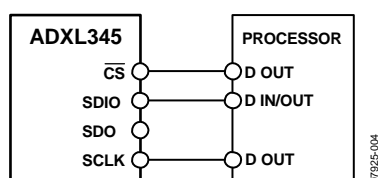


図 334

3 線式 SPI 接続図

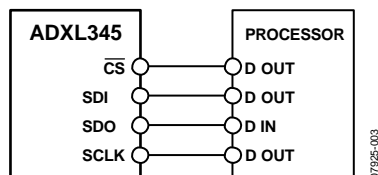


図 35. 4 線式 SPI 接続図

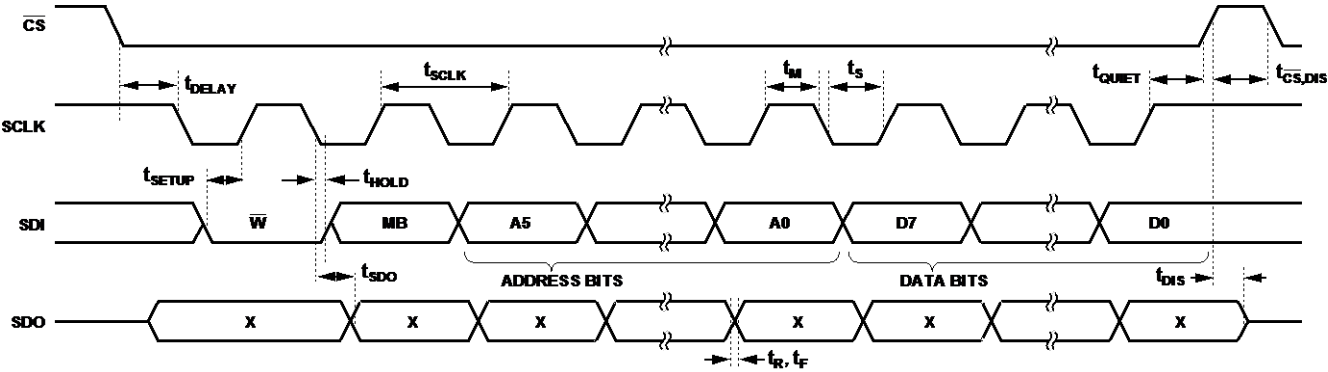


図 36. SPI 4 線式書込み

07925-128

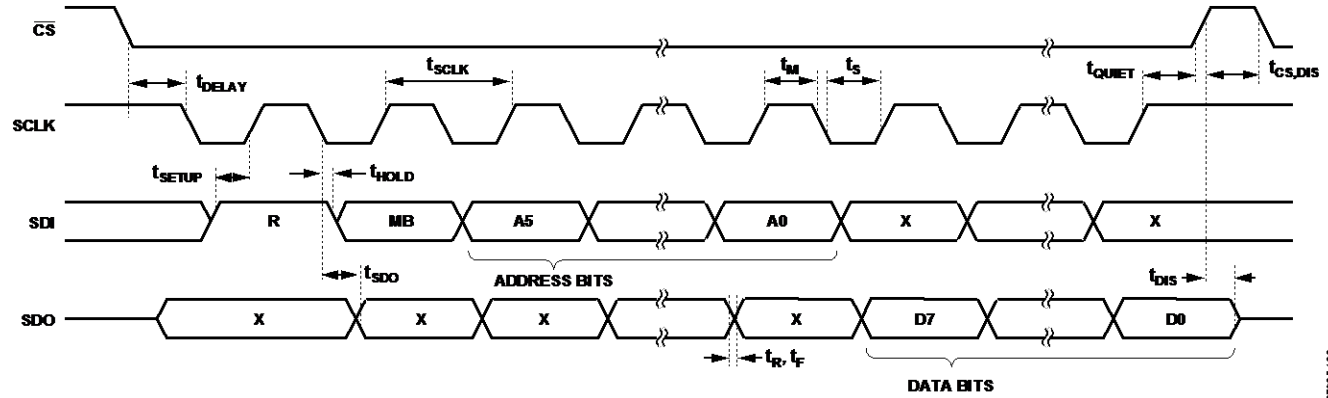
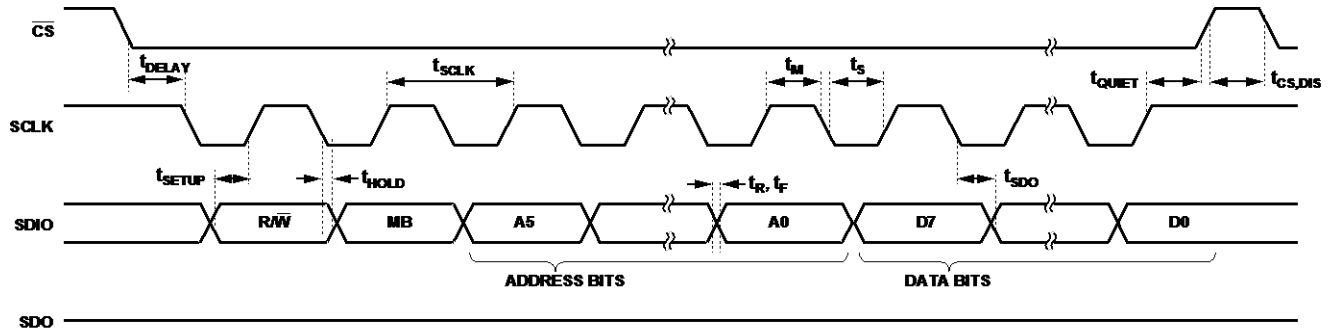


図 37. SPI 4 線式読み出し

061925A.0



NOTES
1. t_{SDO} IS ONLY PRESENT DURING READS.

図 38. SPI 3 線式読み出し／書込み

07925-131

表 9. SPI デジタル入出力電圧¹

Parameter	Test Conditions	Limit ²		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD I/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD I/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD I/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0 V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 10 mA$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -4 mA$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	10		mA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-4	mA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF

¹ 特性評価の結果に基づく使用であり、出荷テストは行っておりません。² \overline{CS} 、SCLK、SDI、SDO の各ピンは、内部的にプルアップ／ダウンされません。正しく動作させるには外部から駆動する必要があります。表 10. SPI タイミング ($T_A = 25^\circ C$ 、 $V_S = 2.5 V$ 、 $V_{DD I/O} = 1.8 V$)¹

Parameter	Limit ^{2,3}		Unit	Description
	Min	Max		
f_{SCLK}		5	MHz	SPI clock frequency
t_{SCLK}	200		ns	$1/(SCLK \text{ clock frequency})$ mark-space ratio for the SCLK input is 40/60 to 60/40
t_{DELAY}	5		ns	\overline{CS} falling edge to SCLK falling edge
t_{QUIET}	5		ns	SCLK rising edge to \overline{CS} rising edge
t_{DIS}		10	ns	\overline{CS} rising edge to SDO disabled
$t_{CS,DIS}$	150		ns	\overline{CS} deassertion between SPI communications
t_S	$0.3 \times t_{SCLK}$		ns	SCLK low pulse width (space)
t_M	$0.3 \times t_{SCLK}$		ns	SCLK high pulse width (mark)
t_{SETUP}	5		ns	SDI valid before SCLK rising edge
t_{HOLD}	5		ns	SDI valid after SCLK rising edge
t_{SDO}		40	ns	SCLK falling edge to SDO/SDIO output transition
t_R^4		20	ns	SDO/SDIO output high to output low transition
t_F^4		20	ns	SDO/SDIO output low to output high transition

¹ \overline{CS} 、SCLK、SDI、SDO の各ピンは、内部的にプルアップ／ダウンされていません。正しく動作させるには外部から駆動する必要があります。² 特性評価の結果に基づく仕様であり、出荷テストは行っておりません。³ タイミング値は、表 9 に示す入力閾値 (V_{IL} と V_{IH}) に応じて測定されています。⁴ 出力の立上がり／立下がり時間は、150 pF の容量性負荷で測定しています。

I²C

\overline{CS} が $V_{DD\ I/O}$ に接続されると ADXL345 は I²C モードになり、図 39 に示す簡単な 2 線式接続で動作します。ADXL345 は、NXP Semiconductor 社が提供している『UM10204 I²C-Bus Specification and User Manual』(Rev. 03—19, June 2007) に準拠し、表 11 と 表 12 で与えられるタイミング・パラメータにのっとり、標準 (100 kHz) と高速 (400 kHz) のデータ転送モードに対応します。図 40 に示すように、1 バイトまたは複数バイトの読出し／書込みが可能です。SDO/ALT ADDRESS ピンがハイレベルの場合、デバイスの 7 ビット I²C アドレスは 0x1D であり、その後に R/W ビットが続きます。これは、書込みの場合は 0x3A、読出しの場合は 0x3B になります。SDO/ALT ADDRESS ピン(ピン 12)を接地することで、0x53 が I²C アドレス (その後に R/W ビットが続く) となります。この場合、書込みは 0xA6、読出しの場合は 0xA7 になります。

未使用ピンには、内部プルアップ／プルダウン抵抗は存在しません。したがって、 \overline{CS} ピンまたは ALT ADDRESS ピンが開放状態もしくは無接続の場合には、既知の状態やデフォルト状態になりません。I²C を使用するときは、 \overline{CS} ピンを $V_{DD\ I/O}$ に接続し、ALT ADDRESS ピンを $V_{DD\ I/O}$ または GND に接続する必要があります。

通信速度の制限によって、400 kHz の I²C を使用するときの最大出力データレート (ODR) は 800 Hz であり、I²C 通信速度の変化に応じてその値は直線的に増減します。たとえば、100 kHz の I²C を用いる場合、最大 ODR は 200 Hz までになります。推奨最大値を上回る出力データレートでの動作は、サンプル・データの欠落やノイズの増加など、加速度データに予期しない影響が生じる可能性があります。

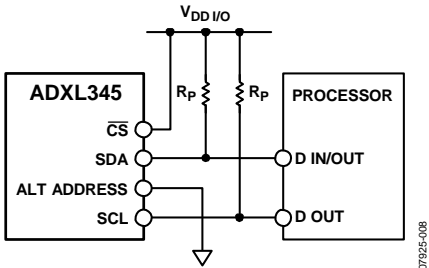


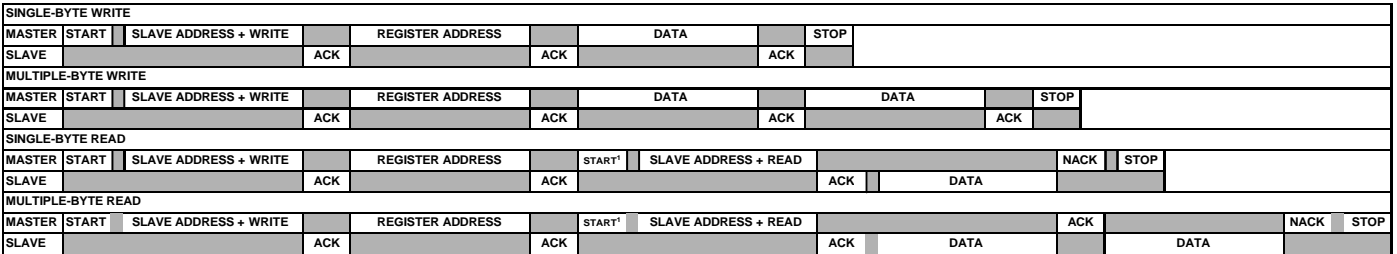
図 39. I²C 接続図 (アドレス 0x53)

同じ I²C バスにほかのデバイスを接続する場合、それらのデバイスの公称動作電圧レベルは $V_{DD\ I/O}$ を 0.3V 以上超えないようにしてください。I²C が正しく動作するには、外部プルアップ抵抗 (R_P) が必要です。正しい動作のためのプルアップ抵抗値を選択するには、『UM10204 I²C-Bus Specification and User Manual』(Rev. 03—19, June 2007) を参照してください。

表 11. I²C のデジタル入出力電圧

Parameter	Test Conditions	Limit ¹		Unit
		Min	Max	
Digital Input				
Low Level Input Voltage (V_{IL})			$0.3 \times V_{DD\ I/O}$	V
High Level Input Voltage (V_{IH})		$0.7 \times V_{DD\ I/O}$		V
Low Level Input Current (I_{IL})	$V_{IN} = V_{DD\ I/O}$		0.1	μA
High Level Input Current (I_{IH})	$V_{IN} = 0\ V$	-0.1		μA
Digital Output				
Low Level Output Voltage (V_{OL})	$V_{DD\ I/O} < 2\ V, I_{OL} = 3\ mA$		$0.2 \times V_{DD\ I/O}$	V
	$V_{DD\ I/O} \geq 2\ V, I_{OL} = 3\ mA$		400	mV
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	3		mA
Pin Capacitance	$f_{IN} = 1\ MHz, V_{IN} = 2.5\ V$		8	pF

¹特性評価の結果に基づく使用であり、出荷テストはおこなっていません



¹THIS START IS EITHER A RESTART OR A STOP FOLLOWED BY A START.

NOTES
1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

図 40. I²C デバイス・アドレッシング

表 12. I²C タイミング (T_A = 25°C、V_S = 2.5 V、V_{DD I/O} = 1.8 V)

Parameter	Limit		Unit	Description
	Min	Max		
f _{SCL}		400	kHz	SCL clock frequency
t ₁	2.5		μs	SCL cycle time
t ₂	0.6		μs	t _{HIGH} , SCL high time
t ₃	1.3		μs	t _{LOW} , SCL low time
t ₄	0.6		μs	t _{HD, STA} , start/repeated start condition hold time
t ₅	100		ns	t _{SU, DAT} , data setup time
t ₆	0	0.9	μs	t _{HD, DAT} , data hold time
t ₇	0.6		μs	t _{SU, STA} , setup time for repeated start
t ₈	0.6		μs	t _{SU, STO} , stop condition setup time
t ₉	1.3		μs	t _{BUF} , bus-free time between a stop condition and a start condition
t ₁₀		300	ns	t _R , rise time of both SCL and SDA when receiving
	0		ns	t _R , rise time of both SCL and SDA when receiving or transmitting
		250	ns	t _F , fall time of SDA when receiving
t ₁₁		300	ns	t _F , fall time of both SCL and SDA when transmitting
	20 + 0.1 C _b		ns	t _F , fall time of both SCL and SDA when transmitting or receiving
C _b		400	pF	Capacitive load for each bus line

¹. 特性評価 (f_{SCL} = 400 kHz、3 mA のシンク電流) の結果に基づく仕様であり、出荷テストは行っていない。

². すべての値は、表 11 の V_{IH} と V_{IL} のレベルを基準にしています。

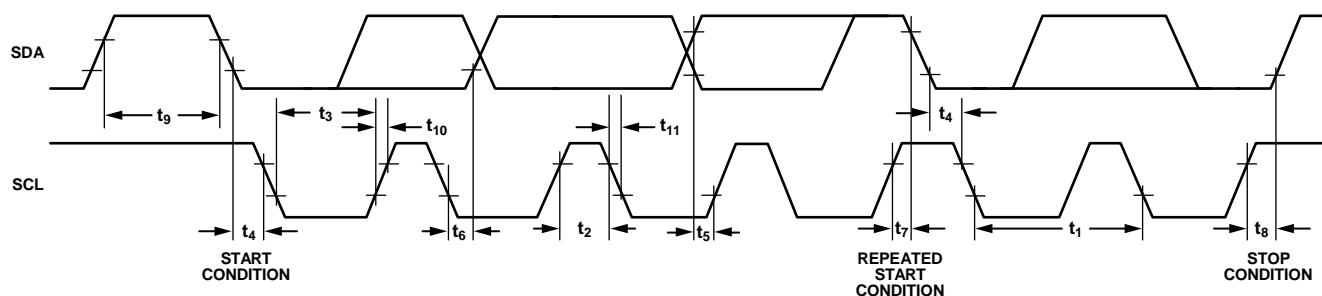
³. t₆ は、SCL の立下がりエッジから測定したデータ・ホールド時間です。伝送時とアクノレッジ時のデータに適用されます。

⁴. SDA 信号が (SCL 信号の V_{IH} (min) を基準にして) SCL の立下がりエッジの未定義領域を越えるには、送信側デバイスが内部的に 300 ns 以上の出力ホールド時間を設ける必要があります。

⁵. デバイスが SCL 信号のロー期間 (t₃) を拡大すると、t₆ の最大値を満たすことができないようにする必要があります。

⁶. t₆ の最大値は、クロックのロー時間 (t₃)、クロックの立上がり時間 (t₁₀)、最小のデータ・セットアップ時間 (t₅ (min)) の関数です。t₆ (max) = t₃ - t₁₀ - t₅ (min) という計算になります。

⁷. C_b は、1 本のバス・ラインの合計容量です (単位 : pF)。

図 41. I²C タイミング図

07925-020

割込み

ADXL345 には、割込みを駆動する 2 本の出力ピン (INT1 と INT2) があります。いずれの割込みピンも、表 13 に示す出力仕様を備えたプッシュプル・低インピーダンス・ピンです。割込みピンのデフォルト設定はアクティブ・ハイです。これをアクティブ・ローに変更するには、DATA_FORMAT (アドレス 0x31) レジスタの INT_INVERT ビット (ビット D5) をセットします。すべての機能は同時に使用できますが、場合によっては割込みピンを共有する必要があります。

割込みは、INT_ENABLE レジスタ (アドレス 0x2E) の適切なビットをセットすることで有効になり、INT_MAP レジスタ (アドレス 0x2F) の内容によって INT1 ピンまたは INT2 ピンにマッピングされます。割込みピンを初めて設定するときは、機能と割込みのマッピングを行ってから、割込みを有効にすることを推奨します。割込みの設定を変更するときは、まず INT_ENABLE レジスタでその機能に対応するビットをクリアして割込みを無効にしてから、機能の設定を変更し、割込みを再び有効にすることを推奨します。割込みを無効にしてから機能を設定すれば、予期しないタイミングで割込みが発生することを防げます。

割込み機能をラッチしてクリアするには、データ関連の割込みに関しては割込み条件が有効でなくなるまで DATA_X、DATA_Y、DATA_Z レジスタ (アドレス 0x32~0x37) を読み出してください。その他の割込みに関しては、INT_SOURCE レジスタ (アドレス 0x30) を読み出します。I ここでは、INT_ENABLE レジスタで設定でき、INT_SOURCE レジスタで監視できる割込みについて説明します。

DATA_READY

DATA_READY ビットは、新しいデータがデータ・レジスタ (アドレス 0x32~0x37) にアップデートされるとセットされ、データ・レジスタを読むことでクリアされます。

SINGLE_TAP

SINGLE_TAP ビットは、THRESH_TAP レジスタ (アドレス 0x1D) の値より大きい加速度が DUR レジスタ (アドレス 0x21) で指定された値よりも短い時間発生した場合にセットされます。

表 13 割込みピンデジタル出力

Parameter	Test Conditions	Limit		Unit
		Min	Max	
Digital Output				
Low Level Output Voltage (V_{OL})	$I_{OL} = 300 \mu A$		$0.2 \times V_{DD I/O}$	V
High Level Output Voltage (V_{OH})	$I_{OH} = -150 \mu A$	$0.8 \times V_{DD I/O}$		V
Low Level Output Current (I_{OL})	$V_{OL} = V_{OL, max}$	300		μA
High Level Output Current (I_{OH})	$V_{OH} = V_{OH, min}$		-150	μA
Pin Capacitance	$f_{IN} = 1 MHz, V_{IN} = 2.5 V$		8	pF
Rise/Fall Time				
Rise Time (t_R)	$C_{LOAD} = 150 pF$		210	ns
Fall Time (t_F)	$C_{LOAD} = 150 pF$		150	ns

¹ 特性評価の結果に基づく仕様であり、出荷テストは行っていない。

² 立上がり時間は、割込みピンの $V_{OL, max}$ から $V_{OH, min}$ までの遷移時間として測定しています。

³ 立下がり時間は、割込みピンの $V_{OH, min}$ から $V_{OL, max}$ までの遷移時間として測定しています。

DOUBLE_TAP

DOUBLE_TAP ビットは、THRESH_TAP レジスタ (アドレス 0x1D) の値より大きい加速度が DUR レジスタ (アドレス 0x21) で指定された値よりも短い時間発生した場合にセットされます。2 番目のタップは Latent レジスタ (アドレス 0x22) によって指定された時間よりも後、そして Window レジスタ (アドレス 0x23) で指定された時間以内に TAP が検出された場合にセットされます。詳細は「タップ検出」を参照してください。

アクティブ

Activity ビットは、THRESH_ACT レジスタ (アドレス 0x24) に格納された閾値より大きい加速度が、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定した関係する軸に生じた場合にセットされます。

インアクティブ

Inactivity ビットは、THRESH_INACT レジスタ (アドレス 0x25) に格納された値より小さい加速度が TIME_INACT レジスタ (アドレス 0x26) で指定された値よりも長い時間、ACT_INACT_CTL レジスタ (アドレス 0x27) で設定した関係する軸に発生した場合にセットされます。TIME_INACT の最大値は 255 秒です。

FREE_FALL

FREE_FALL ビットは、THRESH_FF レジスタ (アドレス 0x28) に格納された値より小さい加速度が TIME_FF レジスタ (アドレス 0x29) で指定された値よりも長い時間すべての軸 (論理積) に発生した場合にセットされます。FREE_FALL 割込みがインアクティブ割込みと違う点は、常に全軸の値を検出に使用すること、割込み発生までの時間間隔を細かく設定できること (最大 1.28 秒)、常に DC カップル信号を検出に使うことです。

ウォーターマーク

Watermark ビットは、FIFO 内のサンプル数が Samples ビット (FIFO_CTL レジスタ、アドレス 0x38) で指定されている値以上になるとセットされます。FIFO が読み出され、FIFO 内のサンプル数がサンプル・ビットで指定された値未満になると Watermark ビットは自動的にクリアされます。

オーバーラン

Overrun ビットは、データが未読のまま新しいデータがアップデイトされたときにセットされます。オーバーラン機能の動作は、FIFO モードに依存します。バイパス・モードでは、オーバーラン・ビットは、データ・レジスタ（アドレス 0x32～0x37）内のデータが未読のまま新しいデータがアップデイトされたときにセットされます。それ以外のモードでは、Overrun ビットは、FIFO 内のデータ数が最大値になったときにセットされ、FIFO の内容が読み出されたときに自動的にクリアされます。

FIFO

ADXL345 は、実装されている特許申請中の 32 レベル FIFO バッファ機能によって、ホスト・プロセッサの負荷を低減することができます。このバッファには、バイパス、FIFO、ストリーム、トリガの 4 つのモードがあります（表 19 を参照）。各モードの選択は、FIFO_CTL レジスタ（アドレス 0x38）の FIFO_MODE ビット（ビット[D7:D6]）の設定で行います。

バイパス・モード

バイパス・モードでは、FIFO は動作せず空のままです。

FIFO モード

FIFO モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO_CTL レジスタ（アドレス 0x38）の Samples ビットで指定された値以上になった場合は、ウォーターマーク割込みがセットされます。FIFO は、満杯（x 軸、y 軸、z 軸の測定サンプルが 32 個）になるまでサンプルの蓄積を続け、満杯になった時点でデータの収集を停止します。FIFO がデータの収集を停止した後もデバイスは動作を続行します。したがって、タップ検出などの各機能は、FIFO が満杯になった後も使用できます。ウォーターマーク割込みは、FIFO 内のサンプル数が FIFO_CTL レジスタのサンプル・ビットに格納された値より小さくなるまで発生し続けます。

ストリーム・モード

ストリーム・モードでは、x 軸、y 軸、z 軸の測定データが FIFO に格納されます。FIFO 内のサンプル数が FIFO_CTL レジスタ（アドレス 0x38）の Samples ビットで指定された値以上になった場合は、ウォーターマーク割込みがセットされます。ストリーム・モードでは、FIFO が満杯になっても、サンプルの蓄積は続けられ、FIFO は x 軸、y 軸、z 軸の最新の 32 個の測定サンプルを保持します。FIFO が満杯の状態では新しいデータが測定されると古いデータから順に破棄していきます。ウォーターマーク割込みは、FIFO 内のサンプル数が FIFO_CTL レジスタの Samples ビットに格納された値より小さくなるまで発生し続けます。

トリガ・モード

トリガ・モードでは、FIFO は指定された割込みピンの状態と連動して、x 軸、y 軸、z 軸の 32 個の測定サンプルを保持します。FIFO_CTL レジスタの Trigger ビットにより選択された割込みピンが、割込みイベントによってセットされると、FIFO は最新の n 個のサンプル（ここで n は、FIFO_CTL レジスタの Samples ビットによって指定された値）を保存してから、FIFO モードで動作して、FIFO が満杯でない限り新しいサンプルを収集します。FIFO をトリガ・モードで使用している場合には、トリガ・イベントの発生から FIFO のデータ読出し開始までに、5 μ s 以上空ける必要があります。新しいトリガ・イベントは、トリガ・モードがリセットされるまで認識されません。トリガ・モードをリセットするには、デバイスをバイパス・モードに設定してから、トリガ・モードに設定し直します。なお、デバイスをバイパス・モードにすると FIFO がクリアされるため、FIFO 内のデータをバイパス・モードに設定する前に読み出す必要があります。

FIFO からのデータ取出し

FIFO データは、DATA_X、DATA_Y、DATA_Z の各レジスタ（アドレス 0x32～0x37）から読み出します。FIFO が、FIFO モード、ストリーム・モード、トリガ・モードにあるとき、DATA_X、DATA_Y、DATA_Z レジスタからの読出しによって、FIFO に格納されたデータが読み出されます。データが DATA_X、DATA_Y、DATA_Z の各レジスタから読み出されるたびに、x 軸、y 軸、z 軸の一番古いデータが DATA_X、DATA_Y、DATA_Z の各レジスタに入ります。

シングル・バイト読出しを行った場合でも、通信が終了した時点で DATA_X DATA_Y DATA_Z レジスタのデータが更新されます。したがって、所望の動作に応じてバースト（または複数バイト）読出し動作でデータを読み出す必要があります。FIFO 内のデータがデータ・レジスタに格納される（つまり、DATA_X、DATA_Y、DATA_Z の各レジスタに新しいデータが完全に移動する）には、データ・レジスタの読出し終了から FIFO の新しい読出しの開始または FIFO_STATUS レジスタ（アドレス 0x39）の読出しの開始までに、5 μ s 以上の間隔が必要です。データ・レジスタの読出し終了は、バースト読出し動作でレジスタ 0x37 からレジスタ 0x38 への遷移、または \overline{CS} ピンがハイレベルになることで認識されます。

1.6 MHz 以下の SPI 動作では、伝送のレジスタ・アドレッシング部分のみの遅延で 5 μ s 以上の遅延になります。1.6 MHz を超える SPI 動作では、5 μ s の合計遅延を確保するために \overline{CS} ピンをハイレベルにする必要がある場合があります。5 MHz 動作に必要な合計遅延は 3.4 μ s 以下です。I²C モードを使用する場合は、このような配慮は必要ありません。通信速度が遅いため、特に意図することなく FIFO の読出しと読出しの間に十分な遅延を確保できるためです。

セルフテスト

ADXL345 は、内蔵しているセルフテスト機能によって、センサー素子と信号処理回路の動作確認を行うことができます。セルフテスト機能が (DATA_FORMAT レジスタ (アドレス 0x31) の SELF_TEST ビットによって) 有効にされると、センサー素子に静電気が働きます。この静電気力は加速度が入力された場合と同様にセンサー素子を移動させ、この静電気力によって x 軸、y 軸、z 軸の出力変化が起こります。静電気力は V^2 に比例するため、出力変化は V_s によって変動します。この影響を図 42 に示します。

表 14 に示すスケール係数を使用して、さまざまな電源電圧 (V_s) に対して想定されるセルフテストの出力限度を調整することができます。ADXL345 のセルフテスト機能もバイモダル特性 (二峰性) を示します。しかし、表 1 および表 15～表 18 に示す限界値は、二峰性に起因する 2 つの可能なセルフテスト値に対して有効です。100 Hz 未満または 1600 Hz のデータレートでセルフテスト機能を使用すると、これらの限界値を外れる値となる可能性があります。したがって、セルフテスト機能の正しい動作のために、デバイスを通常電力動作 (アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット=0) 状態にし、データレートを 100～800 Hz または 3200 Hz にする必要があります。

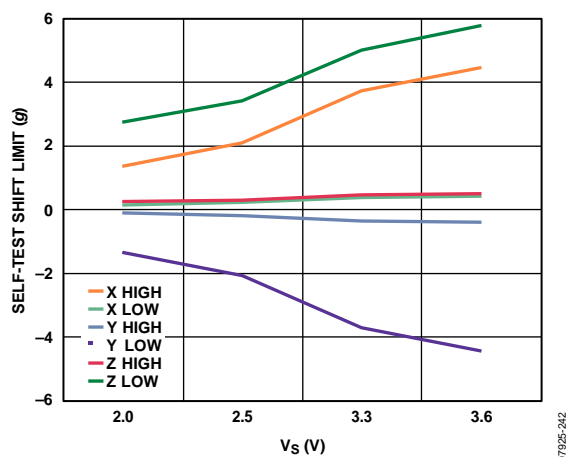


図 42 (セルフテスト出力変化リミット 対 電源電圧 (V_s))

表 14 (電源電圧 V_s によるセルフテスト出力スケール係数)

Supply Voltage, V_s (V)	X-Axis, Y-Axis	Z-Axis
2.00	0.64	0.8
2.50	1.00	1.00
3.30	1.77	1.47
3.60	2.11	1.69

表 15 ± 2 g、最大分解能での LSB のセルフテスト出力

Axis	Min	Max	Unit
X	50	540	LSB
Y	-540	-540	LSB
Z	75	875	LSB

表 16. ± 4 g、10 ビット分解能での LSB の力

Axis	Min	Max	Unit
X	25	270	LSB
Y	-270	-25	LSB
Z	38	438	LSB

表 17 ± 8 g、10 ビット分解能での LSB のセルフテスト出力

Axis	Min	Max	Unit
X	12	135	LSB
Y	-135	-12	LSB
Z	19	219	LSB

表 18. ± 16 g、10 ビット分解能での LSB のセルフテスト出力

Axis	Min	Max	Unit
X	6	67	LSB
Y	-67	-6	LSB
Z	10	110	LSB

レジスタ・マップ

表 19. レジスタ・マップ

Address		Name	Type	Reset Value	Description
Hex	Dec				
0x00	0	DEVID	R	11100101	Device ID
0x01 to 0x1C	1 to 28	Reserved			Reserved; do not access
0x1D	29	THRESH_TAP	R/ \overline{W}	00000000	Tap threshold
0x1E	30	OFSX	R/ \overline{W}	00000000	X-axis offset
0x1F	31	OFSY	R/ \overline{W}	00000000	Y-axis offset
0x20	32	OFSZ	R/ \overline{W}	00000000	Z-axis offset
0x21	33	DUR	R/ \overline{W}	00000000	Tap duration
0x22	34	Latent	R/ \overline{W}	00000000	Tap latency
0x23	35	Window	R/ \overline{W}	00000000	Tap window
0x24	36	THRESH_ACT	R/ \overline{W}	00000000	Activity threshold
0x25	37	THRESH_INACT	R/ \overline{W}	00000000	Inactivity threshold
0x26	38	TIME_INACT	R/ \overline{W}	00000000	Inactivity time
0x27	39	ACT_INACT_CTL	R/ \overline{W}	00000000	Axis enable control for activity and inactivity detection
0x28	40	THRESH_FF	R/ \overline{W}	00000000	Free-fall threshold
0x29	41	TIME_FF	R/ \overline{W}	00000000	Free-fall time
0x2A	42	TAP_AXES	R/ \overline{W}	00000000	Axis control for single tap/double tap
0x2B	43	ACT_TAP_STATUS	R	00000000	Source of single tap/double tap
0x2C	44	BW_RATE	R/ \overline{W}	00001010	Data rate and power mode control
0x2D	45	POWER_CTL	R/ \overline{W}	00000000	Power-saving features control
0x2E	46	INT_ENABLE	R/ \overline{W}	00000000	Interrupt enable control
0x2F	47	INT_MAP	R/ \overline{W}	00000000	Interrupt mapping control
0x30	48	INT_SOURCE	R	00000010	Source of interrupts
0x31	49	DATA_FORMAT	R/ \overline{W}	00000000	Data format control
0x32	50	DATA0	R	00000000	X-Axis Data 0
0x33	51	DATA1	R	00000000	X-Axis Data 1
0x34	52	DATA0	R	00000000	Y-Axis Data 0
0x35	53	DATA1	R	00000000	Y-Axis Data 1
0x36	54	DATA0	R	00000000	Z-Axis Data 0
0x37	55	DATA1	R	00000000	Z-Axis Data 1
0x38	56	FIFO_CTL	R/ \overline{W}	00000000	FIFO control
0x39	57	FIFO_STATUS	R	00000000	FIFO status

レジスタ定義

レジスタ 0x00—DEVID（読み出し専用）

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	1	0	1

DEVID レジスタは、0xE5（8 進 345）の固定のデバイス ID コードを格納します。

レジスタ 0x1D—THRESH_TAP（読み出し／書き込み）

THRESH_TAP レジスタは 8 ビットで符号なしの加速度閾値を格納します。タップを検出するための閾値を設定します。データ・フォーマットは符号なしであり、タップ・イベントでは加速度信号の絶対値と THRESH_TAP レジスタの値とが比較されます。スケール係数は 62.5 mg/LSB（つまり、0xFF = +16 g）です。タップ／ダブル・タップ割込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20—OFSX、OFSY、OFSZ（読み出し／書き込み）

OFSX、OFSY、OFSZ の各レジスタは 8 ビットです。スケール係数は 15.6 mg/LSB（つまり、0x7F = +2 g）です。2 の補数フォーマットで補正値をこのレジスタに書き込むと、計測された加速度値とこのレジスタに書き込んだ補正値の和がデータ・レジスタに書き込まれます。オフセット・レジスタに格納された値は、加速度データに自動的に加算され、その値が出力データ・レジスタに格納されます。オフセット・キャリブレーションとオフセット・レジスタの使い方の詳細については、「オフセット・キャリブレーション」を参照してください。

レジスタ 0x21—DUR（読み出し／書き込み）

DUR レジスタは 8 ビットで、符号なしの時間値を格納します。スケール係数は 625 μs/LSB です。タップ・イベントの検出時に加速度信号が THRESH_TAP 閾値を越える最大時間を設定します。値 0 を設定するとタップ／ダブル・タップ機能は無効になります。

レジスタ 0x22—Latent（読み出し／書き込み）

Latent レジスタは 8 ビットで符号なしの時間値を格納します。スケール係数は 1.25ms/LSB です。タップ・イベントが検出されてから時間ウィンドウの開始（Window レジスタで定義）までの間の待ち時間を設定します。値 0 を設定するとダブル・タップ機能は無効になります。

レジスタ 0x23—Window（読み出し／書き込み）

Window レジスタは 8 ビットで符号なしの時間値を格納します。スケール係数は 1.25ms/LSB です。ダブル・タップ検出において待ち時間（Latent レジスタで決定）の満了後、2 番目の有効なタップを検出できる時間幅を設定します。値 0 を設定するとダブル・タップ機能は無効になります。

レジスタ 0x24—THRESH_ACT（読み出し／書き込み）

THRESH_ACT レジスタは 8 ビットで符号なしの加速度閾値を格納します。スケール係数は 62.5 mg/LSB です。アクティブを検出するための閾値を設定します。データ・フォーマットは符号なしであり、アクティブ・イベントでは加速度信号の絶対値と THRESH_ACT レジスタの値とが比較されます。アクティブ割込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x25—THRESH_INACT（読み出し／書き込み）

THRESH_INACT レジスタは 8 ビットで符号なしの加速度閾値を格納します。スケール係数は 62.5 mg/LSB です。インアクティブを検出するための閾値を設定します。データ・フォーマットは符号なし

しであるため、インアクティブ・イベントでは加速度信号の絶対値と THRESH_INACT レジスタの値とが比較されます。インアクティブ割込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。

レジスタ 0x26—TIME_INACT（読み出し／書き込み）

TIME_INACT レジスタは 8 ビットで、符号なしの時間値を格納します。スケール係数は 1 sec/LSB です。加速度信号が THRESH_INACT レジスタの値を下回ったままこのレジスタで設定した時間を経過した時点でインアクティブが検出されます。フィルタ処理なしのデータ（「閾値」を参照）を使用するほかの割込み機能とは異なり、インアクティブ機能ではフィルタ処理済みの出力データを使用します。インアクティブ割込みを発生させるには、1 つ以上の出力サンプルが加速度センサー内部で測定されている必要があります。このため、TIME_INACT レジスタに出力データレートの時定数より低い値が設定されている場合、この機能が応答していないように見える可能性があります。このレジスタの値を 0 にすると出力データが THRESH_INACT レジスタの値を下回った時点で割込みが発生します。

レジスタ 0x27—ACT_INACT_CTL（読み出し／書き込み）

D7	D6	D5	D4
ACT ac/dc	ACT_X enable	ACT_Y enable	ACT_Z enable
D3	D2	D1	D0
INACT ac/dc	INACT_X enable	INACT_Y enable	INACT_Z enable

ACT ac/dc ビットと INACT ac/dc ビット

0 を設定すると DC カップリング動作が選択され、1 を設定すると AC カップリング動作が有効になります。DC カップリング動作では、現在の加速度の大きさを THRESH_ACT および THRESH_INACT と直接比較して、アクティブ／インアクティブの検出を判定します。

アクティブ検出のための AC カップリング動作では、アクティブ検出の開始時（INT_ENABLE レジスタでアクティブ検出を有効にしたとき、もしくはアクティブ割込みが発生した後に INT_SOURCE を読んで割込みをクリアしたとき）の加速度値が基準値になります。測定された加速度値をこの基準値と比較し、その差が THRESH_ACT 値を上回ると、デバイスがアクティブ割込みをトリガします。

同様に、インアクティブ検出の AC カップリング動作でも、比較のために基準値を使用し、インアクティブ検出の開始時（INT_ENABLE レジスタでインアクティブ検出を有効にしたとき、もしくはインアクティブ割込みが発生した後に INT_SOURCE を読んで割込みをクリアしたとき）およびデバイスがインアクティブ閾値を上回った場合に基準値が更新されます。デバイスは、基準値と現在の加速度との差を THRESH_INACT と比較します。その差が THRESH_INACT の値を下回ったまま THRESH_TIME の時間を経過すると、デバイスはインアクティブと見なされ、インアクティブ割込みが発生します。

ACT_x enable ビットと INACT_x enable ビット

1 を設定すると、アクティブ／インアクティブの検出に x 軸、y 軸、z 軸を加えることができます。0 を設定すると、選択されている軸が対象から除外されます。すべての軸が除外されると、この機能は無効になります。アクティブ検出の場合、関係するすべての軸の論理和になるため、関係するいずれかの軸が閾値を上回るとアクティブ機能がトリガされます。インアクティブ検出の場合は、関係するすべての軸の論理積になるため、関係する全軸が規定された時間閾値を下回る場合にのみ、インアクティブ機能がトリガされます。

レジスタ 0x28—THRESH_FF (読出し／書込み)

THRESH_FF レジスタは 8 ビットで、符号なしの加速度閾値を格納します。自由落下イベントが発生したかどうかを判定するため、すべての軸の加速度が THRESH_FF の値と比較されます。スケール係数は 62.5 mg/LSB です。自由落下割込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。推奨値は 300～600 mg (0x05～0x09) です。

レジスタ 0x29—TIME_FF (読出し／書込み)

TIME_FF レジスタは 8 ビットで符号なしの時間値を格納します。スケール係数は 5 ms/LSB です。すべての軸の RSS 値が THRESH_FF で設定した閾値を下回ったままこのレジスタで設定した時間を経過すると自由落下割込みが発生します。自由落下割込みが有効の場合、このレジスタの値を 0 にすると予期しない動作が生じる可能性があります。推奨値は 100～350 ms (0x14～0x46) です。

レジスタ 0x2A—TAP_AXES (読出し／書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	Suppress	TAP_X enable	TAP_Y enable	TAP_Z enable

Suppress ビット

タップ間に THRESH_TAP の値を上回る加速度が存在する場合、Suppress ビットを設定すると、ダブル・タップ検出が無効になります。詳細は「タップ検出」を参照してください。

TAP_x enable ビット

TAP_X enable、TAP_Y enable、TAP_Z enable のビットに 1 を設定すると、タップ検出に x 軸、y 軸、z 軸を加えることができます。0 を設定すると、選択されている軸がタップ検出の対象から除外されます。

レジスタ 0x2B—ACT_TAP_STATUS (読出し専用)

D7	D6	D5	D4	D3	D2	D1	D0
0	ACT_X source	ACT_Y source	ACT_Z source	Asleep	TAP_X source	TAP_Y source	TAP_Z source

ACT_x source ビットと TAP_x source ビット これらのビットは、タップまたはアクティブのイベントに関係する最初の軸を示します。1 が格納されている軸は各イベントの検出条件を満たした最初の軸であることを示し、0 が格納されている軸は無関係であることを示します。新しく各イベントが検出されると、これらのビットは新しい情報に上書きされます。割込みをクリアする前に、ACT_TAP_STATUS レジスタを読み出すことを推奨します。ACT_INACT_CTL レジスタ又は TAP_AXIS レジスタによって、各軸を無効にすると、次のアクティブ・イベントまたはタップ／ダブル・タップ・イベントの発生時に、対応する source ビットがクリアされます。

Asleep ビット

Asleep ビットに 1 が格納されている場合はデバイスがスリープ状態であることを示し、0 の場合はデバイスがスリープ状態でないことを示します。このビットがトグルするのは、デバイスが自動スリープに設定されている場合のみです。自動スリープ・モードの詳細については、「レジスタ 0x2D—POWER_CTL (読出し／書込み)」を参照してください。

レジスタ 0x2C—BW_RATE (読出し／書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	LOW_POWER	Rate			

LOW_POWER ビット

LOW_POWER ビットに 0 を設定すると通常動作が選択され、1 を設定すると低消費電力動作が選択されます。これによって、消費電力を抑えることが可能になりますが、ノイズが若干大きくなります（詳細は「電力モード」を参照）。

Rate ビット

これらのビットは、デバイスの帯域幅と出力データレートを選択します（詳細は表 6 と表 7 を参照）。デフォルト値は 0x0A であり、100 Hz の出力データレートになります。出力データレートは、測定したい周波数帯域と通信プロトコルにあったレートを選択してください。低い通信速度で、選択した出力データレートが高すぎると、データの読出しがデータレジスタの更新速度に追いつかなくなる可能性があります。

レジスタ 0x2D—POWER_CTL (読出し／書込み)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	Link	AUTO_SLEEP	Measure	Sleep	Wakeup	

Link ビット アクティブ機能とインアクティブ機能を有効にした状態で Link ビットに 1 を設定すると、インアクティブが検出されるまでアク

ティブ機能を抑止します。インアクティブが検出されると、インアクティブ検出が抑止され、アクティブ検出が開始されます。その後アクティブが検出されると、インアクティブ検出が開始され、アクティブの検出が抑止されます。このビットを 1 に設定すると、アクティブ機能とインアクティブ機能を連続的にリンクする動作になります。このビットに 0 を設定すると、インアクティブ機能とアクティブ機能が同時に動作します。詳細については「リンク・モード」を参照してください。

Link ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に Link ビットをクリアすると、特にビットのクリア時にデバイスがスリープ状態だった場合は、Link ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

AUTO_SLEEP ビット リンク・ビットがセットされている場合、AUTO_SLEEP ビットに 1 を設定すると、自動スリープ機能が有効になります。このモード

では、インアクティブ機能が有効にされてインアクティブが検出された場合（つまり、TIME_INACT で示された時間以上、加速度が THRESH_INACT 値を下回ったとき）、ADXL345 は自動的にスリープ・モードに切り替わります。アクティブも有効の場合、ADXL345 は、アクティブを検出した後でスリープ状態から自動的にウェイクアップし、BW_RATE レジスタに設定された出力データレートの動作に復帰します。AUTO_SLEEP ビットに 0 が設定されると、スリープ・モードへの自動切替えは無効になります。スリープ・モードの詳細については、このセクションのスリープ・ビットの説明を参照してください。

リンク・ビットがセットされていない場合、AUTO_SLEEP 機能は無効であり、AUTO_SLEEP ビットの設定はデバイス動作に影響を与えません。リンク機能の使い方の詳細については、「Link ビット」または「リンク・モード」を参照してください。

AUTO_SLEEP ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に AUTO_SLEEP ビットをクリアすると、特にビットのクリア時にデバイスがスリープ状態だった場合は、AUTO_SLEEP ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

Measure ビット

Measure ビットに 0 を設定するとデバイスはスタンバイ・モードに入り、1 を設定すると測定モードに入ります。

Sleep ビット

Sleep ビットに 0 を設定するとデバイスは通常動作モードに入り、1 を設定するとスリープ・モードに入ります。スリープ・モードは、DATA_READY 割込みの発生を抑制し、FIFO へのデータ伝送を停止し、サンプリング・レートを Wakeup ビットで指定された値に切り替えます。スリープ・モードで使用できるのは、アクティブ機能のみです。DATA_READY 割込みが発生しない間も、出力データ・レジスタは、ウェークアップ・ビットで設定したサンプリング・レートで更新されます。

Sleep ビットをクリアするときは、デバイスをスタンバイ・モードにすることを推奨します。デバイスが加速度を測定中に Sleep ビットをクリアすると、特にビットのクリア時にデバイスがスリープ状態だった場合は、Sleep ビットがクリアされた後の最初の数サンプル分のデータでノイズが増えることがあります。

Wakeup ビット

これらのビットは、表 20 に示すように、スリープ・モード中の加速度センサー内部でのデータ読出し周波数を制御します。

表 4. スリープモードでのデータ読出し周波数

Setting		Frequency (Hz)
D1	D0	
0	0	8
0	1	4
1	0	2
1	1	1

レジスタ 0x2E—INT_ENABLE（読出し／書込み）

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタのビットに 1 を設定すると、対応するそれぞれの割込み機能を有効にします。0 を設定したビットに対応する割込み機能は無効になります。DATA_READY、Watermark、Overrun の各ビットは、物理的な割込み出力だけを有効にし、これらの機能はこのレジスタの設定に関わらず常に有効です。各割込みの閾値を設定してから、割込みを有効にすることを推奨します。

レジスタ 0x2F—INT_MAP（読出し／書込み）

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタで 0 に設定されたビットに対応する割込みは、それぞれの割込みを INT1 ピンに送信します。1 に設定されたビットに対応する割込みは、それぞれの割込みを INT2 ピンに送信します。複数の割込み出力を各 INT ピンに対して設定した場合は、すべての割込みの論理和が INT ピンの出力となります。

レジスタ 0x30—INT_SOURCE（読出し専用）

D7 DATA_READY	D6 SINGLE_TAP	D5 DOUBLE_TAP	D4 Activity
D3 Inactivity	D2 FREE_FALL	D1 Watermark	D0 Overrun

このレジスタで 1 が設定されたビットに対応する割込みは、それぞれの機能の割込みが発生したことを示し、値 0 は対応する割込みが発生していないことを示します。DATA_READY、Watermark、Overrun の各ビットは、対応するイベントが発生した場合に INT_ENABLE レジスタの設定に関係なくセットされ、DATA_X、DATA_Y、DATA_Z の各レジスタからのデータ読出しによってクリアされます。「FIFO」の FIFO モードに関する説明で示すように、DATA_READY ビットと Watermark ビットをクリアするには複数回の読出しが必要になることがあります。ほかのビットに対応する割込みは、INT_SOURCE レジスタの読出しによってクリアされます。

レジスタ 0x31—DATA_FORMAT（読出し／書込み）

D7	D6	D5	D4	D3	D2	D1	D0
SELF_TEST	SPI	INT_INVERT	0	FULL_RES	Justify	Range	

DATA_FORMAT レジスタは、レジスタ 0x32～0x37 へのデータの表示を制御します。

SELF_TEST ビット

SELF_TEST ビットに 1 を設定すると、セルフテストが有効になり、出力データが変化します。値 0 はセルフテストを無効にします。

SPI ビット

SPI ビットの値 1 はデバイスを 3 線式 SPI モードに設定し、値 0 は 4 線式 SPI モードに設定します。

INT_INVERT ビット

INT_INVERT ビットの値 0 は割込みをアクティブ・ハイに設定し、値 1 は割込みをアクティブ・ローに設定します。

FULL_RES ビット

このビットが値 1 に設定されると、デバイスは最大分解能モードになり、出力分解能がレンジ・ビットによって設定された g レンジに従って増加して 4 mg/LSB のスケール係数を維持します。FULL_RES ビットが 0 に設定されると、デバイスは 10 ビット・モードになり、レンジ・ビットが最大の g レンジとスケール係数を決めます。

Justify ビット

Justify ビットに 1 を設定すると左寄せ (MSB) モードが選択され、0 を設定すると符号を拡張した右寄せモードが選択されます。

Range ビット

これらのビットは、表 21 に示す g レンジを設定します。

表 21. g レンジの設定

Setting		g Range
D1	D0	
0	0	$\pm 2 g$
0	1	$\pm 4 g$
1	0	$\pm 8 g$
1	1	$\pm 16 g$

レジスタ 0x32～0x37—DATAx0、DATAx1、DATAY0、DATAY1、DATAz0、DATAz1（読出し専用）

これら 6 つのバイト（レジスタ 0x32～0x37）はそれぞれ 8 ビットであり、各軸の出力データを格納します。レジスタ 0x32 とレジスタ 0x33 は x 軸の出力データ、レジスタ 0x34 とレジスタ 0x35 は y 軸の出力データ、レジスタ 0x36 とレジスタ 0x37 は z 軸の出力データを格納します。出力データは 2 の補数であり、DATAx0 が最下位バイト、DATAx1 が最上位バイトです（ここで、 x は X 、 Y 、または Z を示します）。DATA_FORMAT レジスタ（アドレス 0x31）で設定したデータのフォーマットに依存してデータが各レジスタに格納されます。連続したレジスタの読出しの間でデータが変化しないように、すべてのレジスタを複数バイト読出しによって読み出すことを推奨します。

レジスタ 0x38—FIFO_CTL（読出し／書込み）

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_MODE		Trigger	Samples				

FIFO_MODE ビット

これらのビットは、表 22 に示す FIFO モードを設定します。

表 5. FIFO モード

設定		モード	機能
D7	D6		
0	0	バイパス	FIFO がバイパスされます。
0	1	FIFO	FIFO は FIFO が満杯になるまで新しいデータを収集し、データの取得を終了します。FIFO が満杯でないときのみ新しいデータを FIFO に格納します。
1	0	ストリーム	FIFO は最新の 32 個のデータ値を格納します。FIFO が満杯になると、古いデータから新しいデータによって上書きされます。
1	1	トリガ	Trigger ビットによってトリガされると、FIFO はトリガ・イベントの前の最後のデータ・サンプルを保持してから、満杯になるまでデータ収集を続けます。FIFO が満杯になるまで新しいデータを収集します。

Trigger ビット

Trigger ビットの値 0 はトリガ・モードのトリガ・イベントを INT1 にリンクし、値 1 はトリガ・イベントを INT2 にリンクします。

Samples ビット

これらのビットの機能は、選択された FIFO モードによります（表 23 を参照）。サンプル・ビットに値 0 を入力すると、選択されている FIFO モードに関係なく、INT_SOURCE レジスタの Watermark ビットが直ちに設定されます。トリガ・モードの使用時にサンプル・ビットに値 0 を使用すると、予期しない動作が生じる可能性があります。

表 6. サンプル・ビットの機能

FIFO モード	サンプル・ビットの機能
バイパス	なし。
FIFO	ウォーターマーク割込みのトリガに必要な FIFO に格納されているデータ数を指定します。
ストリーム	ウォーターマーク割込みのトリガに必要な FIFO に格納されているデータ数を指定します。
トリガ	トリガ・イベントの発生時に FIFO バッファに保持されるトリガ・イベント発生前のデータ数を指定します。

0x39—FIFO_STATUS（読出し専用）

D7	D6	D5	D4	D3	D2	D1	D0
FIFO_TRIG	0	Entries					

FIFO_TRIG ビット

FIFO_TRIG ビットの 1 はトリガ・イベントが発生していることを示し、0 は FIFO トリガ・イベントが発生していないことを示しています。

Entries ビット

これらのビットは、FIFO に格納されているデータ値の数を示します。FIFO からのデータ読出しは、DATAx、DATAY、DATAZ の各レジスタから行います。FIFO からのデータ読出しは、マルチバイト読出しで行う事を推奨します。これは、各 FIFO レベルにあるデータがデータ・レジスタへのアクセス（シングルバイトまたはマルチバイト）後にクリアされるためです。FIFO は各軸最大 32 個のデータを格納します。データ・レジスタと合わせて、常に各軸最大 33 個のデータ保持が可能であることになります。

アプリケーション情報

電源のデカップリング

ADXL345 には、電源ノイズから加速度センサーを十分にデカップリングするために V_S の $1\ \mu\text{F}$ タンタル・コンデンサ (C_S) と $V_{DD\text{ I/O}}$ の $0.1\ \mu\text{F}$ セラミック・コンデンサ (C_{IO}) の使用を推奨します。電源ノイズから加速度センサーを十分にデカップリングするためにも実際のアプリケーションでも使用を推奨します。それ以上のデカップリングが必要な場合は、 $100\ \Omega$ 以下の抵抗かフェライト・ビーズを V_S と直列に挿入すると効果的です。さらに、 V_S に $10\ \mu\text{F}$ タンタル・コンデンサと並列に $0.1\ \mu\text{F}$ セラミック・コンデンサを設置すると、さらにノイズを改善することができます。

グラウンドから伝わるノイズには、 V_S からのノイズと同じような影響があるため、ADXL345 のグラウンドから電源グラウンドへの接続は必ず低インピーダンスになるようにしてください。 V_S へのデジタル・クロック・ノイズを最小限に抑えるには、 V_S と $V_{DD\text{ I/O}}$ を別電源にすることを推奨します。これが不可能な場合は、前述のように電源にフィルタを追加しなければならないことがあります。

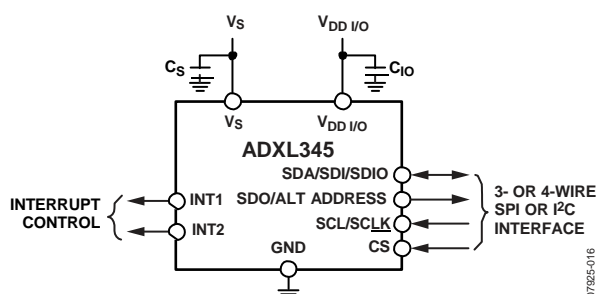


図 43. アプリケーション図

取付けに関する機構上の留意点

ADXL345 は、プリント基板の支持点近くで基板に取り付けることを推奨します。図 44 に示すように、プリント基板の適切でない場所に ADXL345 を取り付けると、基板の振動が減衰されず、測定誤差が大きくなることがあります。加速度センサーを基板支持点の近くに配置すれば、基板振動の加速度センサーへの影響を最小限に抑えることができます。センサーの近くに複数の取付け点を設けたり、プリント基板を厚くしたりすることも、システム共振のセンサー性能に対する影響の低減に効果的です。

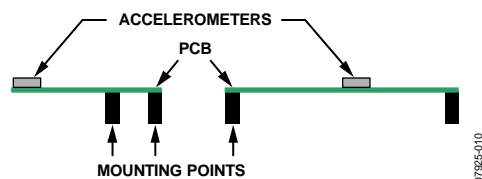


図 44. 加速度センサーの誤った配置

タップ検出

タップ割り込み機能は、シングル・タップまたはダブル・タップを検出できます。図 45 に示す以下のパラメータがシングル・タップ・イベントとダブル・タップ・イベントに関連します。

- **THRESHOLD** は、THRESH_TAP レジスタ (アドレス 0x1D) によって定義されます。
- **TIME LIMIT FOR TAPS** は、DUR レジスタ (アドレス 0x21) によって定義されます。
- **LATENCY** は、Latent レジスタ (アドレス 0x22) によって定義され、最初のタップの終了から 2 番目のタップを検出できる **TIME WINDOW** の開始までの待ち時間です。**TIME WINDOW** 時間は Window レジスタ (アドレス 0x23) の値で決まります。
- **LATENCY** (Latent レジスタによって設定) 後の **TIME WINDOW** は、Window レジスタによって定義されます。遅延時間が満了した後に 2 番目のタップが開始されなければなりません、Window レジスタによって定義された時間の終了前に完了する必要はありません。

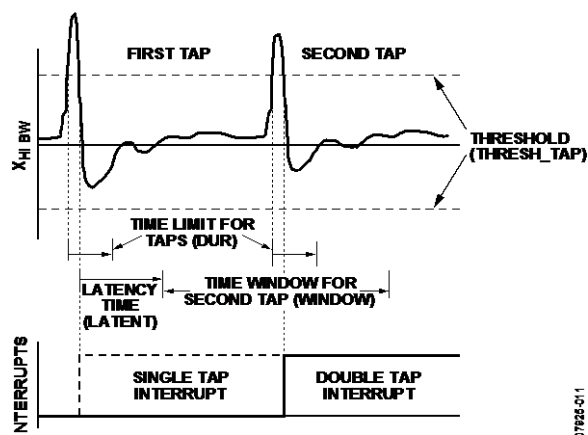


図 45. 有効なシングル・タップとダブル・タップの タップ割り込み機能

シングル・タップ機能のみが使用されている場合は、DUR 時間を超えない限り、加速度が閾値を下回るとシングル・タップ割り込みが発生します。シングル・タップ機能とダブル・タップ機能の両方が使用されている場合は、ダブル・タップ・イベントが有効または無効になったときに、シングル・タップ割り込みが発生します。

ダブル・タップ・イベントでは 2 番目のタップを無効にするイベントが発生することがあります。まず、図 46 に示すように、TAP_AXES レジスタ (アドレス 0x2A) の Suppress ビットがセットされた場合、LATENCY (Latent レジスタによって設定) 中に加速度信号が閾値を上回ると、ダブル・タップ検出が無効になります。

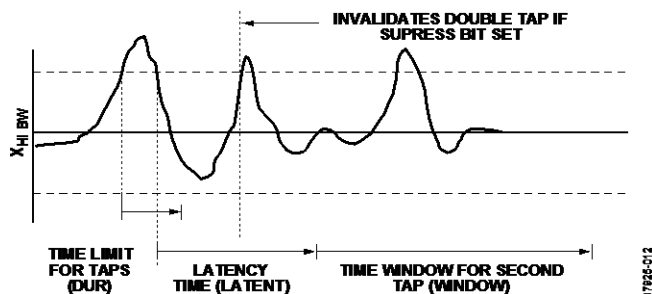


図 46. 抑制ビットのセット時の高 g イベントによるダブル・タップ・イベントの無効化

2 番目のタップに対する TIME WINDOW の開始時 (Window レジスタによって設定) に閾値を上回る加速度が検出された場合も、ダブル・タップ・イベントが無効になります。その結果、図 47 に示すように、このウィンドウの開始時にダブル・タップが無効と判断されます。さらに、加速度がタップ検出のタイムリミット (DUR レジスタによって設定) を上回った場合もダブル・タップ・イベントが無効になり、その結果、図 47 に示すように、2 番目のタップ・イベントに対する DUR タイムリミットの終了時にダブル・タップが無効と判断されます。

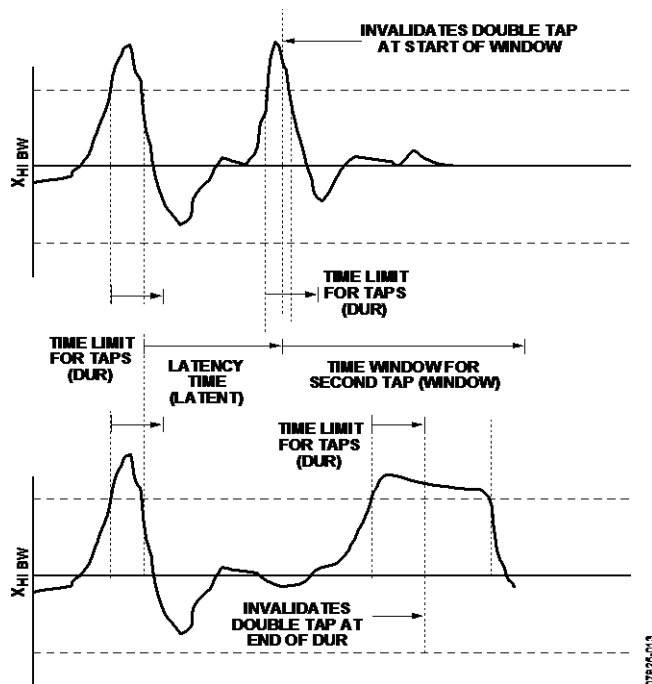


図 47. 無効なダブル・タップになったタップ割込み機能

シングル・タップ、ダブル・タップ、またはその両方を検出するには、INT_ENABLE レジスタ (アドレス 0x2E) の各ビットをセットします。シングル・タップ/ダブル・タップの検出でどの軸の出力を判定に使用するかは、TAP_AXES レジスタ (アドレス 0x2A) の該当するビットをセットします。ダブル・タップ機能を使用する場合は、Latent レジスタと Window レジスタの両方に 0 以外の値を設定する必要があります。

あらゆるシステムには、システムの機械的特性に基づいた個別のシングル・タップ/ダブル・タップ応答があります。したがって、DUR、Latent、Window、THRESH_TAP の各レジスタの値は実験的に決定していく必要があります。一般に、最初に DUR レジスタに 0x10 (10 ms) より大きい値 Latent レジスタに 0x10 (20 ms) より大きい値、Window レジスタに 0x40 (80ms) より大きい値、THRESH_TAP レジスタに 0x30 (3 g) より大きい値を設定すると良いと考えられます。Latent、Window、THRESH_TAP レジスタに設定した値が小さすぎると、加速度センサーがタップ入力の残留振動をひろい、予期しない反応が発生することがあります。

タップ割込みを受信した後、THRESH_TAP レベルを上回った最初の軸が ACT_TAP_STATUS レジスタ (アドレス 0x2B) に更新されます。このレジスタはクリアされることなく、新しいデータで上書きされます。

閾値

ADXL345 はデバイス内のサンプリング周波数で測定されたデータのデシメーションを行うことによって、低い出力データレートを得ています。アクティブ、自由落下、シングル・タップ/ダブル・タップの各検出機能は、フィルタ処理前のデータで実行されます。

アクティブ、自由落下、シングル・タップ/ダブル・タップの各検出機能は、デシメーション前のデータを用いて実行されます。出力データの帯域幅は、データレートによって異なり、デシメーション前のデータの帯域幅より小さいため、加速度センサーの出力を調べるときに、アクティブ、自由落下、シングル・タップ/ダブル・タップの各イベントの判定に使用する高周波/高 g データが存在しない可能性があります。このため、加速度データが対応する機能に対してユーザが設定した条件を満たしていないと思われる場合でも、その機能がトリガされることがあります。

リンク・モード

Link ビットは、インアクティブ後のアクティブだけを検出するようにデバイスを設定することによって、プロセッサで対応しなければならないアクティブ割込みの数を低減します。この機能が正常に動作するには、プロセッサは INT_SOURCE レジスタ (アドレス 0x30) を読み出し、割込みをクリアする必要があります。アクティブ割込みがクリアされない限り、インアクティブ割込みの検出は開始されないため、デバイスは自動スリープ・モードに入りません。ACT_TAP_STATUS レジスタ (アドレス 0x2B) の Asleep ビットは、デバイスがスリープ状態にあるかどうかを示します。

スリープ・モードと低消費電力モード

データレートと消費電力の低下が求められる（ノイズ性能を犠牲にしても）アプリケーションでは、低消費電力モードの使用を推奨します。低消費電力モードを使用すると、DATA_READY 割込みと FIFO の機能は加速度データの後処理用に維持されます。スリープ・モードもデータレートと消費電力が低くなりますが、加速度値の測定は出来ません。

スリープ・モードを AUTO_SLEEP モードおよびリンク・モードと組み合わせて使用すると、インアクティブの検出で、デバイスは低消費電力で低サンプリング・レートのモードに自動的に切り替わります。不要なインアクティブ割込みが発生しないようにするため、インアクティブ割込みは自動的に無効にされ、アクティブが有効にされます。ADXL345 がスリープ・モードのとき、ホスト・プロセッサもスリープ・モードや低消費電力モードにすることで、システムの電力を大幅に低減することができます。アクティブが検出されると、加速度センサーは、設定された元のデータレートに自動的に戻り、アクティブ割込みを発生します。これをホスト・プロセッサのウェイクアップに使用することができます。同様に、インアクティブが発生した場合は、アクティブ・イベントの検出が無効にされ、インアクティブが有効になります。

オフセット・キャリブレーション

加速度センサーは、自由に移動する要素を内蔵した機械的構造物です。これらの可動部品は、固体エレクトロニクスに比べると、機械的な圧力に対してきわめて敏感です。0 g バイアスまたはオフセットは、加速度測定のベースラインを定めるものであり、加速度センサーの重要な測定基準になります。加速度センサーを内蔵するシステムの組立て時に、圧力が加わることがあります。これらの圧力の原因としては、部品のハンダ処理、取付け時の基板への力、部品への化合物の塗布などがありますが、必ずしもこれだけではなく、高精度の加速度測定が必要と考えられる場合は、これらの影響を相殺するためにシステムの組立て後にキャリブレーションを行うことを推奨します。

キャリブレーションの簡単な方法は、ADXL345 の感度を表 1 の規定どおりと想定してオフセットを測定することです。内蔵のオフセット・レジスタ（レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20）を用いることで、このオフセットをセンサー内部で計算させる事ができます。その結果、DATA_X、DATA_Y、DATA_Z の各レジスタ（アドレス 0x32～0x37）から取得したデータは、オフセット補償済みの値になります。

ノーターンまたはシングルポイントのキャリブレーション方式では、1 本の軸（一般には z 軸）が重力の 1 g フィールドにあり、残りの軸（一般には x 軸と y 軸）が 0 g フィールドにあるようにデバイスの向きを設定します。この状態で、一定数以上のサンプルの平均をとって、出力を測定します。平均化の対象とするサンプル数は、システム設計者が選択できますが、100 Hz 以上のデータレートでまず 0.1 秒のデータから始めることを推奨します。これは、100 Hz のデータレートで 10 個のサンプルに相当します。100 Hz 未満のデータレートの場合は、10 個以上のサンプルの平均をとることを推奨します。これらの値は、x 軸と y 軸の 0 g 測定および z 軸の 1 g 測定で、それぞれ X_{0g} 、 Y_{0g} 、 Z_{+1g} として格納されます。

X_{0g} と Y_{0g} の測定値は x 軸と y 軸のオフセットに対応し、加速度センサーの出力からこれらの値を引くことで補償が行われ、実際の加速度が得られます。

$$X_{ACTUAL} = X_{MEAS} - X_{0g}$$

$$Y_{ACTUAL} = Y_{MEAS} - Y_{0g}$$

z 軸の測定は 1 g フィールドで行われるため、ノーターンまたはシングルポイントのキャリブレーション方式では z 軸に理想的な感度 (S_z) があるものと考えます。これを Z_{+1g} から引いて z 軸のオフセットを出し、さらにそれを将来の測定値から引いて実効値を取得します。

$$Z_{0g} = Z_{1g} - S_z$$

$$Z_{ACTUAL} = Z_{MEAS} - Z_{0g}$$

ADXL345 は、オフセット・レジスタ（レジスタ 0x1E、レジスタ 0x1F、レジスタ 0x20）を用いて、自動的に出力のオフセット補償を行います。これらのレジスタに含まれる 8 ビットの 2 の補数値が、測定したすべての加速度値に自動的に加算され、その結果が DATA_X、DATA_Y、DATA_Z の各レジスタに格納されます。オフセット・レジスタに格納される値は加法的であるため、正のオフセットを解消するにはレジスタに負の値、負のオフセットを解消するには正の値を加えます。レジスタは、スケール係数が 15.6 mg/LSB で、選択した g レンジに左右されません。

たとえば、ADXL345 が 256 LSB/g (typ) の感度で最大分解能モードになるとしましょう。z 軸が重力フィールドに来るようなデバイスの向きを設定すると、x 軸、y 軸、z 軸の出力は、それぞれ +10 LSB、-13 LSB、+9 LSB になります。前述の式を用いると、 X_{0g} は +10 LSB、 Y_{0g} は -13 LSB、 Z_{0g} は +9 LSB になります。最大分解能での出力の各 LSB は、3.9 mg すなわちオフセット・レジスタの LSB の 1/4 です。

オフセット・レジスタは加法的であるため、0 g 値は極性を反転して、オフセット・レジスタの最も近い LSB に丸めます。

$$X_{OFFSET} = -\text{Round}(10/4) = -3 \text{ LSB}$$

$$Y_{OFFSET} = -\text{Round}(-13/4) = 3 \text{ LSB}$$

$$Z_{OFFSET} = -\text{Round}(9/4) = -2 \text{ LSB}$$

これらの値が、それぞれ 0xFD、0x03、0xFE として OFSX、OFSY、OFXZ の各レジスタに書き込まれます。ADXL345 のほかのレジスタと同様、デバイスの電源が切断されると、オフセット・レジスタに書き込まれた値は保持されません。ADXL345 の電源の切断・再投入を行うと、オフセット・レジスタの内容は 0x00 のデフォルト値に戻ります。

Z 軸 1g 状態での無回転またはシングルポイントのキャリブレーション方式では z 軸 1g オフセットから理想感度を差し引いて z 軸 0g オフセットを求めるため、この感度に誤差があるとオフセット誤差になります。たとえば、前述の例で実際の感度が 250 LSB/g であったとすると、オフセットは 15 LSB となり、9 LSB になりません。この誤差を最小限に抑えるには、0 g フィールドの z 軸のもう 1 つの測定点を用い、0 g の測定値を Z_{ACTUAL} の式に使用します。

セルフテストの使用法

セルフテスト変動とは、セルフテストを有効にした軸の加速度出力と、同じ軸でセルフテストを無効にした場合の加速度出力の差を意味します（表 1 の脚注 6 を参照）。この定義では、これら 2 つの測定の間センサーに印加されている加速度が変わらないことを前提としています。センサーに印加されている加速度が変化した場合、セルフテストに関連していない出力変化のためにテスト結果の判定が困難になります。

正確なセルフテスト測定には、ADXL345 を正しく設定する必要があります。ADXL345 のデータレートは、100 Hz 以上に設定してください。このためには、BW_RATE レジスタ（アドレス 0x2C）の Rate ビット（ビット D3～D0）に 0x0A 以上の値を書き込む必要があります。また、また、正確なセルフテスト測定には、BW_RATE レジスタの LOW_POWER ビット（ビット D4）をクリアして（LOW_POWER ビット=0）、デバイスを通常電力動作にする必要があります。セルフテストによるシフトによって出力が飽和しないように、十分なダイナミック・レンジが得られるように、デバイスを 16 g モードに設定し、最大分解能モードに設定することを推奨します。このためには、FULL_RES ビット（ビット D3）をセットし、DATA_FORMAT レジスタ（アドレス 0x31）の Range ビット（ビット D1 と D0）に 0x03 の値を書き込みます。これにより、±16 g のダイナミック・レンジと 3.9 mg/LSB のスケール係数が得られます。

デバイスをセルフテスト測定用に設定した後は、x 軸、y 軸、z 軸の加速度データをいくつかセンサーから読み出して平均値をとることを推奨します。平均値をとるサンプルの数は、システム設計者次第ですが、100 Hz 以上のデータレートの場合、まずは 0.1 秒相当のデータ（100 Hz のデータレートで 10 個のサンプル）を使用することを推奨します。100 Hz 未満のデータレートの場合は、10 個以上のサンプルで平均をとることを推奨します。平均値は、セルフテスト無効時のデータ X_{ST_OFF} 、 Y_{ST_OFF} 、 Z_{ST_OFF} としてシステム内に保存してください。

次に、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をセットしてセルフテストを有効にします。セルフテストを有効にした後、出力が安定するまでに待ち時間（約 4 個のサンプル）が必要です。出力が安定した後、x 軸、y 軸、z 軸の加速度データを再び読み込み、平均値をとります。平均値をとるには、前と同じ数のサンプルを使用することを推奨します。これらの平均値は、セルフテストを有効にした値 X_{ST_ON} 、 Y_{ST_ON} 、 Z_{ST_ON} として再びシステム内に保存してください。その後、DATA_FORMAT レジスタ（アドレス 0x31）のビット D7 をクリアして、セルフテストを無効にしてください。

セルフテストを有効にしたときと無効にしたときの保存値から、セルフテスト変動を次のように表すことができます。

$$X_{ST} = X_{ST_ON} - X_{ST_OFF}$$

$$Y_{ST} = Y_{ST_ON} - Y_{ST_OFF}$$

$$Z_{ST} = Z_{ST_ON} - Z_{ST_OFF}$$

各軸の測定された出力は LSB 単位で表されるため、 X_{ST} 、 Y_{ST} 、 Z_{ST} も LSB 単位になります。これらの値を g の加速度に変換するには、最大分解能で 16 g モードの設定の場合、各値に 3.9 mg/LSB のスケール係数を乗算します。また、表 15～18 は LSB に変換したセルフテスト変動の仕様を示しており、 $V_S=2.5V_{DD}$ 動作時に測定されたセルフテスト変動と単位の変換をせずに比較することができます。ほかの電圧の場合、表 14 に示すスケール係数に基づいて（スケール係数を乗算して）、最小と最大のセルフテスト出力値を計算する必要があります。デバイスが ±2 g の、10 ビットまたは最大分解能モードの場合は、表 15 に示す値を使用してください。10 ビットの固定モードや 16 g 以外のレンジも使用できますが、表 16～18 に示すように、それぞれのレンジと分解能に合った値を使用してください。8 g 未満のレンジを使用するとダイナミック・レンジが不足する可能性がありますので、セルフテストを測定するための動作レンジを選択する際には注意してダイナミック・レンジを選択してください。

セルフテスト変動が仕様内に収まった場合、テストは成功したと考えられます。一般に、セルフテスト変動が仕様の最小値以上であった場合、デバイスは正常であると考えられます。ただし、セルフテスト変動が仕様の最大値を超えていても、そのデバイスが異常であるとは限りません。

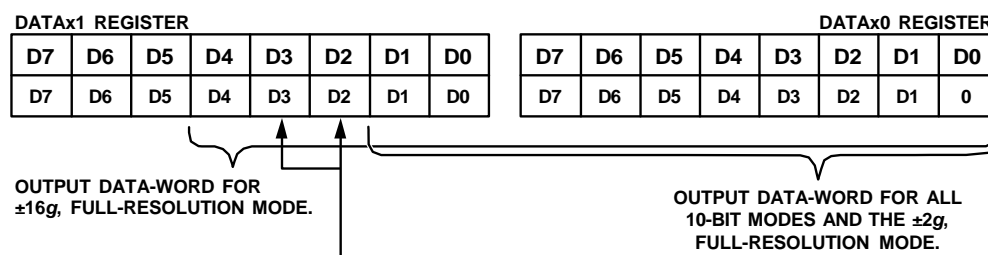
高データレートのデータ・フォーマッティング

3200 Hz と 1600 Hz の出力データレートにおける出力データのフォーマッティングは、動作モード（最大分解能または固定 10 ビット）と選択した出力レンジによって異なります。

最大分解能または $\pm 2g$ 、10 ビット動作で 3200 Hz または 1600 Hz の出力データレートを使用する場合、出力データワードの LSB は常に 0 です。データが右詰めの場合、図 34 に示すように、DATAx0 レジスタのビット D0 に対応します。データが左詰めで、デバイスが $\pm 2g$ 、10 ビット・モードで動作する場合、出力データワードの LSB は、DATAx0 レジスタのビット D6 になります。最大分解能の動作でデータが左詰めの場合、LSB の位置は選択した出力レンジによって異なります。 $\pm 2g$ のレンジの場合の LSB は DATAx0 レジスタのビット D6、 $\pm 4g$ の場合は DATAx0 レジスタ

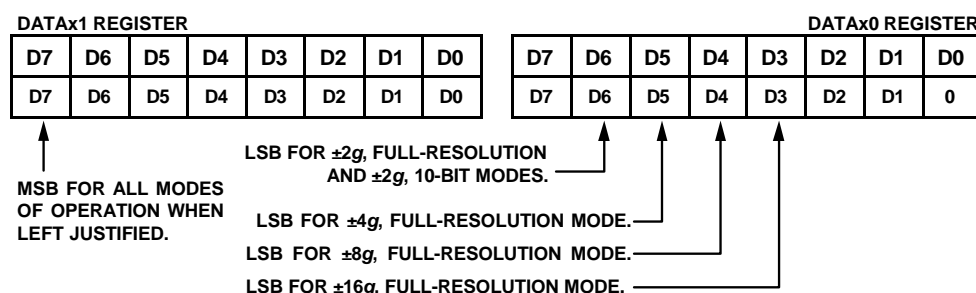
のビット D5、 $\pm 8g$ の場合は DATAx0 レジスタのビット D4、 $\pm 16g$ の場合は DATAx0 レジスタのビット D3 です。これを図 35 に示します。

$\pm 4g$ 、 $\pm 8g$ 、 $\pm 16g$ の出力レンジの固定 10 ビット動作で 3200 Hz と 1600 Hz の出力データレートを使用すると、有効な LSB が得られますが、これは与えられた加速度によって変化します。したがって、これらの動作モードでは、出力データが右詰めの場合にビット D0 は必ずしも 0 ではなく、また出力データが左詰めの場合はビット D6 は必ずしも 0 ではありません。800 Hz 以下のデータレートでの動作でも、すべてのレンジとモードで有効な LSB が得られますが、これも与えられた加速度によって変化します。



THE $\pm 4g$ AND $\pm 8g$ FULL-RESOLUTION MODES HAVE THE SAME LSB LOCATION AS THE $\pm 2g$ AND $\pm 16g$ FULL-RESOLUTION MODES, BUT THE MSB LOCATION CHANGES TO BIT D2 AND BIT D3 OF THE DATAx1 REGISTER FOR $\pm 4g$ AND $\pm 8g$, RESPECTIVELY.

図 34. 出力データが右詰めのときのデータ形式



FOR 3200Hz AND 1600Hz OUTPUT DATA RATES, THE LSB IN THESE MODES IS ALWAYS 0. ADDITIONALLY, ANY BITS TO THE RIGHT OF THE LSB ARE ALWAYS 0 WHEN THE OUTPUT DATA IS LEFT JUSTIFIED.

図 35. 出力データが左詰めのときのデータ形式

ノイズ性能

表 1 に示したノイズの仕様は、100 Hz の出力データレート（アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット= 0、レート= 0x0A）での通常電力動作における ADXL345 の代表的なノイズ性能に対応します。100 Hz を下回るデータレートでの通常電力動作の場合、ADXL345 のノイズは、LSB 単位で 100 Hz の ODR のノイズに相当します。100 Hz を超えるデータレートでは、データレートが倍増するごとに、ノイズはおおよそ $\sqrt{2}$ 倍に増加します。たとえば、400 Hz の ODR では、x 軸と y 軸のノイズは一般に 1.5 LSB rms より小さく、z 軸のノイズは一般に 2.2 LSB rms より小さいです。

低消費電力動作（アドレス 0x2C の BW_RATE レジスタの LOW_POWER ビット= 1）の場合、ADXL345 のノイズは、表 8 に示したすべての有効なデータレートに対して一定で一般に通常測定モード時の 1.8LSB rms を下回り、z 軸では一般に 2.6LSB rms を下回ります。

ADXL345 の通常電力動作モードと低消費電力動作モードでのノイズ性能の傾向を図 360 に示します。

図 511 には、ADXL345 の代表的なアラン分散を示します。この図に示すように、デバイスの $1/f$ コーナーはきわめて低いため、約 100 μg の絶対分解能が可能です（十分な積分時間があるものとして）。この図から、x 軸と y 軸ではノイズ密度が 290 $\mu\text{g}/\sqrt{\text{Hz}}$ 、z 軸では 430 $\mu\text{g}/\sqrt{\text{Hz}}$ であることもわかります。

図 372 には、電源電圧に対する ADXL345 の代表的なノイズ性能傾向を示します。性能は、仕様が規定された試験済みの電源電圧 ($V_s = 2.5\text{ V}$) に対して正規化されています。一般論としてノイズは電源電圧が大きくなるにつれて減少します。図 360 に示すように、z 軸のノイズは一般に x、y 軸のノイズより高いため、電源電圧に対する z 軸と x、y 軸のノイズ変化の割合はほぼ同じですが、z 軸での変化のほうが x、y 軸での変化よりも大きいことに注意する必要があります。

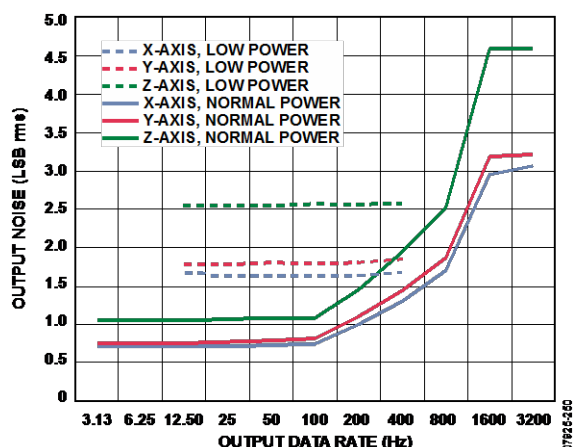


図 36. 出力データレート 対 ノイズ(通常および低消費電力モード、最大分解能)

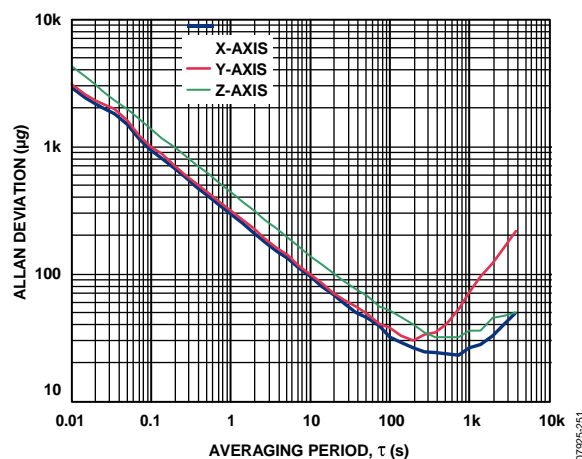


図 51. アラン分散

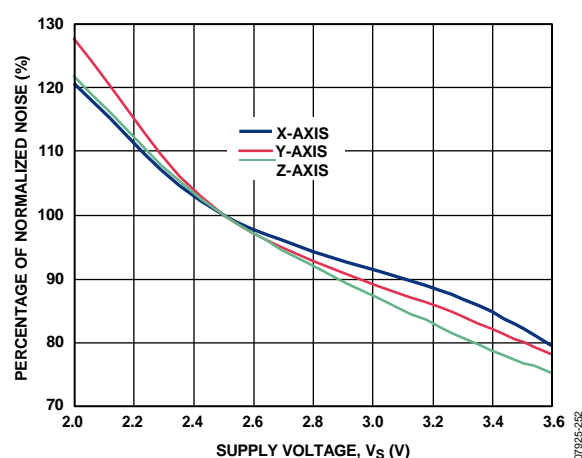


図 37. 電源電圧 対 正規化されたノイズ

2.5 V 以外の電圧での動作

ADXL345 は $V_s = 2.5\text{ V}$ の電源電圧でテストおよび仕様が規定されていますが、3.6 V から 2.0 V の V_s でも動作可能です。電源電圧が変わると、オフセット、感度、ノイズ、セルフテスト、電源電流など、いくつかの性能パラメータも変化します。

電源電圧の違いによって静電気力がごくわずかに変化するため、オフセットと感度も若干変化します。 $V_s = 3.3\text{ V}$ の電源電圧で動作するとき、x 軸と y 軸のオフセットは、一般に $V_s = 2.5\text{ V}$ の動作に比べて 25 mg 高くなります。3.3 V の電源電圧で動作するとき、z 軸は一般に $V_s = 2.5\text{ V}$ で動作するときと比べて 20 mg 低くなります。x 軸と y 軸の感度は、一般に $V_s = 2.5\text{ V}$ 動作時の公称 256 LSB/g（最大分解能または $\pm 2\text{ g}$ 、10 ビット動作）が 3.3 V の電源電圧で動作するときは 265 LSB/g に変化します。z 軸の感度は電源電圧の変化による影響を受けないため、 $V_s = 3.3\text{ V}$ の動作でも $V_s = 2.5\text{ V}$ の動作と同じ値になります。その他の電源電圧におけるオフセットと感度の代表的な変化は、簡単な線形補間によって明らかにすることができます。

ノイズ性能、セルフテスト応答、電源電流の変化については、データシートその他の部分で説明しています。ノイズ性能については、「ノイズ性能」を参照してください。「セルフテスト」では、電圧に対するセルフテストの動作（電源電圧との2乗関係）、g単位からLSB単位のセルフテスト応答への変換について述べています。最後に、図33に、100 Hzの出力データレートにおける電源電圧の代表的な消費電流に与える影響を示しています。その他の出力データレートはすべて、同じ傾向に従います。

最低データレートでのオフセット性能

ADXL345は、広範なアプリケーション向けに多数の出力データレートと帯域幅を提供しています。しかし、6.25 Hzを下回る最低のデータレートでは、温度に対するオフセット性能が、ほかのデータレートと比べ大きく変動することがあります。図383、図394、図405に、6.25 Hz以下のデータレートに関して、温度に対するADXL345の代表的なオフセット性能を示します。すべてのグラフは、100 Hzの出力データレートでのオフセットに正規化されています。したがって、ゼロ以外の値は、そのデータレートでの温度に起因するオフセット・シフトの増加分に対応します。

最低のデータレートを使用するときは、動作温度範囲の全体でオフセット・シフトが最小になるようにデバイスの動作温度範囲を制限することを推奨します。デバイスごとのばらつきのために、6.25 Hzを下回るデータレートを使用する場合は、温度に対するキャリブレーションを行うことも推奨します。

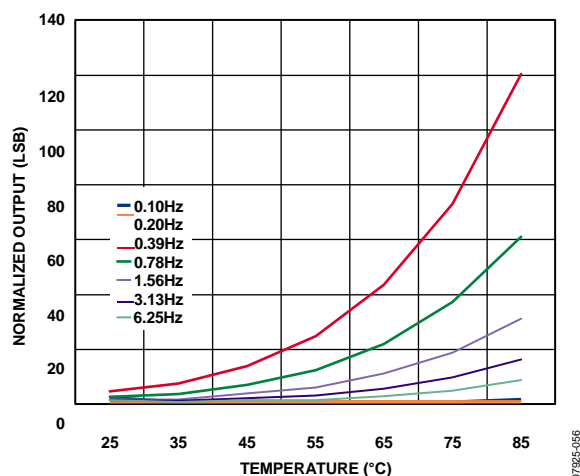


図 38. 代表的な X 軸出力の温度特性
(低データレート、100Hz データレートへの正規化、 $V_s=2.5V$)

Normalized to 100 Hz Output Data Rate, $V_s = 2.5 V$

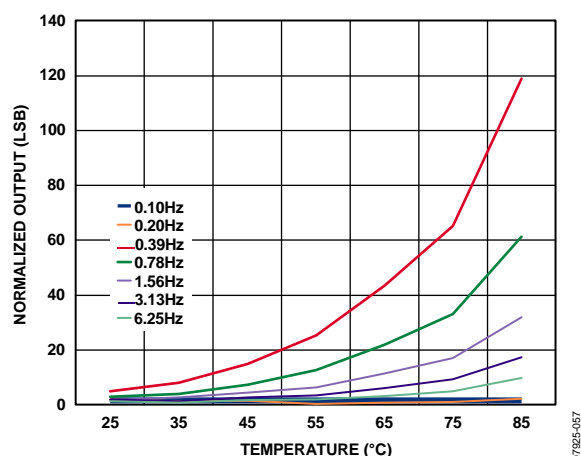


図 39. 代表的な Y 軸出力の温度特性
(低データレート、100Hz データレートへの正規化、 $V_s=2.5V$)

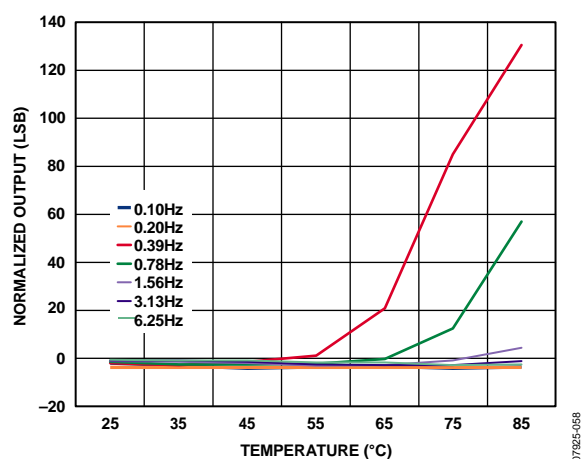


図 40. 代表的な Z 軸出力の温度特性
(低データレート、100Hz データレートへの正規化、 $V_s=2.5V$)

加速度検出軸

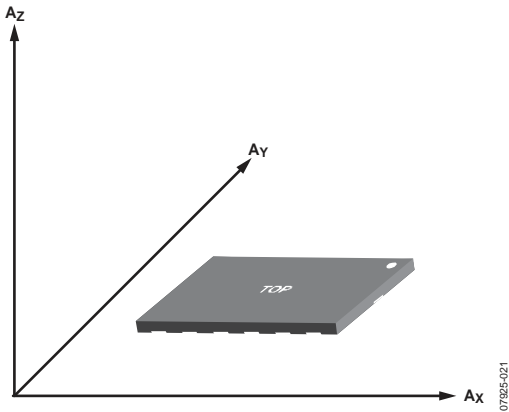


図 41. 加速度検出軸（検出軸で加速が生じると、対応する軸の出力値が増加）

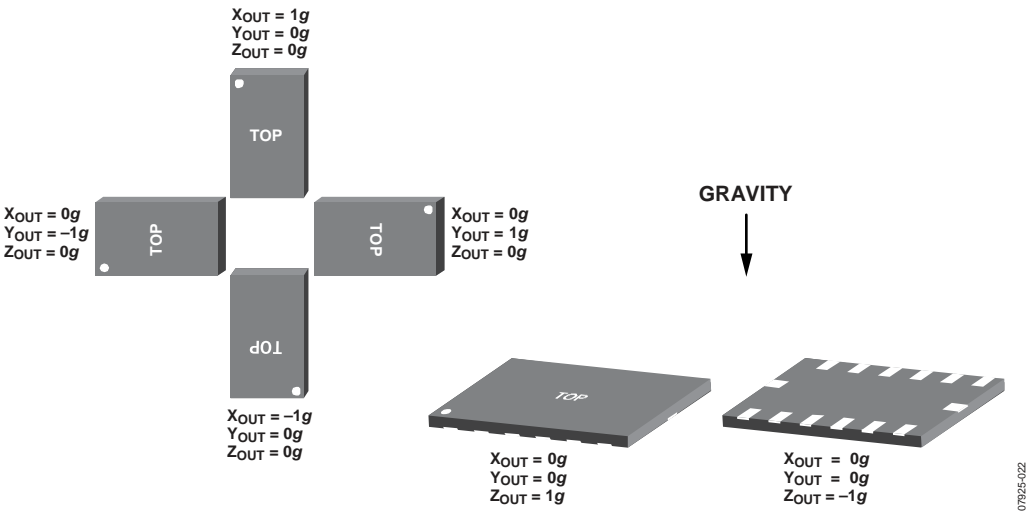


図 42. 重力方向と出力応答の関係

レイアウトと設計の推奨事項

図 58 には、推奨するプリント配線基板のランド・パターンを示します。図 19 と表 21 には、推奨するハンダ付けプロファイルの詳細を示します。

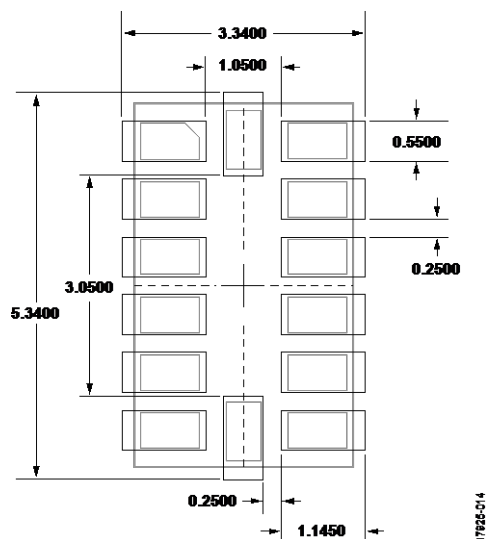


図 58. 推奨するプリント配線基板のランド・パターン
(寸法単位：mm)

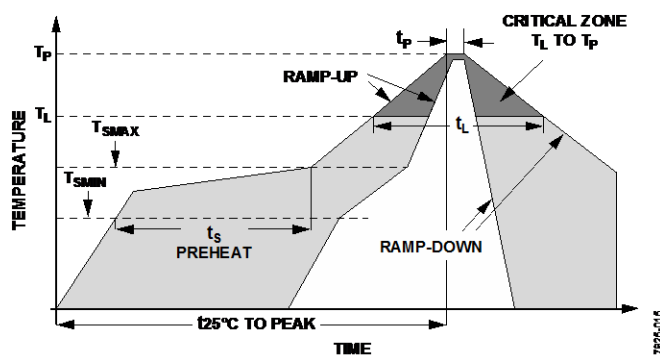


図 43. 推奨するハンダ付けプロフィール

表 7. 推奨するハンダ付けプロフィール^{1,2}

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T_L) to Peak Temperature (T_P)	3°C/sec maximum	3°C/sec maximum
Preheat		
Minimum Temperature (T_{MIN})	100°C	150°C
Maximum Temperature (T_{MAX})	150°C	200°C
Time from T_{MIN} to T_{MAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{MAX} to T_L Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Liquid Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240 + 0/−5°C	260 + 0/−5°C
Time of Actual T_P − 5°C (t_P)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time 25°C to Peak Temperature	6 minutes maximum	8 minutes maximum

¹. JEDEC 規格 J-STD-020D.1 に基づいています。

² 最善の結果を得るには、使用するハンダ・ペースト・メーカーの推奨事項に従ったハンダ付けプロファイルにする必要があります。

外形寸法

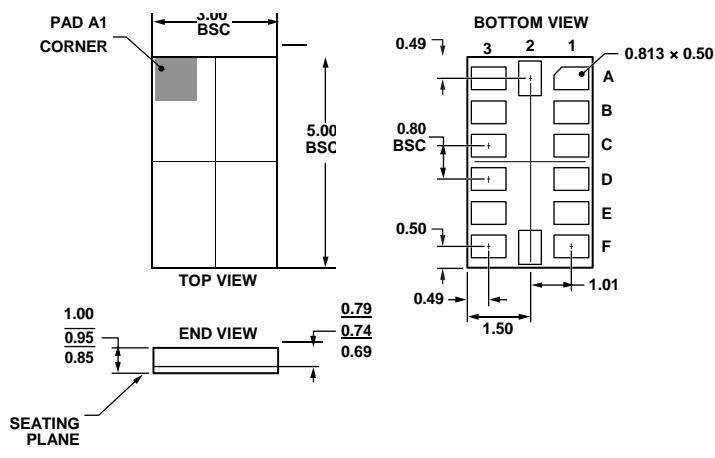


図 44. 14 端子のランド・グリッド・アレイ [LGA]
(CC-14-1)
端子のハンダ付け仕上げはニッケル下地に金めっき
(寸法単位：mm)

オーダー・ガイド

Model ¹	Measurement Range (g)	Specified Voltage (V)	Temperature Range	Package Description	Package Option
ADXL345BCCZ ¹	±2, ±4, ±8, ±16	2.5	−40°C to +85°C	14-Terminal Land Grid Array [LGA]	CC-14-1
ADXL345BCCZ-RL ¹	±2, ±4, ±8, ±16	2.5	−40°C to +85°C	14-Terminal Land Grid Array [LGA]	CC-14-1
ADXL345BCCZ-RL7 ¹	±2, ±4, ±8, ±16	2.5	−40°C to +85°C	14-Terminal Land Grid Array [LGA]	CC-14-1
EVAL-ADXL345Z ¹				Evaluation Board	
EVAL-ADXL345Z-M ¹				Analog Devices Inertial Sensor Evaluation System, Includes ADXL345 Satellite	
EVAL-ADXL345Z-S ¹				ADXL345 Satellite, Standalone	

¹Z = RoHS 準拠製品。