

● 積體電路製作流程 (VLSI)

①. silicon ingot 切割得 wafer

wafer 上有 defect 部分不能使用 \Rightarrow 切成 dies 或 chips

故有良率定義: $yield = \frac{\text{可用之 dies}}{\text{全部之 dies}}$

② 積體電路成本:

$$\text{cost per die} = \frac{\text{cost per wafer}}{\text{die per wafer} \times \text{yield}}$$

$$\text{dies per wafer} = \frac{\text{Wafer area}}{\text{Die area}} \quad (\text{不精準, } \because \text{wafer 為圓狀})$$

$$\text{yield} = \frac{1}{1 + \left(\frac{\text{defects per area} \times \text{die area}}{\alpha} \right)^{\alpha}} \quad (\text{經驗法則, } \alpha\text{-般為} 2)$$

②. CMOS 之 功率消耗

"1. Dynamic power: CMOS on 和 off 切換之消耗功率

公式為: $C \times V^2 \times f$

其中 C 為負載電容 \Rightarrow 和 fanout (輸出端 transistor 數有關)

V 為電壓 \Rightarrow 從 5V 降至現今 1.5V

f 為 CMOS 切換頻率

"2. static power: 來自 leakage current