

目的: 解決或減少 data hazard 造成的 performance degradation

data hazard: 以 MIPS 之 5-stage pipeline 為例:

ex. add \$s0, \$s1, \$s2		CC1	CC2	CC3	CC4	CC5	CC6	CC7
sub \$s3, \$s0, \$s0	add	IF	ID	EX	MEM	WB		
sll \$s4, \$s0, \$s1	sub		IF	ID	EX	MEM	WB	
	sll			IF	ID	EX	MEM	WB

∴ sub 在 CC3 之後半部就會 fetch \$s0 內容
但 add 要到 CC5 前半部才會寫回 \$s0
造成 sub fetch 到錯誤內容
sll 在 CC4 之後半部就會 fetch \$s0 內容
但 add 要到 CC5 前半部才會寫回 \$s0
造成 sub fetch 到錯誤內容