

《计算机组成原理》实验报告

年级、专业、班级	2017 级计算机科学与技术(卓越)01 班	姓名	吕昱峰
实验题目	实验二处理器译码实验		
实验时间	2019 年 11 月 15 日	实验地点	A 主 404
实验成绩	优秀/良好/中等	实验性质	<input type="checkbox"/> 验证性 <input checked="" type="checkbox"/> 设计性 <input type="checkbox"/> 综合性
教师评价： <input type="checkbox"/> 算法/实验过程正确； <input type="checkbox"/> 源程序/实验内容提交； <input type="checkbox"/> 程序结构/实验步骤合理； <input type="checkbox"/> 实验结果正确； <input type="checkbox"/> 语法、语义正确； <input type="checkbox"/> 报告规范； 其他： <div style="text-align: right; margin-top: 10px;">评价教师: 钟将</div>			
实验目的 (1)掌握单周期 CPU 控制器的工作原理及其设计方法。 (2)掌握单周期 CPU 各个控制信号的作用和生成过程。 (3)掌握单周期 CPU 执行指令的过程。 (4)掌握取指、译码阶段数据通路执行过程。			

报告完成时间: 2020 年 4 月 1 日

1 实验内容

1. PC。D 触发器结构,用于储存 PC(一个周期)。需实现 2 个输入,分别为 *clk*, *rst*, 分别连接时钟和复位信号;需实现 2 个输出,分别为 *pc*, *inst_ce*, 分别连接指令存储器的 *addra*, *ena* 端口。其中 *addra* 位数依据 coe 文件中指令数定义;
2. 加法器。用于计算下一条指令地址,需实现 2 个输入,1 个输出,输入值分别为当前指令地址 *PC*、32'h4;
3. Controller。其中包含两部分:
 - (a). *main_decoder*。负责判断指令类型,并生成相应的控制信号。需实现 1 个输入,为指令 *inst* 的高 6 位 *op*, 输出分为 2 部分,控制信号有多个,可作为多个输出,也作为一个多位输出,具体参照参考指导书进行设计;*aluop*, 传输至 *alu_decoder*, 使 *alu_decoder* 配合 *inst* 低 6 位 *funct*, 进行 ALU 模块控制信号的译码。
 - (b). *alu_decoder*。负责 ALU 模块控制信号的译码。需实现 2 个输入,1 个输出,输入分别为 *funct*, *aluop*; 输出位 *alucontrol* 信号。
 - (c). 除上述两个组件,需设计 *controller* 文件调用两个 *decoder*, 对应实现 *op*, *funct* 输入信号, 并传入调用模块; 对应实现控制信号及 *alucontrol*, 并连接至调用模块相应端口。
4. 指令存储器。使用 Block Memory Generator IP 构造。(参考指导书)
注意: Basic 中 Generate address interface with 32 bits 选项不选中; PortA Options 中 Enable Port Type 选择为 Use ENA Pin
5. 时钟分频器。将板载 100Mhz 频率降低为 1hz, 连接 PC、指令存储器时钟信号 *clk*。(参考数字逻辑实验)
注意: Xilinx Clocking Wizard IP 可分的最低频率为 4.687Mhz, 因而只能使用自实现分频模块进行分频

2 实验设计

这一节, 主要描述各个模块的功能、接口、逻辑控制方法(状态机控制方法)等。(红字为内容说明, 请删除)

2.1 控制器 (Controller)

2.1.1 功能描述

简单描述实现的功能即可, 一句话亦可 (红字为内容说明, 请删除)

2.1.2 接口定义

接口定义请使用表格, 需要包括接口信号名、方向、宽度、含义 (红字为内容说明, 请删除)

表 1: 接口定义模版

信号名	方向	位宽	功能描述
valid	Output	1-bit	If CPU stopped or any exception happens, valid signal is set to 0.

2.1.3 逻辑控制

逻辑控制部分仅需要写清重点控制逻辑,或自行添加的优化逻辑(红字为内容说明,请删除)

2.2 存储器(Block Memory)

注意这里可以简单的罗列文字,也可以直接截图,若使用文字描述,采取如下方式(红字为内容说明,请删除)

1. 参数 1: 参数值
2. 类型 2: 类型

2.2.1 类型选择

2.2.2 参数设置

3 实验过程记录

记录实验的过程,完成了什么样的工作,存在的问题包括哪些,解决方案如何等。subsubsection 名称自行设定。

4 实验结果及分析

需要仿真图一张,要求仿真图中包含 pc、指令存储器输出、8 种控制信号,PC 自增无误。

4.1 仿真图

4.2 控制台输出

A Controller 代码

仅需要根据需要, 在一个模块完成控制器的, 直接填写, 多个模块(maindec、aludec)分别加入新的 `lstlisting` 并填写 (红字为内容说明, 请删除)