



# **RK3568 Hardware Design Guide**

发布版本: V1.1  
发布日期: 2021年06月08日

## 免责声明

您购买的产品、服务或特性等应受瑞芯微电子股份有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微电子股份有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为瑞芯微电子股份有限公司的商标，并归瑞芯微电子股份有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 版权所有 © 2021 瑞芯微电子股份有限公司

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

瑞芯微电子股份有限公司

地址：福建省福州市铜盘路软件园A区18号

网址：[www.rock-chips.com](http://www.rock-chips.com)

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：[fae@rock-chips.com](mailto:fae@rock-chips.com)

# 前言

## 概述

本文档主要介绍RK3568处理器硬件设计的要点及注意事项，旨在帮助RK客户缩短产品的设计周期、提高产品的设计稳定性及降低故障率。请客户参考本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因特殊原因需要更改的，请严格按照高速数字电路设计要求以及RK产品PCB设计要求进行。

## 芯片型号

本文档对应的芯片型号为：RK3568

## 适用对象

本文档主要适用于以下工程师：

- 产品硬件开发工程师
- Layout工程师
- 技术支持工程师
- 测试工程师

## 更新记录

修订记录累积了每次文档更新的说明，最新版本的文档包含以前所有文档版本的更新内容。

版本	修改人	修改日期	修改说明	备注
V1.1	Zhangdz	2021.06.08	1: 更新红外接收头待机唤醒相关说明 (2.3.17章节) 2: 增加IO Domain供电和软件配置注意点 (2.1.11章节) 3: 更新VDD_NPU, VDD_LOGIC电源的DCDC供电能力要求， 要求大于等于2A (2.2.2.6和2.2.2.7章节) 4: VDD_LOGIC峰值电流更新为1.2A (2.2.6章节) 5: 增加说明不供电的模块，DTS中应disable对应的节点 (2.2.2.1章节)	
V1.0	Zhangdz	2021.04.16	第一次正式版本发布	

## 缩略语

缩略语包括文档中常用词组的简称：

ARM	Advanced RISC Machine	高级精简指令集计算机
CAN	Controller Area Network	控制器局域网络
CEC	Consumer Electronics Control	消费电子控制
CIF	Camera Input Format	相机并行接口
CPU	Central processing unit	中央处理器
CSI	Camera Serial Interface	相机串行接口
DC/DC	Direct current-Direct current converter	直流/直流变换器
DDR	Double Data Rate	双倍速率同步动态随机存储器
DP	DisplayPort	显示接口
DSI	Display Serial Interface	显示串行接口
EBC	E-book controller	电子书控制器
eDP	Embedded DisplayPort	嵌入式数码音视讯传输接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效电阻
Flash_VOL_SEL	Flash voltage selection	eMMC/Nand Flash IO电压选择
FSPI	Flexible Serial Peripheral Interface	灵活串行外设接口
GPU	Graphics Processing Unit	图形处理单元
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
HPD	Hot Plug Detect	热插拔检测
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
I2S	Inter-IC Sound	集成电路内置音频总线
ISP	Image Signal Processing	图像信号处理
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LDO	Low Drop Out Linear Regulator	低压差线性稳压器
LCDC	LCD Controller	LCD 控制器并行接口
LCM	LCD Module	LCD显示模组
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MAC	Media Access Control	以太网媒体接入控制器
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
NPU	Neural network Processing Unit	神经网络处理器
PCB	Printed Circuit Board	印制电路板
PCIe	Peripheral Component Interconnect -express	外设组件互联标准
PCM	Pulse Code Modulation	脉冲编码调制

PDM	Pulse density modulation	脉冲密度调制
PLL	Phase-locked loop	锁相环
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PWM	Pulse width modulation	脉冲宽度调制
QSGMII	Quad Serial Gigabit Media Independent Interface	四串行千兆媒体独立接口
RGB	RGB color mode is a color standard in industry	RGB色彩模式，是工业界的一种颜色标准
GMAC	Gigabit Media Access Controller	千兆媒体访问控制器
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口
RMII	Reduced Media Independent Interface	简化媒体独立接口
RK	Rockchip Electronics Co., Ltd.	福州瑞芯微电子股份有限公司
SARADC	successive approximation register Analog to digital converter	逐次逼近寄存器型模数转换器
SATA	Serial Advanced Technology Attachment	串行高级技术附件
SCR	Smart Card Reader	智能卡读卡器
SD Card	Secure Digital Memory Card	安全数码卡
SDIO	Secure Digital Input and Output Card	安全数字输入输出卡
SDMMC	Secure Digital Multi Media Card	安全数字多媒体存储卡
SGMII	Serial Gigabit Media Independent Interface	串行千兆媒体独立接口
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
SPI	Serial Peripheral Interface	串行外设接口
SubLVDS	Sub- Low-Voltage Differential Signaling	低摆幅差分信号技术
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
TSADC	Temperature sensing A / D converter	温度感应模数转换器
UART	Universal Asynchronous Receiver / Transmitter	通用异步收发传输器
VOP	Video Output Processor	视频输出处理器
VPU	Video Processing Unit	视频处理器
USB2.0	Universal Serial Bus 2.0	通用串行总线
USB3.0	Universal Serial Bus 3.0	通用串行总线

## 目录

前言 .....	3
概述 .....	3
芯片型号 .....	3
适用对象 .....	3
更新记录 .....	4
缩略语 .....	5
目录 .....	7
插图目录 .....	10
插表目录 .....	15
1      系统概述 .....	17
1.1 概述 .....	17
1.2 芯片框图 .....	17
1.3 应用框图 .....	18
1.3.1 RK3568 EVB应用框图 .....	18
1.3.2 RK3568 智能NVR应用框图 .....	19
2      原理图设计建议 .....	20
2.1 最小系统设计 .....	20
2.1.1 时钟电路 .....	20
2.1.2 复位/看门狗/TSADC电路 .....	21
2.1.3 PMU单元电路 .....	23
2.1.4 系统启动引导顺序 .....	23
2.1.5 系统初始化配置信号 .....	23
2.1.6 JTAG和UART Debug电路 .....	24
2.1.7 DDR电路 .....	26
2.1.8 eMMC电路 .....	37
2.1.9 FSPI Flash电路 .....	40
2.1.10 Nand Flash电路 .....	41
2.1.11 GPIO电路 .....	44
2.2 电源设计 .....	46
2.2.1 RK3568电源介绍 .....	46
2.2.2 电源设计建议 .....	47
2.2.3 RK809-5方案介绍 .....	60
2.2.4 分立电源方案介绍 .....	64
2.2.5 待机控制电路 .....	66
2.2.6 电源峰值电流表 .....	67
2.3 功能接口电路设计指南 .....	68
2.3.1 SDMMC0/1/2 .....	68
2.3.2 SARADC电路 .....	72
2.3.3 OTP电路 .....	73
2.3.4 USB2.0/USB3.0电路 .....	73
2.3.5 SATA3.0电路 .....	79
2.3.6 QSGMII/SGMII电路 .....	82
2.3.7 PCIe2.0电路 .....	87
2.3.8 PCIe3.0电路 .....	88
2.3.9 视频输入接口电路 .....	91

2.3.10	视频输出接口电路.....	95
2.3.11	音频接口电路.....	111
2.3.12	GMAC 接口电路.....	126
2.3.13	UART 接口电路.....	132
2.3.14	SPI 接口电路.....	133
2.3.15	CAN 接口电路.....	134
2.3.16	I2C 接口电路.....	134
2.3.17	PWM 接口电路.....	135
2.3.18	RK3568未使用模块的管脚处理.....	137
3	PCB设计建议.....	137
3.1	PCB叠层设计 .....	137
3.1.1	6层板叠层 .....	137
3.1.2	4层板叠层 .....	137
3.1.3	RK3568扇出设计 .....	138
3.2	接口PCB设计建议 .....	140
3.2.1	Clock/Reset 电路PCB设计 .....	141
3.2.2	PMIC/Power 电路PCB设计 .....	142
3.2.3	DRAM 电路PCB设计 .....	157
3.2.4	Flash 电路PCB设计 .....	171
3.2.5	SDMMC0/1/2 接口电路PCB设计 .....	174
3.2.6	SARADC/OTP 接口电路PCB设计 .....	175
3.2.7	USB2.0 接口电路PCB设计 .....	175
3.2.8	USB3.0 接口电路PCB设计 .....	176
3.2.9	SATA3.0 接口电路PCB设计 .....	177
3.2.10	QSGMII/SGMII 接口电路PCB设计 .....	178
3.2.11	PCIe2.0 接口电路PCB设计 .....	178
3.2.12	PCIe3.0 接口电路PCB设计 .....	179
3.2.13	MIPI CSI RX 接口电路PCB设计 .....	180
3.2.14	CIF 接口电路PCB设计 .....	180
3.2.15	MIPI DSI TX 接口电路PCB设计 .....	181
3.2.16	LVDS TX 接口电路PCB设计 .....	181
3.2.17	eDP TX 接口电路PCB设计 .....	182
3.2.18	HDMI TX 接口电路PCB设计 .....	182
3.2.19	RGB TX 接口电路PCB设计 .....	183
3.2.20	BT1120 TX 接口电路PCB设计 .....	183
3.2.21	音频接口电路PCB设计 .....	184
3.2.22	GMAC接口电路PCB设计 .....	185
3.2.23	WIFI/BT PCB设计 .....	187
3.2.24	VGA OUT PCB设计 .....	188
3.2.25	LCD屏和触摸屏 PCB设计 .....	189
3.2.26	摄像头 PCB设计 .....	189
4	热设计建议 .....	190
4.1	热仿真结果 .....	190
4.1.1	结果概要 .....	190
4.1.2	PCB描述 .....	190
4.1.3	术语解释 .....	190
4.2	芯片内部热控制方式 .....	191
4.2.1	温度控制策略 .....	191
4.2.2	温度控制配置 .....	191
4.3	电路热设计参考 .....	191

4.3.1	电路原理图热设计参考 .....	192
4.3.2	PCB热设计参考 .....	192
5	ESD/EMI防护设计 .....	193
5.1	概述 .....	193
5.2	术语解释 .....	193
5.3	ESD防护 .....	193
5.4	EMI防护 .....	194
6	焊接工艺 .....	195
6.1	概述 .....	195
6.2	术语解释 .....	195
6.3	回流焊要求 .....	195
6.3.1	焊膏成分要求 .....	195
6.3.2	SMT曲线 .....	195
6.3.3	SMT建议曲线 .....	196
7	包装和存放条件 .....	197
7.1	概述 .....	197
7.2	术语解释 .....	197
7.3	防潮包装 .....	197
7.4	产品存放 .....	198
7.4.1	存放环境 .....	198
7.4.2	暴露时间 .....	198
7.5	潮敏产品使用 .....	198

## 插图目录

图 1 - 1 RK3568 框图.....	17
图 1 - 2 RK3568 EVB应用框图 .....	18
图 1 - 3 RK3568 智能NVR应用框图 .....	19
图 2 - 1 RK3568 晶体连接方式及器件参数 .....	20
图 2 - 2 RK3568 32.768KHz待机时钟输入管脚 .....	21
图 2 - 3 RK3568 复位输入（RK809-5方案） .....	22
图 2 - 4 RK3568 复位输入（分立电源方案） .....	22
图 2 - 5 RK3568 复位信号路径图图 .....	22
图 2 - 6 RK3568 VCCI02供电和FLASH_VOL_SEL选择 .....	23
图 2 - 7 RK3568 SDMMCO/ARM JTAG复用管脚以及SDMMCO DET管脚 .....	24
图 2 - 8 RK3568 JTAG连接示意图 .....	25
图 2 - 9 RK3568 ARM JTAG管脚.....	25
图 2 - 10 RK3568 UART2 M0管脚 .....	25
图 2 - 11 RK3568 Debug UART2连接示意图 .....	25
图 2 - 12 RK3568 DDR3/DDR3L 16bit ECC颗粒处理方式 .....	28
图 2 - 13 RK3568 DDR4 16bit ECC颗粒处理方式 .....	29
图 2 - 14 RK3568 DDR_RZQ管脚.....	29
图 2 - 15 DDR3/DDR3L VREF电路 .....	30
图 2 - 16 LPDDR3 VREF电路.....	30
图 2 - 17 DDR4 VREF电路 .....	31
图 2 - 18 DDR3/DDR3L T拓扑结构 .....	31
图 2 - 19 DDR3/DDR3L T拓扑的CLKP/CLKN端接 .....	32
图 2 - 20 DDR3/DDR3L Fly-by拓扑结构 .....	32
图 2 - 21 DDR4 T拓扑结构 .....	32
图 2 - 22 DDR4 T拓扑结构的CLKP/CLKN端接 .....	33
图 2 - 23 DDR4 Fly-by拓扑结构 .....	33
图 2 - 24 LPDDR3 点对点拓扑结构 .....	33
图 2 - 25 LPDDR3 CLKP/CLKN端接 .....	34
图 2 - 26 LPDDR4 点对点拓扑结构 .....	34
图 2 - 27 LPDDR4x 点对点拓扑结构 .....	34
图 2 - 28 RK809-5 BUCK3 FB参数调整 .....	35
图 2 - 29 LPDDR4/LPDDR4x兼容设计电源选择 .....	35
图 2 - 30 DDR3 SDRAM上电时序.....	36
图 2 - 31 LPDDR3 SDRAM上电时序 .....	36
图 2 - 32 DDR4 SDRAM上电时序 .....	36
图 2 - 33 LPDDR4/4x SDRAM上电时序 .....	37
图 2 - 34 eMMC_D0测试点 .....	37
图 2 - 35 eMMC连接示意图 .....	38
图 2 - 36 eMMC和Nand Flash做兼容设计时连接示意图 .....	39
图 2 - 37 eMMC颗粒上下电时序 .....	40
图 2 - 38 FSPI_CLK测试点 .....	40
图 2 - 39 FSPI Flash连接示意图 .....	41
图 2 - 40 Flash_D0测试点 .....	42
图 2 - 41 Nand Flash连接示意图 .....	42
图 2 - 42 Nand Flash上下电时序 .....	43
图 2 - 43 RK3568芯片 PMU PLL电源管脚 .....	50
图 2 - 44 RK3568芯片 SYS PLL电源管脚 .....	50
图 2 - 45 RK3568芯片 PMU_VDD_LOGIC_OV9电源管脚 .....	51
图 2 - 46 RK3568芯片 VDD_CPU电源管脚及供电DC/DC .....	52
图 2 - 47 RK3568芯片 VDD_GPU电源管脚 .....	52
图 2 - 48 RK3568芯片 VDD_NPU电源管脚 .....	53
图 2 - 49 RK3568芯片 VDD_LOGIC电源管脚 .....	53

图 2 - 50 RK3568芯片 在DDR3/DDR3L/DDR4/LPDDR3/LPDDR4模式下的VCC_DDR电源管脚 .....	54
图 2 - 51 RK3568芯片 在LPDDR4x模式下的VCC_DDR和VCCOV6_DDR电源管脚 .....	54
图 2 - 52 RK3568 USB2.0 PHY电源管脚 .....	55
图 2 - 53 RK3568 MULTI_PHY电源管脚 .....	56
图 2 - 54 RK3568 PCIe3.0 PHY电源管脚 .....	56
图 2 - 55 RK3568 MIPI CSI RX PHY电源管脚 .....	57
图 2 - 56 RK3568 MIPI DSI TX0和LVDS TX Combo PHY电源管脚 .....	57
图 2 - 57 RK3568 MIPI DSI TX1 PHY电源管脚 .....	58
图 2 - 58 RK3568 eDP TX PHY电源管脚 .....	58
图 2 - 59 RK3568 HDMI2.0 TX PHY电源管脚 .....	59
图 2 - 60 RK3568 SARADC和OTP电源管脚 .....	59
图 2 - 61 RK809-5 框图 .....	60
图 2 - 62 RK3568+RK809-5 电源架构 .....	61
图 2 - 63 RK809-5 上电时序 .....	62
图 2 - 64 RK3568+分立电源架构 .....	64
图 2 - 65 分立电源上电时序 .....	65
图 2 - 66 RK3568 PMIC_SLEEP输出 .....	66
图 2 - 67 RK809-5 PMIC_SLEEP输入 .....	66
图 2 - 68 VDD_CPU BUCK的PMIC_SLEEP输入 .....	66
图 2 - 69 RK3568 SDMMC0接口管脚 .....	68
图 2 - 70 SD Card接口电路 .....	68
图 2 - 71 RK3568 SDMMC1接口管脚 .....	69
图 2 - 72 RK3568 SDMMC2接口 M0功能管脚 .....	70
图 2 - 73 RK3568 SDMMC2接口 M1功能管脚 .....	71
图 2 - 74 SARADC VINO接口 .....	72
图 2 - 75 RK3568 SARADC模块 .....	72
图 2 - 76 使用SARADC采集的按键电路 .....	73
图 2 - 77 RK3568 OTP电源管脚 .....	73
图 2 - 78 MULTI_PHY0/1和USB3控制器复用关系 .....	74
图 2 - 79 USB3.0 OTG0管脚 .....	74
图 2 - 80 USB3.0 HOST1管脚 .....	75
图 2 - 81 USB2.0 HOST2管脚 .....	75
图 2 - 82 USB2.0 HOST3管脚 .....	76
图 2 - 83 RK3568 VBUSDET和ID电路 .....	77
图 2 - 84 USB2.0 PHY电源磁珠隔离电路 .....	77
图 2 - 85 USB2.0 信号串接2.2ohm电阻电路 .....	77
图 2 - 86 USB2.0 信号串共模电感电路 .....	77
图 2 - 87 USB OTG ID脚电路 .....	78
图 2 - 88 USB 5V限流电路 .....	78
图 2 - 89 USB3.0 ESD电路 .....	78
图 2 - 90 MULTI_PHY电源去耦电路 .....	79
图 2 - 91 MULTI_PHY0/1/2和SATA3.0控制器复用关系 .....	80
图 2 - 92 SATA0/1/2相关控制IO管脚 .....	81
图 2 - 93 GMAC0、GMAC1, QSGMII/SGMII PCS以及QSGMII/SGMII PHY的路径 .....	82
图 2 - 94 QSGMII-MULTI_PHY1的应用框图 .....	83
图 2 - 95 QSGMII-MULTI_PHY2的应用框图 .....	83
图 2 - 96 GMAC0-SGMII-MULTI_PHY1的应用框图 .....	84
图 2 - 97 GMAC1-SGMII-MULTI_PHY1的应用框图 .....	84
图 2 - 98 GMAC0-SGMII-MULTI_PHY2的应用框图 .....	85
图 2 - 99 GMAC1-SGMII-MULTI_PHY2的应用框图 .....	85
图 2 - 100 PCIe3.0控制器/PCIe3.0 x2 Lane RC模式，参考时钟路径图 .....	88
图 2 - 101 RK3568 PCIe3.0 x2 Lane EP模式，参考时钟路径图 .....	89
图 2 - 102 RK3568 PCIe3.0 x2 Lane EP模式，参考时钟路径图 .....	89
图 2 - 103 RK3568 PCIe3.0 x1 Lane RC模式 + PCIe3.0 x1 Lane RC模式，参考时钟路径图 .....	89

图 2 - 104 PCIe3.0 PHY电源去耦电容 .....	90
图 2 - 105 PCIe3.0 PHY RESREF管脚 .....	90
图 2 - 106 RK3568 MIPI CSI RX信号管脚 .....	91
图 2 - 107 RK3568 MIPI-CSI工作模式与数据、时钟分配 .....	92
图 2 - 108 MIPI CSI PHY电源磁珠隔离电路 .....	92
图 2 - 109 MIPI CSI RX PHY电源去耦电容 .....	92
图 2 - 110 RK3568 CIF功能管脚 .....	93
图 2 - 111 RK3568 CIF数据对应关系 .....	93
图 2 - 112 RK3568 VOP和视频接口输出路径图 .....	95
图 2 - 113 RK3568 HDMI2.0 TX PHY TMDS管脚 .....	96
图 2 - 114 RK3568 HDMI2.0 TX PHY 电源去耦电容 .....	96
图 2 - 115 RK3568 HDMI2.0 TX PHY REXT管脚 .....	96
图 2 - 116 RK3568 HDMI2.0 TX PHY HPD管脚 .....	96
图 2 - 117 RK3568 HDMI2.0 TX PHY HPD电路 .....	96
图 2 - 118 HDMI CEC协议要求 .....	97
图 2 - 119 HDMI CEC隔离电路 .....	97
图 2 - 120 HDMI DDC电平转换电路 .....	97
图 2 - 121 HDMI 座子ESD电路 .....	98
图 2 - 122 RK3568 MIPI DSI TX0/LVDS TX Combo PHY管脚 .....	99
图 2 - 123 MIPI DSI PHY电源磁珠隔离电路 .....	99
图 2 - 124 RK3568 MIPI DSI TX0/LVDS TX Combo PHY电源去耦电容 .....	99
图 2 - 125 RK3568 MIPI DSI TX1 PHY管脚 .....	100
图 2 - 126 MIPI DSI TX1 PHY电源磁珠隔离电路 .....	100
图 2 - 127 RK3568 MIPI DSI TX1 PHY电源去耦电容 .....	100
图 2 - 128 RK3568 eDP TX PHY管脚 .....	101
图 2 - 129 RK3568 eDP TX PHY电源去耦电容 .....	101
图 2 - 130 RK3568 eDP TX 信号交流耦合电容 .....	101
图 2 - 131 RK3568 eDP AUX信号交流耦合电容 .....	102
图 2 - 132 RK3568 LCDC功能管脚 .....	104
图 2 - 133 RK3568 VCCI05电源去耦电容 .....	104
图 2 - 134 RK3568 VOP BT1120功能管脚 .....	106
图 2 - 135 RK3568 VOP BT656 M0功能管脚 .....	107
图 2 - 136 RK3568 VOP BT656 M1功能管脚 .....	108
图 2 - 137 RK3568 EBC功能管脚 .....	109
图 2 - 138 RK3568 VCCI06电源去耦电容 .....	110
图 2 - 139 RK3568 I2S当Master模式连接示意图 .....	112
图 2 - 140 RK3568 I2S当Slave模式连接示意图 .....	113
图 2 - 141 RK3568 I2S1 M0功能管脚 .....	113
图 2 - 142 RK3568 I2S1 M1功能管脚 .....	113
图 2 - 143 RK3568 I2S1 M2功能管脚 .....	114
图 2 - 144 RK3568 I2S2 M0功能管脚 .....	115
图 2 - 145 RK3568 I2S2 M1功能管脚 .....	116
图 2 - 146 RK3568 I2S3 M0功能管脚 .....	117
图 2 - 147 RK3568 I2S3 M1功能管脚 .....	117
图 2 - 148 RK3568 PDM M0功能管脚 .....	118
图 2 - 149 RK3568 PDM M1功能管脚 .....	119
图 2 - 150 RK3568 PDM M2功能管脚 .....	119
图 2 - 151 RK809-5 不使用Codec模块时相关管脚处理方式 .....	121
图 2 - 152 RK809-5 Codec模块 .....	121
图 2 - 153 RK809 Codec输出耳机电路 .....	122
图 2 - 154 RK809-5 SPK/HP电源管脚 .....	122
图 2 - 155 RK809-5 SPK输出电路 .....	122
图 2 - 156 外置SPK电路 .....	123
图 2 - 157 驻极体MIC差分输入电路 .....	123

图 2 - 158 四段耳机座带MIC单端输入电路 .....	123
图 2 - 159 驻极体MIC单端输入电路 .....	124
图 2 - 160 RK809-5 MIC输入电路管脚 .....	124
图 2 - 161 阵列MIC方案 I2S/PDM连接示意图1 .....	125
图 2 - 162 阵列MIC方案 I2S/PDM连接示意图2 .....	125
图 2 - 163 RK3568 GMAC0、GMAC1复用到IO的路径框图 .....	126
图 2 - 164 RK3568 GMAC0功能管脚 .....	126
图 2 - 165 RK3568 GMAC1 M0功能管脚 .....	127
图 2 - 166 RK3568 GMAC1 M1功能管脚 .....	128
图 2 - 167 RGMII连接示图1 .....	129
图 2 - 168 RGMII连接示图2 .....	129
图 2 - 169 RMII连接示图1 .....	130
图 2 - 170 RMII连接示图2 .....	130
图 2 - 171 RMII连接示图3 .....	131
图 2 - 172 RMII连接示图4 .....	131
图 2 - 173 RMII连接示图5 .....	132
图 2 - 174 红外接收头电路 .....	136
图 3 - 1 6层板叠层 .....	137
图 3 - 2 4层板叠层 .....	137
图 3 - 3 RK3568 扇出示意图1 .....	138
图 3 - 4 RK3568 扇出示意图2 .....	139
图 3 - 5 RK3568 扇出示意图3 .....	139
图 3 - 6 RK3568 扇出示意图4 .....	140
图 3 - 7 信号之间的空隙示意图 .....	140
图 3 - 8 差分对内，差分对间的等长示意图 .....	141
图 3 - 9 差分对长度补偿要求示意图 .....	141
图 3 - 10 缝合地过孔要求示意图 .....	141
图 3 - 11 信号的参考平面边缘要求示意图 .....	141
图 3 - 12 RK3568 晶体布局和走线 .....	142
图 3 - 13 RK809-5 BUCK1/BUCK2布局和走线 .....	143
图 3 - 14 RK809-5 BUCK3布局和走线 .....	143
图 3 - 15 RK809-5 BUCK4布局和走线 .....	144
图 3 - 16 RK809-5 BUCK5布局和走线 .....	144
图 3 - 17 RK809-5 EPAD过孔分布 .....	145
图 3 - 18 分立电源DC/DC布局和走线 .....	145
图 3 - 19 VDD_CPU电源供电DC/DC布局和走线 .....	146
图 3 - 20 DC/DC远端反馈设计示意图 .....	147
图 3 - 21 RK3568芯片VDD_CPU的电源管脚走线和过孔 .....	147
图 3 - 22 RK3568芯片VDD_CPU的电源管脚背面去耦电容放置情况 .....	148
图 3 - 23 RK3568芯片VDD_CPU电源层覆铜情况 .....	148
图 3 - 24 RK3568芯片VDD_LOGIC的电源管脚走线和过孔 .....	149
图 3 - 25 RK3568芯片VDD_LOGIC的电源管脚背面去耦电容放置情况 .....	149
图 3 - 26 RK3568芯片VDD_LOGIC电源层覆铜情况 .....	150
图 3 - 27 RK3568芯片VDD_GPU的电源管脚走线和过孔 .....	150
图 3 - 28 RK3568芯片VDD_GPU的电源管脚背面去耦电容放置情况 .....	151
图 3 - 29 RK3568芯片VDD_GPU电源层覆铜情况 .....	151
图 3 - 30 RK3568芯片VDD_NPU的电源管脚走线和过孔 .....	152
图 3 - 31 RK3568芯片VDD_NPU的电源管脚背面去耦电容放置情况 .....	152
图 3 - 32 RK3568芯片VDD_NPU电源层覆铜情况 .....	153
图 3 - 33 RK3568芯片VCC_DDR的电源管脚走线和过孔 .....	153
图 3 - 34 RK3568芯片LPDDR4x模式VCC_DDR/VCCOV6_DDR的电源管脚走线和过孔 .....	154
图 3 - 35 RK3568芯片VCC_DDR的电源管脚背面去耦电容放置情况 .....	154
图 3 - 36 RK3568芯片LPDDR4x模式VCC_DDR/VCCOV6_DDR的电源管脚背面去耦电容放置情况 .....	155
图 3 - 37 RK3568芯片VCC_DDR电源层覆铜情况 .....	155

图 3 - 38 RK3568芯片VSS的管脚走线和过孔.....	156
图 3 - 39 RK3568芯片地层覆铜情况 .....	156
图 3 - 40 DDR3/DDR3L DQS/DQ/DM信号走线拓扑 .....	158
图 3 - 41 DDR3/DDR3L CLK信号走线拓扑 .....	159
图 3 - 42 DDR3/DDR3L CLK信号RC电路 .....	159
图 3 - 43 DDR3/DDR3L CSn/CKE/ODT信号走线拓扑.....	159
图 3 - 44 DDR3/DDR3L 除CSn/CKE/ODT其它CA/CMD信号走线拓扑 .....	160
图 3 - 45 DDR3/DDR3L+ECC DQS/DQ/DM信号走线拓扑 .....	161
图 3 - 46 DDR3/DDR3L+ECC CLK信号走线拓扑 .....	161
图 3 - 47 DDR3/DDR3L+ECC CSn/CKE/ODT信号走线拓扑 .....	162
图 3 - 48 DDR3/DDR3L+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑 .....	163
图 3 - 49 DDR4 DQS/DQ/DM信号走线拓扑.....	164
图 3 - 50 DDR4 CLK信号走线拓扑 .....	165
图 3 - 51 DDR4 CLK信号RC电路.....	166
图 3 - 52 DDR4 4层板CLK/CA/CMD信号L3层走线示意图 .....	166
图 3 - 53 DDR4 CSn/CKE/ODT信号走线拓扑 .....	167
图 3 - 54 DDR4 除CSn/CKE/ODT其它CA/CMD信号走线拓扑 .....	167
图 3 - 55 DDR4+ECC DQS/DQ/DM信号走线拓扑 .....	168
图 3 - 56 DDR4+ECC CLK信号走线拓扑 .....	169
图 3 - 57 DDR4+ECC CSn/CKE/ODT信号走线拓扑 .....	169
图 3 - 58 DDR4+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑 .....	170
图 3 - 59 eMMC和Nand Flash兼容设计分支电阻 .....	174
图 3 - 60 eMMC和Nand Flash兼容设计分支电阻布局和走线情况 .....	174
图 3 - 61 eMMC和Nand Flash兼容设计DATA走线情况 .....	174
图 3 - 62 USB3座子的焊盘和AC耦合电容的焊盘的下方挖空示意图.....	176
图 3 - 63 PCB玻璃纤维编织效应改善走线方式 .....	177
图 3 - 64 SATA座子的焊盘和AC耦合电容的焊盘的下方挖空示意图.....	177
图 3 - 65 PCIe Slot的焊盘和AC耦合电容的焊盘的下方挖空示意图 .....	179
图 3 - 66 HDMI座子的焊盘和TVS管的焊盘的下方挖空示意图 .....	183
图 3 - 67 RK809-5 HP_SNS电阻布局和走线 .....	184
图 3 - 68 RK809-5 HPL/HPR/HP_SNS走线情况 .....	184
图 3 - 69 RJ45接口和网络变压器禁布区示意图 .....	187
图 3 - 70 RJ45接口和网络变压器开槽示意图 .....	187
图 3 - 71 WIFI模块的电感电容走线示意图 .....	188
图 3 - 72 WIFI模块天线走线示意图 .....	188
图 4 - 1 0 JA的定义 .....	190
图 4 - 2 0 JC的定义 .....	191
图 4 - 3 0 JB的定义 .....	191
图 6 - 1 回流焊曲线分类 .....	195
图 6 - 2 无铅工艺器件封装体耐热标准 .....	195
图 6 - 3 无铅回流焊接工艺曲线 .....	196
图 6 - 4 无铅回流焊接工艺建议曲线参数 .....	196
图 7 - 1 芯片干燥真空包装 .....	197
图 7 - 2 六点湿度卡 .....	198

## 插表目录

表 2 - 1 RK3568 24MHz时钟要求 .....	20
表 2 - 2 RK3568 32.768KHz时钟要求 .....	21
表 2 - 3 RK3568 系统初始化配置信号描述 .....	24
表 2 - 4 RK3568 JTAG Debug接口信号 .....	24
表 2 - 5 RK3568 DDR PHY I/O Map表 .....	26
表 2 - 6 RK3568 eMMC接口设计 .....	38
表 2 - 7 RK3568 FSPI接口设计 .....	41
表 2 - 8 RK3568 Nand Flash接口设计 .....	42
表 2 - 9 RK3568 GPIO电源脚描述 .....	44
表 2 - 10 RK3568芯片电源需求表 .....	46
表 2 - 11 RK3568第一次上电各模块供电要求表 .....	47
表 2 - 12 RK3568待机电源供电要求表 .....	48
表 2 - 13 RK3568 内部PLL介绍 .....	50
表 2 - 14 RK3568 峰值电流表 .....	67
表 2 - 15 SDMMC0接口设计 .....	69
表 2 - 16 SDMMC1接口设计 .....	69
表 2 - 17 SDMMC2接口设计 .....	71
表 2 - 18 RK3568 USB2.0/USB3.0接口设计 .....	79
表 2 - 19 RK3568 SATA接口设计 .....	81
表 2 - 20 RK3568 QSGMII/SGMII接口设计 .....	86
表 2 - 21 RK3568 PCIe2.0接口设计 .....	87
表 2 - 22 RK3568 PCIe3.0接口设计 .....	90
表 2 - 23 RK3568 MIPI CSI RX接口设计 .....	92
表 2 - 24 RK3568 BT1120 16bit模式数据对应关系表 .....	94
表 2 - 25 RK3568 CIF接口设计 .....	94
表 2 - 26 RK3568 HDMI2.0 TX接口设计 .....	98
表 2 - 27 RK3568 MIPI DSI TX0和LVDS TX Combo PHY接口设计 .....	99
表 2 - 28 RK3568 MIPI DSI TX1 PHY接口设计 .....	100
表 2 - 29 RK3568 eDP TX PHY接口设计 .....	102
表 2 - 30 RK3568 并行RGB接口格式列表 .....	103
表 2 - 31 RK3568 并行RGB接口设计 .....	104
表 2 - 32 RK3568 BT1120输出格式列表 .....	105
表 2 - 33 RK3568 BT1120输出接口设计 .....	106
表 2 - 34 RK3568 BT656输出接口设计 .....	109
表 2 - 35 RK3568 EBC输出接口设计 .....	110
表 2 - 36 RK3568 I2S1接口设计 .....	114
表 2 - 37 RK3568 I2S2接口设计 .....	116
表 2 - 38 RK3568 I2S3接口设计 .....	118
表 2 - 39 RK3568 PDM接口设计 .....	120
表 2 - 40 RK3568 SPDIF接口设计 .....	120
表 2 - 41 RK3568音频应用场景与图纸对应关系 .....	124
表 2 - 42 RK3568 RGMII/RMII接口设计 .....	128
表 2 - 43 RK3568 UART接口分布 .....	133
表 2 - 44 RK3568 UART接口设计 .....	133
表 2 - 45 RK3568 SPI接口分布 .....	133
表 2 - 46 RK3568 SPI接口设计 .....	134
表 2 - 47 RK3568 CAN接口分布 .....	134
表 2 - 48 RK3568 CAN接口设计 .....	134
表 2 - 49 RK3568 I2C接口分布 .....	135
表 2 - 50 RK3568 I2C接口设计 .....	135
表 2 - 51 RK3568 PWM接口分布 .....	135
表 3 - 1 DDR3/DDR3L DQS/DQ/DM阻抗及走线要求 .....	158

表 3-2 DDR3/DDR3L CLK信号阻抗及走线要求 .....	159
表 3-3 DDR3/DDR3L CSn/CKE/ODT信号阻抗及走线要求 .....	160
表 3-4 DDR3/DDR3L 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求 .....	160
表 3-5 DDR3/DDR3L+ECC DQS/DQ/DM信号阻抗及走线要求 .....	161
表 3-6 DDR3/DDR3L+ECC CLK信号阻抗及走线要求 .....	161
表 3-7 DDR3/DDR3L+ECC CSn/CKE/ODT信号阻抗及走线要求 .....	162
表 3-8 DDR3/DDR3L+ECC 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求 .....	163
表 3-9 LPDDR3信号阻抗及走线要求 .....	163
表 3-10 DDR4 DQS/DQ/DM信号阻抗及走线要求 .....	164
表 3-11 DDR4 CLK信号阻抗及走线要求 .....	166
表 3-12 DDR4 CSn/CKE/ODT信号阻抗及走线要求 .....	167
表 3-13 DDR4 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求 .....	167
表 3-14 DDR4+ECC DQS/DQ/DM信号阻抗及走线要求 .....	168
表 3-15 DDR4+ECC CLK信号阻抗及走线要求 .....	169
表 3-16 DDR4+ECC CSn/CKE/ODT信号阻抗及走线要求 .....	169
表 3-17 DDR4+ECC 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求 .....	170
表 3-18 LPDDR4信号阻抗及走线要求 .....	170
表 3-19 LPDDR4信号阻抗及走线要求 .....	171
表 3-20 eMMC信号阻抗及走线要求 .....	171
表 3-21 FSPI信号阻抗及走线要求 .....	172
表 3-22 Nand Flash信号阻抗及走线要求 .....	173
表 3-23 SDMMC0/1/2信号阻抗及走线要求 .....	174
表 3-24 USB2.0信号阻抗及走线要求 .....	175
表 3-25 USB3.0信号阻抗及走线要求 .....	176
表 3-26 SATA3.0信号阻抗及走线要求 .....	177
表 3-27 QSGMII/SGMII信号阻抗及走线要求 .....	178
表 3-28 PCIe2.0信号阻抗及走线要求 .....	178
表 3-29 PCIe3.0信号阻抗及走线要求 .....	179
表 3-30 MIPI CSI RX信号阻抗及走线要求 .....	180
表 3-31 CIF信号阻抗及走线要求 .....	180
表 3-32 MIPI DSI TX信号阻抗及走线要求 .....	181
表 3-33 LVDS TX信号阻抗及走线要求 .....	181
表 3-34 eDP TX信号阻抗及走线要求 .....	182
表 3-35 HDMI TX信号阻抗及走线要求 .....	182
表 3-36 RGB TX信号阻抗及走线要求 .....	183
表 3-37 BT1120 TX信号阻抗及走线要求 .....	183
表 3-38 RGMII信号阻抗及走线要求 .....	185
表 3-39 RMII信号阻抗及走线要求 .....	185
表 4-1 RK3568 热阻仿真报告结果 .....	190
表 4-2 RK3568 热阻仿真的PCB结构 .....	190
表 7-1 暴露时间参照表 (MSL) .....	198
表 7-2 RK3568 Re-bake参考表 .....	198

# 1 系统概述

## 1.1 概述

RK3568是一颗高性能、低功耗的四核应用处理器芯片，专为个人移动互联网设备和AIoT设备而设计。

RK3568内置了多种功能强大的嵌入式硬件引擎，为高端应用提供了优异的性能，支持几乎全格式的H.264 4k@60fps解码，支持H.265 4k@60fps解码，也支持H.264/H.265 1080p@60fps编码，以及高品质的JPEG的编/解码。

RK3568内置3D GPU，能够完全兼容OpenGL ES1.1/2.0/3.2、OpenCL 2.0和Vulkan 1.0。专用的2D硬件引擎将最大限度地提高显示性能，并提供流畅的操作体验。

内嵌的NPU支持INT8/INT16混合操作。此外，凭借其强大的兼容性，可以轻松地转换基于TensorFlow / MXNet/PyTorch/Caffe等一系列框架的网络模型。

RK3568具有高性能的存储器接口（DDR3/DDR3L/DDR4/LPDDR3/LPDDR4/LPDDR4X），能够提供高性能场景下所需的内存带宽。

## 1.2 芯片框图

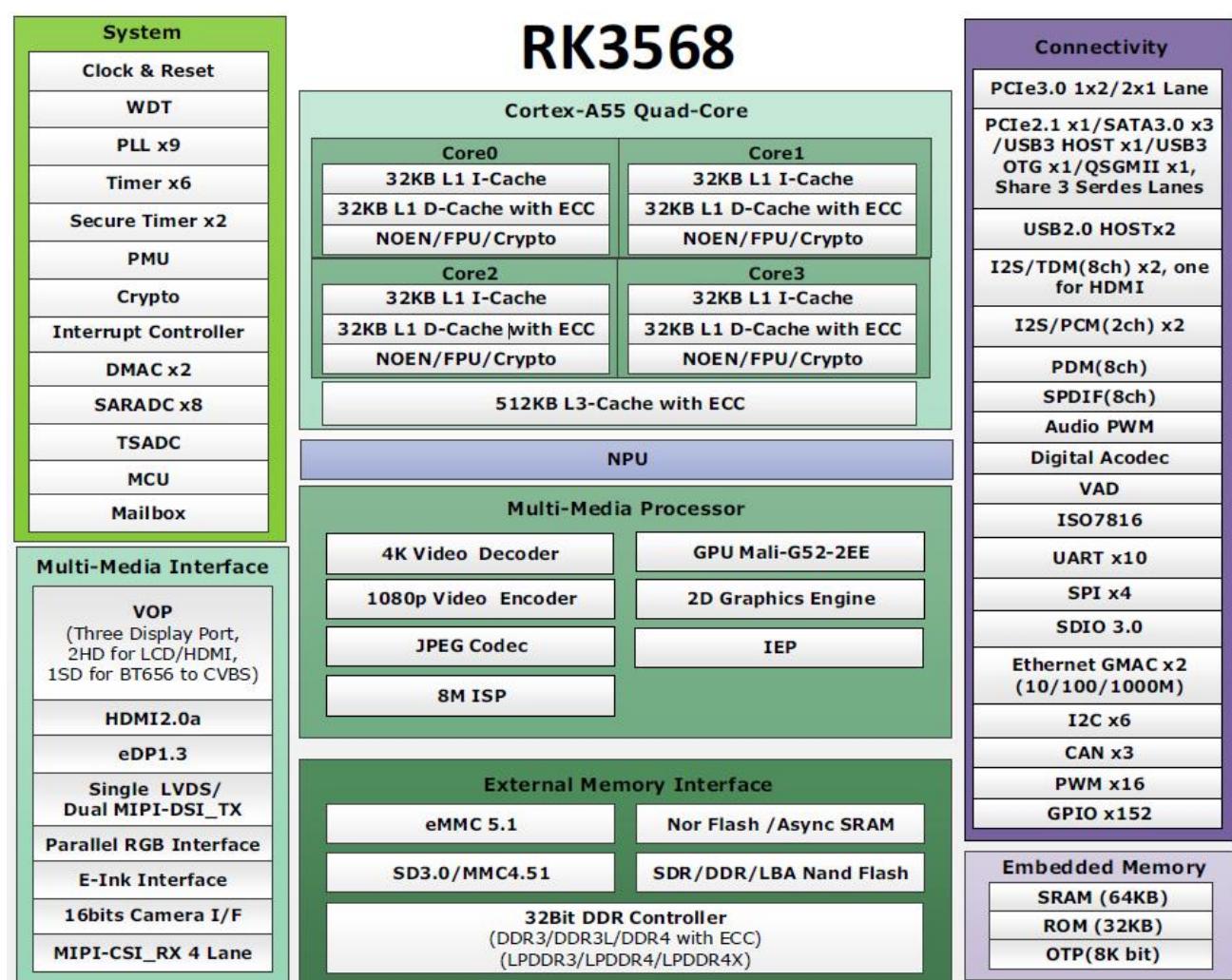


图 1 - 1 RK3568 框图

## 1.3 应用框图

### 1.3.1 RK3568 EVB应用框图

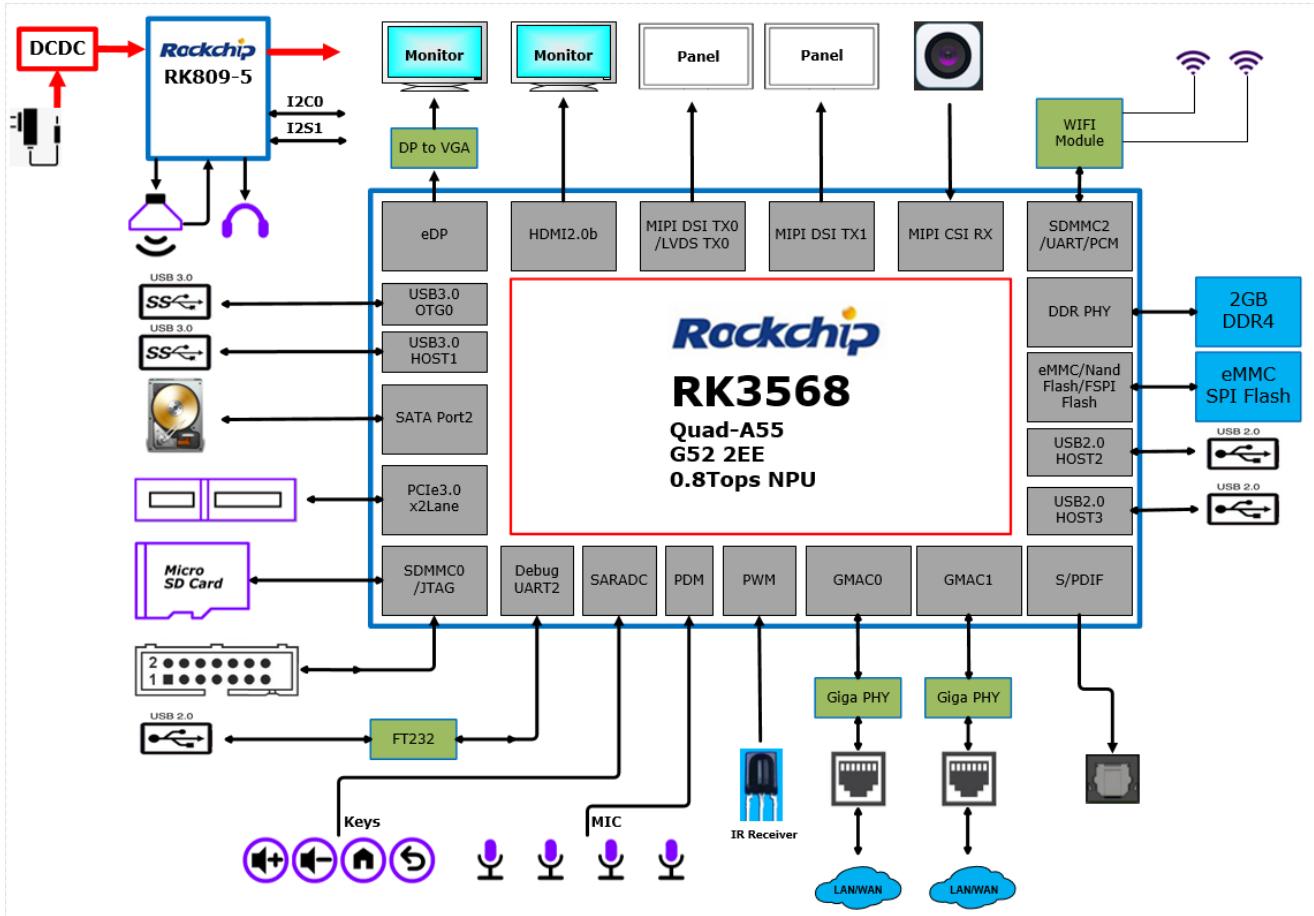


图 1 - 2 RK3568 EVB应用框图

### 1.3.2 RK3568 智能NVR应用框图

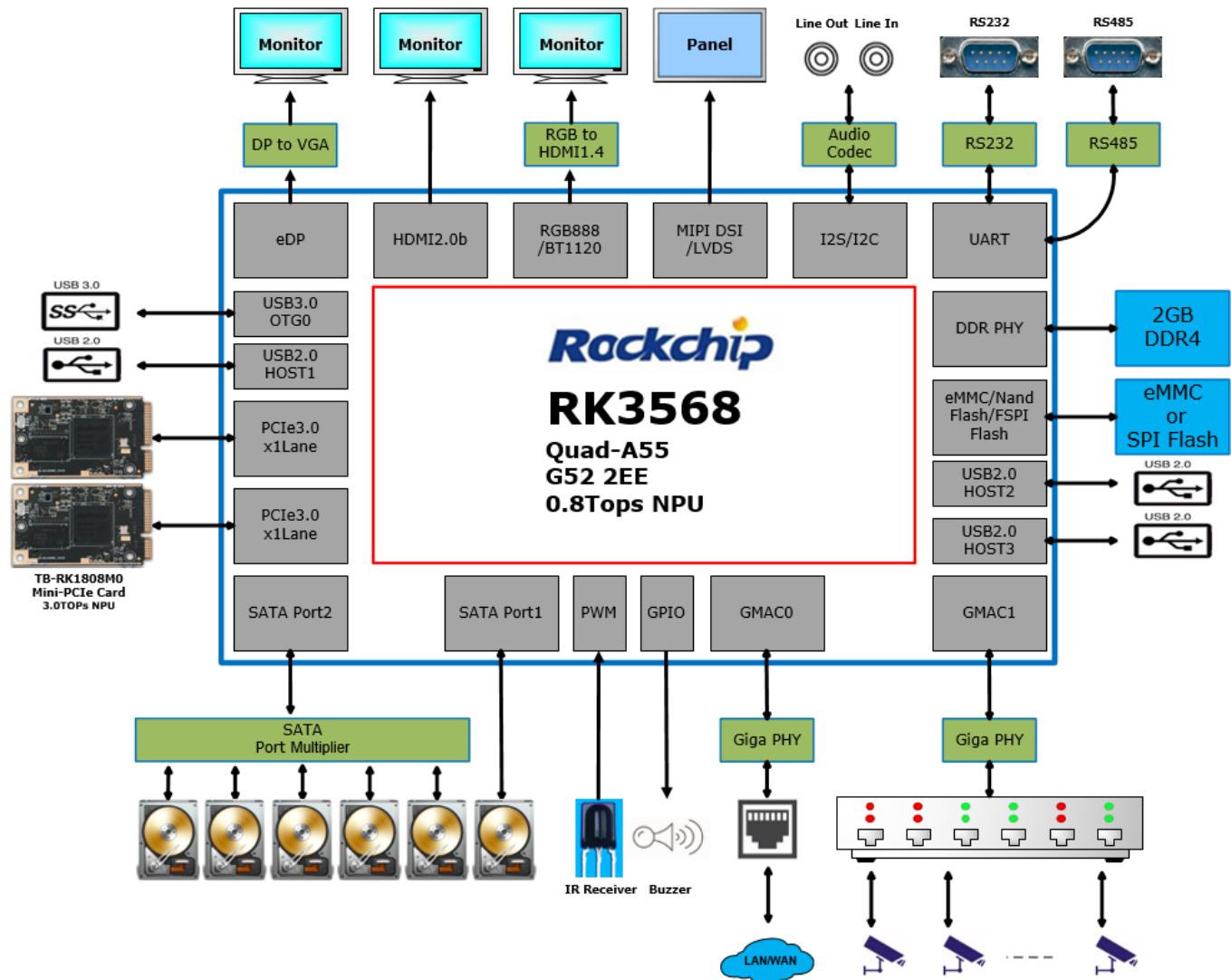


图 1-3 RK3568 智能NVR应用框图

以上是RK3568芯片方案的举例应用框图，更详细的请参考我司发布的参考设计原理图。

## 2 原理图设计建议

### 2.1 最小系统设计

#### 2.1.1 时钟电路

- RK3568芯片内部的振荡器电路与外置的24MHz晶体一起构成系统时钟，如图2-1所示。

XOUT24M网络串接22ohm电阻务必增加，用于限流，防止过驱。

XOUT24M和XIN24M网络之间的1Mohm电阻不可随意修改。

#### Note:

Adjusted the load capacitance according to the crystal specification.

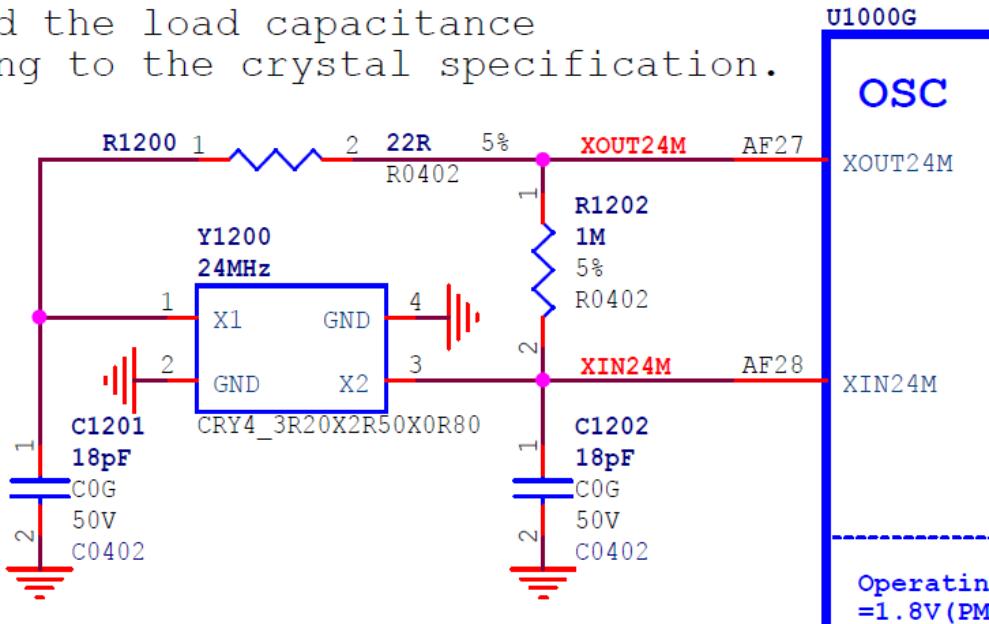


图 2 - 1 RK3568 晶体连接方式及器件参数



#### 注意

晶体负载电容请根据实际使用的晶体的CL电容值选择，并控制常温下的频率容限在20ppm以内。

18pF为我司选用晶体所对应容值，并不为通用值，负载电容材质建议采用COG或NPO

建议采用贴片4Pin晶体，其中2个GND管脚与PCB板的地充分连接，加强时钟抗ESD干扰能力

- 系统时钟还可以直接由外部的有源晶体电路产生时钟，时钟幅度为1.8V。工作情况下，时钟通过XIN24M 脚输入，XOUT24M管脚悬空，时钟参数如下表2-1所示：

表 2 - 1 RK3568 24MHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	24.000000		MHz	
频率偏差	+/-20		ppm	
时钟幅度	1.8		V	峰峰值
工作温度	-20	80	°C	
ESR	/	40	Ohm	

- RK3568芯片在待机时，可以选择将工作时钟源切换到PMU\_PVTM模块提供的时钟或外部输入的32.768KHz时钟，关掉OSC振荡电路，可得到更优的芯片待机功耗，此时只支持PMUI01和PMUI02电源域里的IO中断唤醒，如果需求的唤醒源和24MHz时钟有关，那么24MHz时钟不能关掉。
- PVTM(Process-Voltage-Temperature Monitor)模块集成的时钟振荡环，可产生时钟，这个时钟频率由时钟振荡环电路的延迟单元决定，产生的时钟可供芯片待机的时钟源；使用外部输入的

32.768KHz时钟当RK3568芯片休眠时钟时，可得到最优的芯片待机功耗，此时PVTM模块也可以关掉。

- 外部输入的32.768KHz时钟可以从PMIC或是外置RTC时钟源获取，RK3568 32.768KHz时钟输入脚如下图所示：

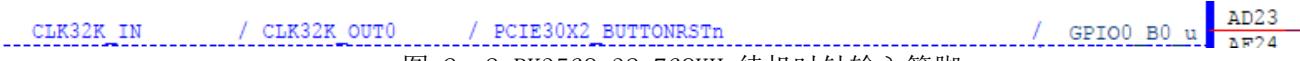


图 2-2 RK3568 32.768KHz待机时钟输入管脚

- 外置32.768kHz RTC时钟参数如下表2-2所示：

表 2-2 RK3568 32.768KHz时钟要求

参数	规范			描述
	最小	最大	单位	
频率	32.768000		kHz	
频率偏差	+/-30		ppm	
时钟幅度	0.65*VDD	VDD+0.3V	V	VDD:PMUIO2电源电压
工作温度	-20	80	°C	
占空比	50		%	



### 注意

使用该功能时，该管脚IOMUX必须设置成CLK32K\_IN功能，输入幅度必须满足PMUIO2 Domian供电要求。

- RK3568可向外设提供工作时钟：

- REFCLK\_OUT：默认24MHz时钟输出，可提供给Camera等设备当工作时钟
- CLK32K\_OUT0：32.768KHz时钟输出，可提供给WIFI, BT, PCIe等设备当休眠或工作时钟
- CLK32K\_OUT1：32.768KHz时钟输出，可提供给WIFI, BT, PCIe等设备当休眠或工作时钟
- ETH0\_REFCLK0\_25M：25MHz时钟输出，可提供给Ethernet PHY等设备当工作时钟
- ETH1\_REFCLK0\_25M\_M0/ETH1\_REFCLK0\_25M\_M1：25MHz时钟输出，可提供给Ethernet PHY等设备当工作时钟
- CIF\_CLKOUT：默认24MHz时钟输出，可根据PLL分频得到其它频点，可提供给Camera等设备当工作时钟
- CAM\_CLKOUT0：默认24MHz时钟输出，可根据PLL分频得到其它频点，可提供给Camera等设备当工作时钟
- CAM\_CLKOUT1：默认24MHz时钟输出，可根据PLL分频得到其它频点，可提供给Camera等设备当工作时钟



### 注意

以上时钟所处的IO Domain与外设的IO电平必须匹配，如果不匹配，必须增加电平转换电路  
请根据外设设备时钟需求评估是否可以满足

## 2.1.2 复位/看门狗/TSADC电路

RK3568芯片的硬件复位通过Pin AH27(NPOR\_u)管脚输入，必须由外部控制，低电平有效，为保证芯片稳定和正常工作，所需的最短复位时间为100个24MHz主时钟周期，即至少4us以上。

Pin AH27(NPOR\_u)管脚需要增加100nF电容，用来消除复位信号上的抖动，增强抗干扰能力，防止误触发导致的系统异常复位。

RESETn网络的上拉电源必须和nPOR管脚所在的IO电源域（PMUIO1）保持一致。

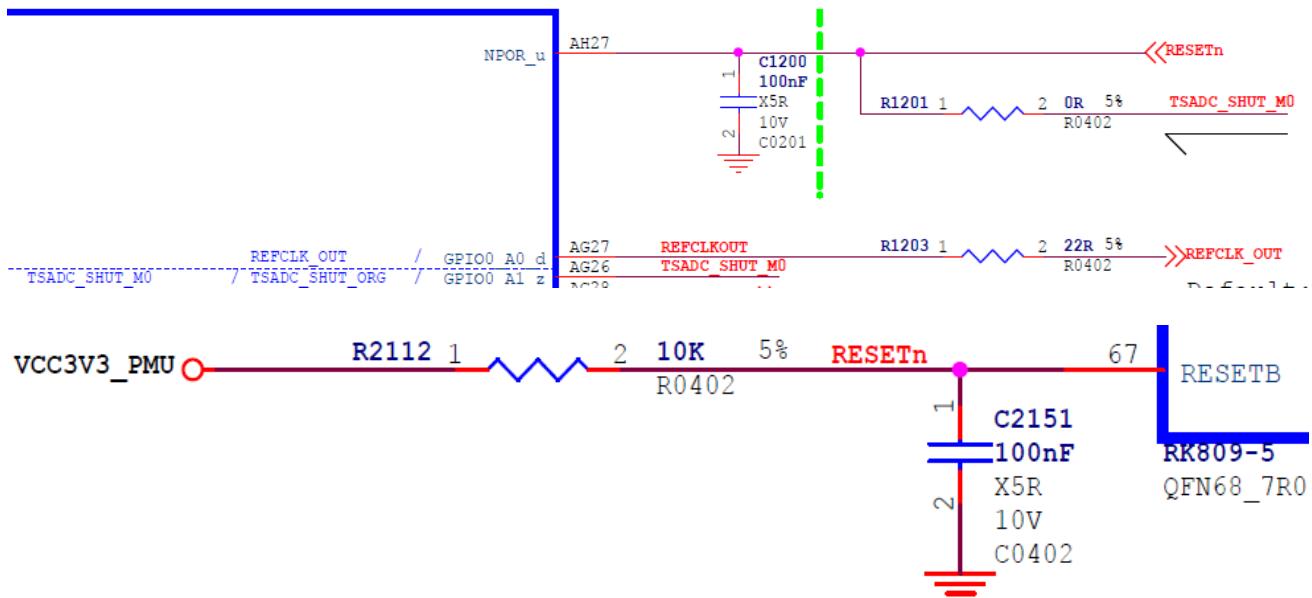


图 2-3 RK3568 复位输入 (RK809-5 方案)

- 采用分立电源方案时，复位信号电路图如下：

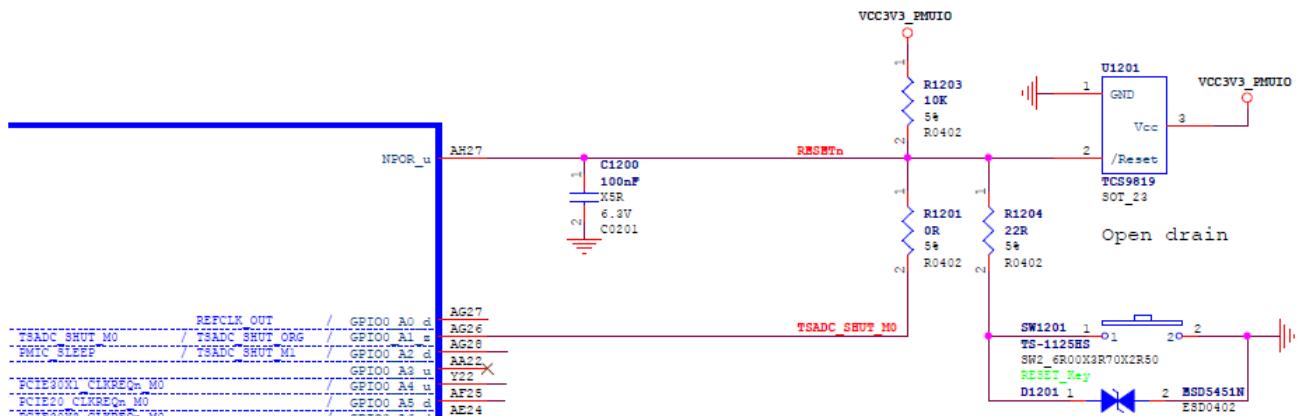


图 2-4 RK3568 复位输入 (分立电源方案)

注意：复位IC必须使用开漏输出，低电平有效。

- RK3568芯片内部集成了Watchdog Timer，当产生复位信号时，可以通过TSADC\_SHUT\_M0或TSADC\_SHUT\_M1管脚输出低电平，对RK3568进行硬件复位。
- RK3568芯片内部集成了两个TSADC(Temperature-Sensor ADC)模块，当芯片内部温度超过阈值时，可以通过内部TSHUT信号给CRU模块，让RK3568芯片复位，也可以通过TSADC\_SHUT\_M0或TSADC\_SHUT\_M1管脚输出低电平，对RK3568进行硬件复位。如上图TSADC\_SHUT\_M0网络连接到RESETn网络上。
- RK3568 复位信号路径图如下：

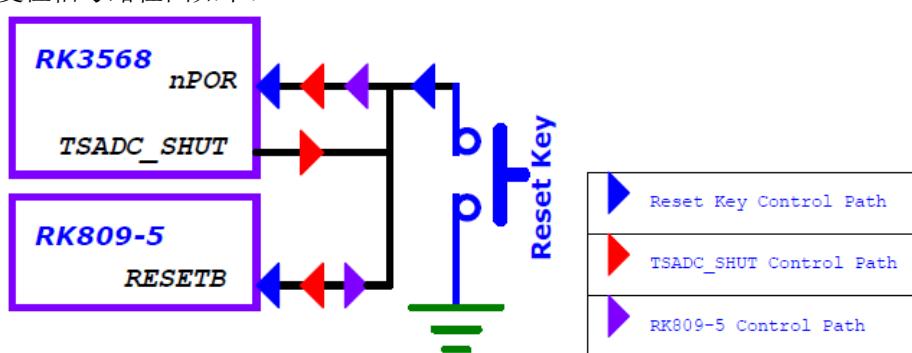


图 2-5 RK3568 复位信号路径图

- RK809-5的RESETB管脚当在第一次上电，等各路电源上电完成后，RESETB还会再延迟所设置的时间后，低电平跳变成高电平（开漏输出），即完成上电复位过程；当RK809-5在工作或sleep模式时，如果RESETB管脚被拉低，那么RK809-5也会重启，重启上电顺序和第一次上电相同。

### 2.1.3 PMU单元电路

为了满足低功耗需求，RK3568设计了一个电源管理单元(PMU)，用于控制管理芯片内部电源。

该模块可以支持芯片内部寄存器或PMUI0电源域的IO控制外围电源电路，实现对其他功能模块供电和断电，也可支持IO中断唤醒，从而实现芯片的待机和唤醒功能。

### 2.1.4 系统启动引导顺序

RK3568芯片支持多种启动引导方式，在芯片复位结束后，芯片内部集成的引导代码会按如下顺序进行自动引导，顺序如下：

- Serial Nor Flash(FSPI)
- Serial Nand Flash(FSPI)
- Nand Flash
- eMMC
- SDMMC0 Card

如果上述设备中没有引导代码，可以通过USB3.0 OTG0接口的USB3\_OTGO\_DP/USB3\_OTGO\_DM信号将系统代码下载到这些设备中。

### 2.1.5 系统初始化配置信号

RK3568中有两个重要信号会影响系统的启动配置，需要在上电前配置完毕并保持状态稳定，分别是：

- FLASH\_VOL\_SEL管脚(Pin AG25)：硬件配置VCCI02电源域IO驱动电压
- SDMMC0\_DET管脚(Pin Y22)：决定VCCI03电源域IO是SDMMC0还是JTAG功能

在系统复位结束后，芯片会根据两个管脚的输入电平配置相应模块的默认开机功能。

- RK3568 VCCI02电源域的IO驱动电压模式默认由硬件配置，因为其属于FLASH电源域，在系统引导时会用到，所以在系统启动的时候，必须先通过硬件配置来设置IO驱动电压模式，而无法通过寄存器操作去设置，如下图：

如果VCCI02(Pin H18)供电是1.8V，则FLASH\_VOL\_SEL管脚必须保持为高电平；

如果VCCI02(Pin H18)供电是3.3V，则FLASH\_VOL\_SEL管脚必须保持为低电平。

如有修改IO供电电源，FLASH\_VOL\_SEL管脚必须同步修改，不得出现不匹配，否则功能会异常，甚至会损坏芯片。

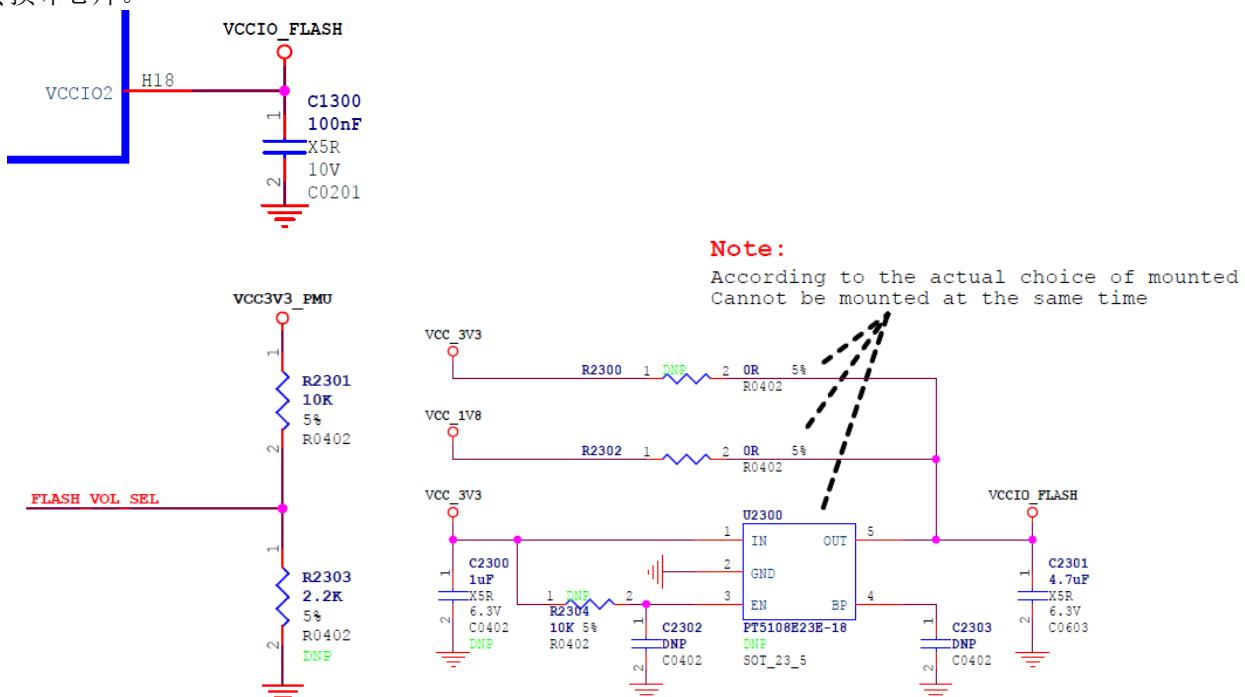


图 2 - 6 RK3568 VCCI02 供电和FLASH\_VOL\_SEL选择

- RK3568的ARM JTAG功能与SDMMC0功能复用在一起，通过SDMMC0\_DET管脚来切换IOMUX的功能，故该管脚也需要在上电前完成配置，否则ARM JTAG功能无输出会影响到引导阶段的调试，而SDMMC0无输出会影响到SDMMC0 boot功能。

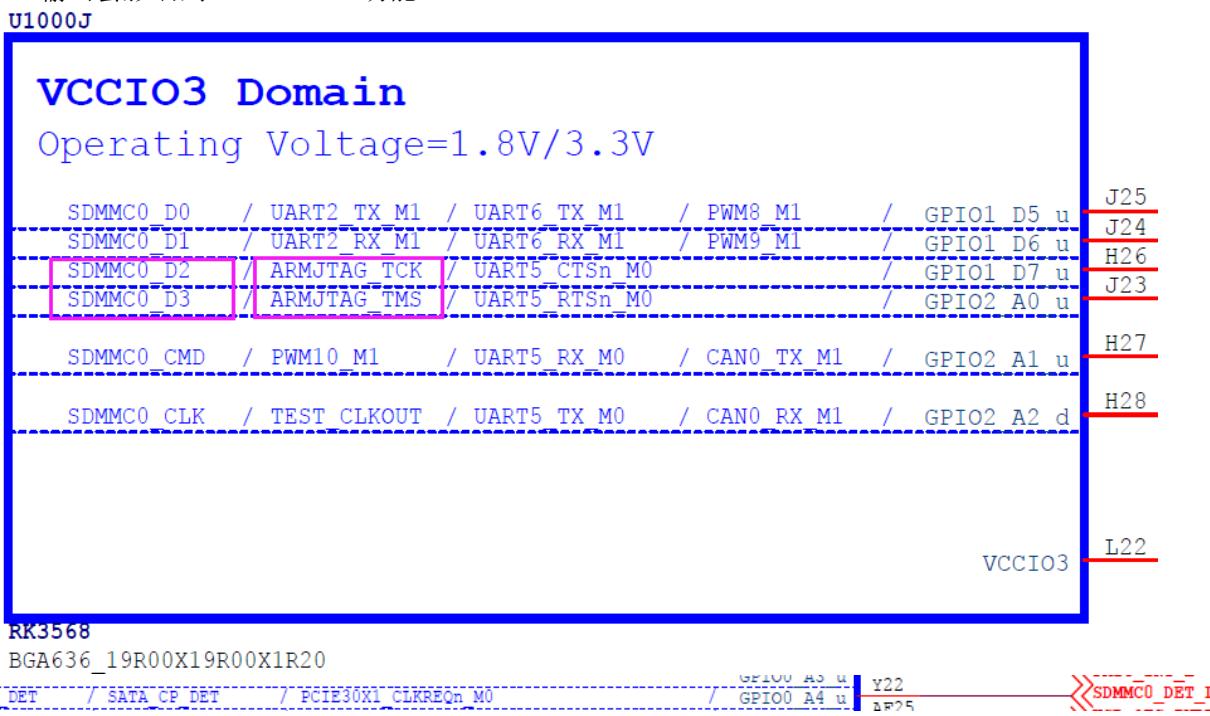


图 2-7 RK3568 SDMMC0/ARM JTAG复用管脚以及SDMMC0 DET管脚

该管脚检测为高电平，则对应IO切换到ARM JTAG功能；

当检测到为低电平(大部分SD卡插入会拉低该管脚，如果不是需要特殊处理)，对应IO切换为SDMMC0功能。

系统起来后，可切换成由寄存器来控制IOMUX，那么该管脚可以释放出来。

为方便查询，两个管脚的配置状态与功能对应如下表所示：

表 2-3 RK3568 系统初始化配置信号描述

信号名	内部上下拉	描述
FLASH_VOL_SEL	上拉	FLASH VCCI02电源域的IO驱动电压模式： 0: IO电平模式为3.3V； 1: IO电平模式为1.8V
SDMMC0_DET	上拉	SDMMC0/ARM JATG管脚复用选择控制信号： 0: 识别为SD卡插入，SDMMC0/ARM JATG管脚复用为SDMMC0功能； 1: 未识别为SD卡插入，SDMMC0/ARM JATG管脚复用为ARM JTAG功能 (Default)

## 2.1.6 JTAG和UART Debug电路

RK3568芯片的ARM JTAG接口符合IEEE1149.1标准，PC可通过SWD模式（两线模式）连接DSTREAM仿真器，调试芯片内部的ARM Core。

在引导阶段要通过连接仿真器时，需要保证SDMMC0\_DET管脚处于高电平，否则无法进入JTAG调试模式，该管理的配置见上节描述。

系统起来后，会切换成由寄存器控制IOMUX，ARM JTAG接口说明如下表所示：

表 2-4 RK3568 JTAG Debug接口信号

信号名	描述
ARM_JTAG_TCK	SWD模式时钟输入
ARM_JTAG_TMS	SWD模式数据输入输出

JTAG的连接方式及标准连接器管脚定义如下图所示：

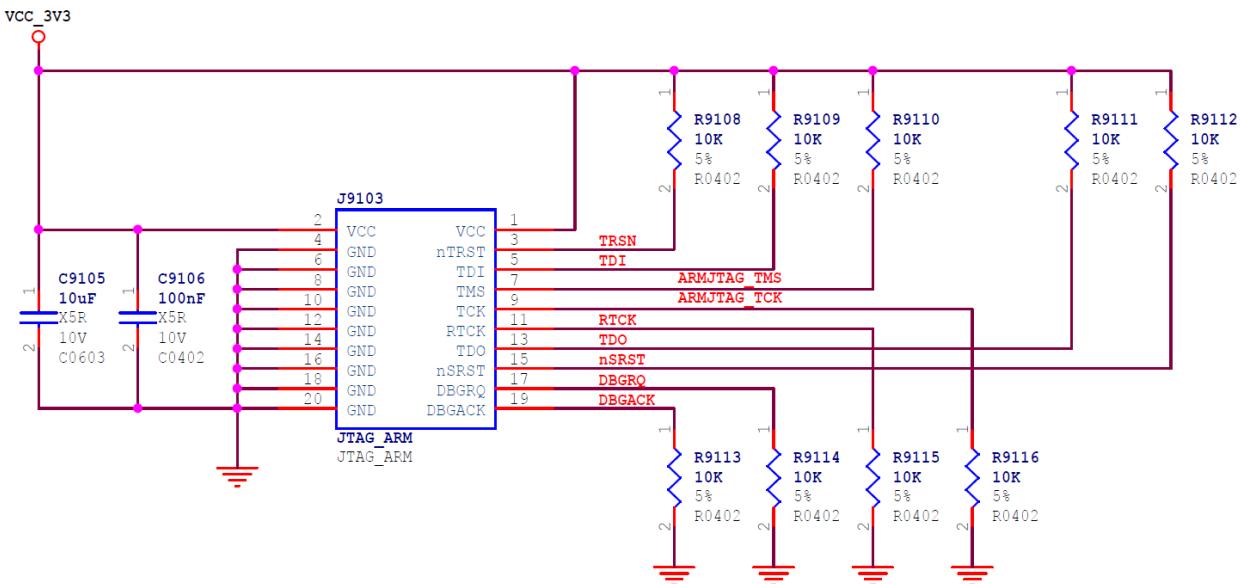


图 2-8 RK3568 JTAG连接示意图

- 如果没有SD Card功能，建议ARM JTAG功能预留，方便Debug，预留电路如下图：注意VCCI03电源必须供电，供电电压可使用VCCI0\_SD或VCC\_3V3

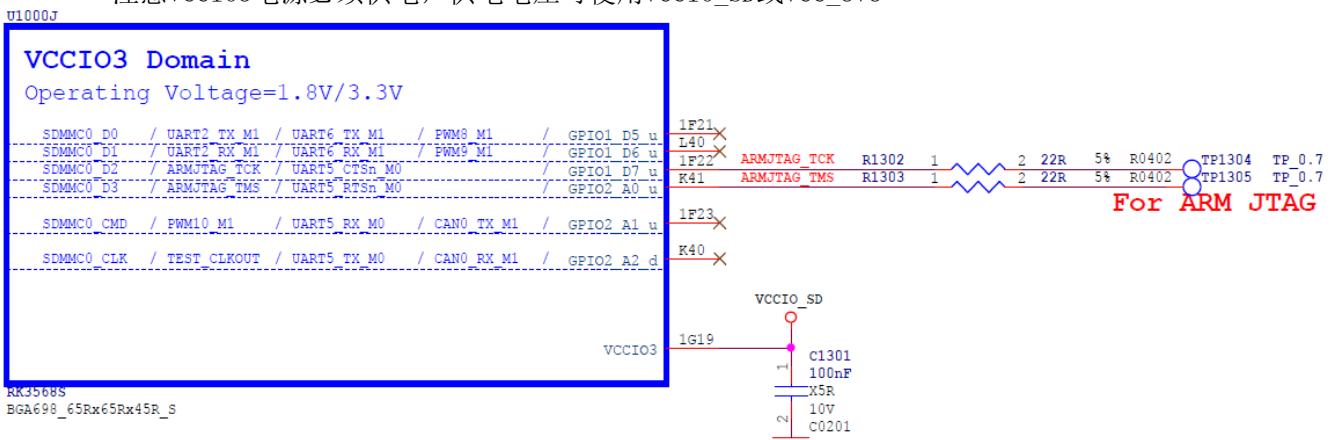


图 2-9 RK3568 ARM JTAG管脚

- RK3568的MCU\_JTAG模块暂不对外开放，无需进行特别处理。
- RK3568 UART Debug默认选择UART2\_RX\_M0/UART2\_TX\_M0，默认波特率为1500000M。

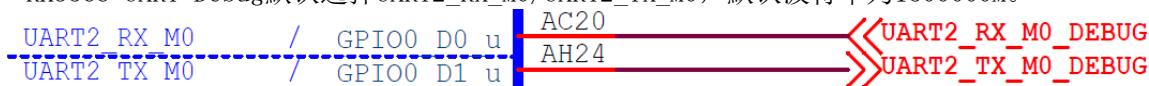


图 2-10 RK3568 UART2 M0管脚

UART2\_RX\_M0/UART2\_TX\_M0串接的100 ohm电阻不得删减，并增加TVS管，加强抗静电浪涌能力，防止开发过程损坏芯片管脚，能预留2.54插针建议尽量预留，如果无条件，建议使用0.7mm以上测试点，方便焊接。

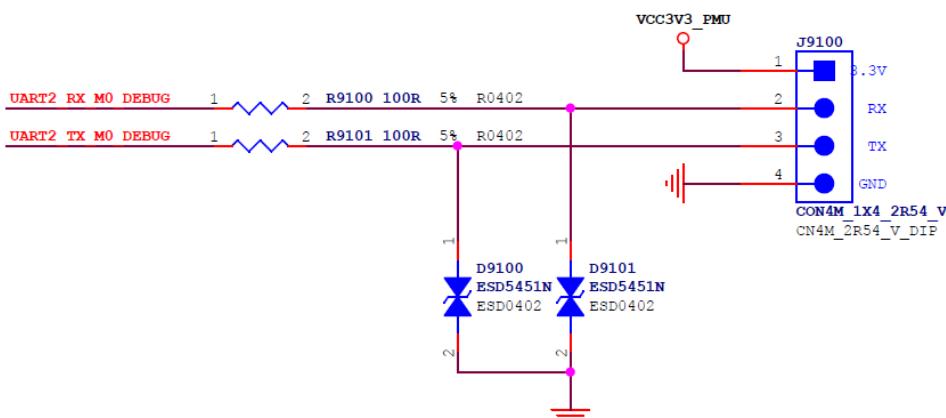


图 2-11 RK3568 Debug UART2连接示意图

## 2.1.7 DDR电路

### ● 2.1.7.1 DDR控制器介绍

RK3568 DDR控制器接口支持JEDEC SDRAM标准接口，控制器有如下特点：

- 兼容DDR3/DDR3L/LPDDR3/DDR4/LPDDR4/LPDDR4X等标准；
- 支持32bits数据总线宽度，2ranks（片选），最大总寻址地址8GB；
- 支持Power Down、Self Refresh等模式；
- 可以通过软件调整延迟，以补偿PCB延迟；
- 在DDR3/DDR3L/DDR4模式下，可支持8bits ECC；
- 具有动态PVT补偿的可编程输出和ODT阻抗调整。

### ● 2.1.7.2 电路设计建议

RK3568 DDR PHY和各DRAM颗粒原理图需要和参考设计图一致，包含电源去耦电容。

RK3568可支持DDR3/DDR3L、LPDDR3、DDR4或LPDDR4/LPDDR4X，这些DRAM具有不同I/O信号，根据DRAM类型选择对应的信号，RK3568 DDR PHY I/O Map表如下：

表 2-5 RK3568 DDR PHY I/O Map表

	DDR4	LPDDR4/LPDDR4x	DDR3	LPDDR3
DDR_DQ0_A	DDR4_DQLO_A	LPDDR4_DQ0_A	DDR3_DQ0	LPDDR3_D15
DDR_DQ1_A	DDR4_DQL2_A	LPDDR4_DQ1_A	DDR3_DQ1	LPDDR3_D14
DDR_DQ2_A	DDR4_DQL4_A	LPDDR4_DQ2_A	DDR3_DQ2	LPDDR3_D10
DDR_DQ3_A	DDR4_DQL6_A	LPDDR4_DQ3_A	DDR3_DQ3	LPDDR3_D9
DDR_DQ4_A	DDR4_DQL7_A	LPDDR4_DQ4_A	DDR3_DQ4	LPDDR3_D13
DDR_DQ5_A	DDR4_DQL5_A	LPDDR4_DQ5_A	DDR3_DQ5	LPDDR3_D12
DDR_DQ6_A	DDR4_DQL3_A	LPDDR4_DQ6_A	DDR3_DQ6	LPDDR3_D8
DDR_DQ7_A	DDR4_DQL1_A	LPDDR4_DQ7_A	DDR3_DQ7	LPDDR3_D11
DDR_DM0_A	DDR4_DML_A	LPDDR4_DMO_A	DDR3_DMO	LPDDR3_DM1
DDR_DQSOP_A	DDR4_DQSL_P_A	LPDDR4_DQSOP_A	DDR3_DQSOP	LPDDR3_DQS1P
DDR_DQSON_A	DDR4_DQSL_N_A	LPDDR4_DQSON_A	DDR3_DQSON	LPDDR3_DQS1N
DDR_DQ8_A	DDR4_DQU3_A	LPDDR4_DQ8_A	DDR3_DQ8	LPDDR3_D25
DDR_DQ9_A	DDR4_DQU1_A	LPDDR4_DQ9_A	DDR3_DQ9	LPDDR3_D24
DDR_DQ10_A	DDR4_DQU7_A	LPDDR4_DQ10_A	DDR3_DQ10	LPDDR3_D28
DDR_DQ11_A	DDR4_DQU5_A	LPDDR4_DQ11_A	DDR3_DQ11	LPDDR3_D29
DDR_DQ12_A	DDR4_DQU2_A	LPDDR4_DQ12_A	DDR3_DQ12	LPDDR3_D26
DDR_DQ13_A	DDR4_DQU4_A	LPDDR4_DQ13_A	DDR3_DQ13	LPDDR3_D31
DDR_DQ14_A	DDR4_DQU6_A	LPDDR4_DQ14_A	DDR3_DQ14	LPDDR3_D30
DDR_DQ15_A	DDR4_DQU0_A	LPDDR4_DQ15_A	DDR3_DQ15	LPDDR3_D27
DDR_DM1_A	DDR4_DMU_A	LPDDR4_DM1_A	DDR3_DM1	LPDDR3_DM3
DDR_DQS1P_A	DDR4_DQSU_P_A	LPDDR4_DQS1P_A	DDR3_DQS1P	LPDDR3_DQS3P
DDR_DQS1N_A	DDR4_DQSU_N_A	LPDDR4_DQS1N_A	DDR3_DQS1N	LPDDR3_DQS3N
DDR_DQ0_B	DDR4_DQU7_B	LPDDR4_DQ0_B	DDR3_DQ16	LPDDR3_D1
DDR_DQ1_B	DDR4_DQU5_B	LPDDR4_DQ1_B	DDR3_DQ17	LPDDR3_D5
DDR_DQ2_B	DDR4_DQU3_B	LPDDR4_DQ2_B	DDR3_DQ18	LPDDR3_D6
DDR_DQ3_B	DDR4_DQU1_B	LPDDR4_DQ3_B	DDR3_DQ19	LPDDR3_D4
DDR_DQ4_B	DDR4_DQU0_B	LPDDR4_DQ4_B	DDR3_DQ20	LPDDR3_D2
DDR_DQ5_B	DDR4_DQU6_B	LPDDR4_DQ5_B	DDR3_DQ21	LPDDR3_D3
DDR_DQ6_B	DDR4_DQU4_B	LPDDR4_DQ6_B	DDR3_DQ22	LPDDR3_D7
DDR_DQ7_B	DDR4_DQU2_B	LPDDR4_DQ7_B	DDR3_DQ23	LPDDR3_D0
DDR_DM0_B	DDR4_DMU_B	LPDDR4_DMO_B	DDR3_DM2	LPDDR3_DMO
DDR_DQSOP_B	DDR4_DQSU_P_B	LPDDR4_DQSOP_B	DDR3_DQS2P	LPDDR3_DQSOP
DDR_DQSON_B	DDR4_DQSU_N_B	LPDDR4_DQSON_B	DDR3_DQS2N	LPDDR3_DQSON

DDR_DQ8_B	DDR4_DQL0_B	LPDDR4_DQ8_B	DDR3_DQ24	LPDDR3_D18
DDR_DQ9_B	DDR4_DQL2_B	LPDDR4_DQ9_B	DDR3_DQ25	LPDDR3_D19
DDR_DQ10_B	DDR4_DQL4_B	LPDDR4_DQ10_B	DDR3_DQ26	LPDDR3_D22
DDR_DQ11_B	DDR4_DQL6_B	LPDDR4_DQ11_B	DDR3_DQ27	LPDDR3_D23
DDR_DQ12_B	DDR4_DQL7_B	LPDDR4_DQ12_B	DDR3_DQ28	LPDDR3_D16
DDR_DQ13_B	DDR4_DQL5_B	LPDDR4_DQ13_B	DDR3_DQ29	LPDDR3_D17
DDR_DQ14_B	DDR4_DQL1_B	LPDDR4_DQ14_B	DDR3_DQ30	LPDDR3_D20
DDR_DQ15_B	DDR4_DQL3_B	LPDDR4_DQ15_B	DDR3_DQ31	LPDDR3_D21
DDR_DM1_B	DDR4_DML_B	LPDDR4_DM1_B	DDR3_DM3	LPDDR3_DM2
DDR_DQS1P_B	DDR4_DQSL_P_B	LPDDR4_DQS1P_B	DDR3_DQS3P	LPDDR3_DQS2P
DDR_DQS1N_B	DDR4_DQSL_N_B	LPDDR4_DQS1N_B	DDR3_DQS3N	LPDDR3_DQS2N
DDR_ECC_DQ0	DDR4_ECC_DQ7	—	DDR3_ECC_DQ0	—
DDR_ECC_DQ1	DDR4_ECC_DQ0	—	DDR3_ECC_DQ1	—
DDR_ECC_DQ2	DDR4_ECC_DQ2	—	DDR3_ECC_DQ2	—
DDR_ECC_DQ3	DDR4_ECC_DQ1	—	DDR3_ECC_DQ3	—
DDR_ECC_DQ4	DDR4_ECC_DQ6	—	DDR3_ECC_DQ4	—
DDR_ECC_DQ5	DDR4_ECC_DQ4	—	DDR3_ECC_DQ5	—
DDR_ECC_DQ6	DDR4_ECC_DQ3	—	DDR3_ECC_DQ6	—
DDR_ECC_DQ7	DDR4_ECC_DQ5	—	DDR3_ECC_DQ7	—
DDR_ECC_DM	DDR4_ECC_DM	—	DDR3_ECC_DM	—
DDR_ECC_DQSP	DDR4_ECC_DQSP	—	DDR3_ECC_DQSP	—
DDR_ECC_DQSN	DDR4_ECC_DQSN	—	DDR3_ECC_DQSN	—
AC0	DDR4_A0	LPDDR4_CLKP_B	DDR3_A9	—
AC1	DDR4_A1	—	DDR3_A2	—
AC2	DDR4_A2	LPDDR4_A1_A	DDR3_A4	LPDDR3_A6
AC3	DDR4_A3	LPDDR4_CKE1_A	DDR3_A3	—
AC4	DDR4_A4	LPDDR4_A3_B	DDR3_BA1	LPDDR3_A3
AC5	DDR4_A5	LPDDR4_A5_B	DDR3_A11	LPDDR3_A2
AC6	DDR4_A6	LPDDR4_A1_B	DDR3_A13	LPDDR3_A1
AC7	DDR4_A7	LPDDR4_ODTO_CA_B	DDR3_A8	—
AC8	DDR4_A8	LPDDR4_ODTO_CA_A	DDR3_A6	LPDDR3_A9
AC9	DDR4_A9	LPDDR4_CLKN_B	DDR3_A5	—
AC10	DDR4_A10	LPDDR4_CKE0_B	DDR3_A10	—
AC11	DDR4_A11	LPDDR4_A0_A	DDR3_A7	LPDDR3_A8
AC12	DDR4_A12	LPDDR4_A3_A	DDR3_BA2	—
AC13	DDR4_A13	LPDDR4_A0_B	DDR3_A14	LPDDR3_A0
AC14	DDR4_A14_WEN	LPDDR4_A4_A	DDR3_A15	LPDDR3_A5
AC15	DDR4_A15_CASN	LPDDR4_A2_A	DDR3_A0	—
AC16	DDR4_A16_RASN	LPDDR4_A5_A	DDR3_RASN	LPDDR3_A7
AC17	DDR4_ACTN	LPDDR4_CKE1_B	DDR3_CASN	—
AC18	DDR4_BAO	LPDDR4_A2_B	DDR3_A1	—
AC19	DDR4_BA1	LPDDR4_A4_B	DDR3_A12	LPDDR3_A4
AC20	DDR4_BG0	LPDDR4_ODT1_CA_B	DDR3_WEN	—
AC21	DDR4_BG1	LPDDR4_ODT1_CA_A	DDR3_BAO	—
AC22	DDR4_CKE	LPDDR4_CKE0_A	DDR3_CKE	LPDDR3_CKE
AC23	DDR4_CLKP	LPDDR4_CLKP_A	DDR3_CLKP	LPDDR3_CLKP
AC24	DDR4_CLKN	LPDDR4_CLKN_A	DDR3_CLKN	LPDDR3_CLKN
AC25	DDR4_CS0N	LPDDR4_CS0N_A	DDR3_ODT1	LPDDR3_ODT0
AC26	DDR4_CS1N	LPDDR4_CS1N_A	DDR3_CS1N	LPDDR3_ODT1
AC27	DDR4_ODT0	LPDDR4_CS1N_B	DDR3_ODT0	LPDDR3_CS1N

AC28	DDR4_ODT1	LPDDR4_CSON_B	DDR3_CSON	LPDDR3_CSON
AC29	DDR4_RESETN	LPDDR4_RESETN	DDR3_RESETN	-

- DDR3/DDR3L时：
    - 支持Byte间整组对调；支持Byte内的DQ对调；
    - CA顺序不可对调，必须按参考图上分配；
    - 如果要支持总位宽16bit/32bit兼容的模板，那么必须使用RK提供的模板，不允许不一样。
  - DDR3/DDR3L+ECC时：
    - ECC Byte为固定Byte, 不能和其它Byte对调；其它Byte间支持整组对调；
    - 支持Byte内的DQ对调；
    - CA顺序不可对调，必须按参考图上分配。
  - LPDDR3时：
    - 必须保持颗粒端D0-D7和主控的LPDDR3\_D0-D7对应一一连接，以及关联的DQS, DM的对应关系，不支持调整；其它Byte间支持整组对调；
    - 其它Byte内的DQ支持对调；
    - CA顺序不可对调，必须按参考图上分配。
  - DDR4时：
    - 支持Byte间整组对调；支持Byte内的DQ对调；
    - CA顺序不可对调，必须按参考图上分配；
    - 如果要支持总位宽16bit/32bit兼容的模板，那么必须使用RK提供的模板，不允许不一样。
  - DDR4+ECC时：
    - ECC Byte为固定Byte, 不能和其它Byte对调；其它Byte间支持整组对调；
    - ECC Byte内DQ顺序不支持对调，必须按参考图上分配，其它Byte内的DQ支持对调；
    - CA顺序不可对调，必须按参考图上分配。
  - LPDDR4/LPDDR4x时：
    - DQ, CA顺序全部不支持对调，必须按参考图上分配。
- DDR3/DDR3L/DDR4模式时支持8bits ECC功能，对ECC颗粒要求：
- 选用同样类型的8bit颗粒或16bit颗粒，row/bank/col必须和主颗粒一样，速率也必须大于等于主颗粒，建议和主颗粒使用一样。
- 选用16bit当ECC颗粒时，由于RK3568只支持8bits ECC，16bit颗粒的其中一个Byte需要按如下图处理：
- DDR3/DDR3L 16bit ECC处理方式：如下图，DMU管脚接电源，DQSU管脚接电源， $\overline{DQSU}$ 管脚接地

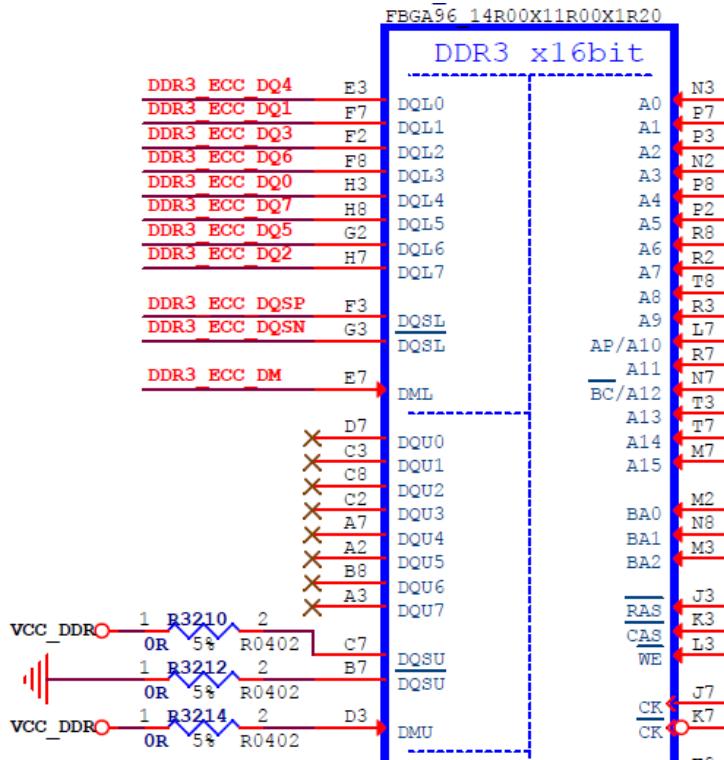


图 2 - 12 RK3568 DDR3/DDR3L 16bit ECC颗粒处理方式

- DDR4 16bit ECC处理方式: 如下图, DMU\_n/DBIU\_n管脚接电源, DQSU\_P管脚接电源, DQSU\_N管脚接地

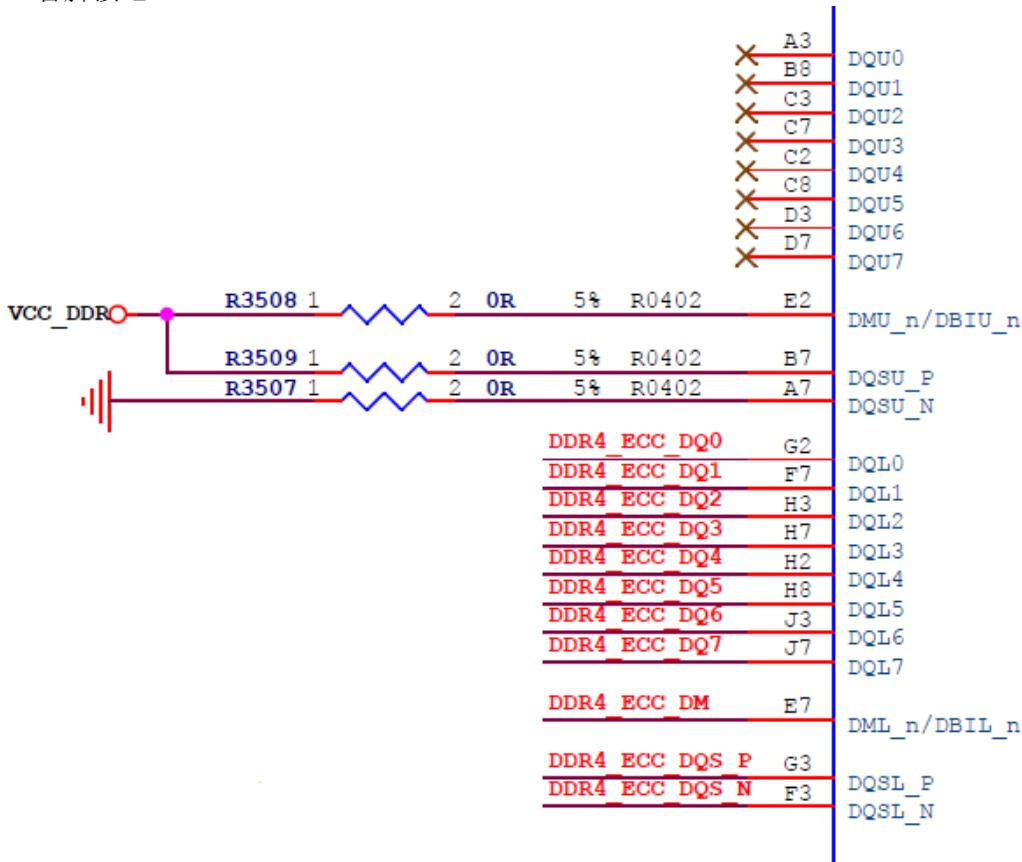


图 2 - 13 RK3568 DDR4 16bit ECC颗粒处理方式

RK3568 DDR PHY的DDR\_RZQ(Pin H7)管脚接法:

- 当使用DDR3/DDR3L/DDR4/LPDDR3颗粒时, DDR\_RZQ管脚必须120ohm 1%电阻接地
- 当使用LPDDR4/LPDDR4x颗粒时, 120ohm 1%电阻接DDRPHY\_VDDQ电源 (即VCC\_DDR)

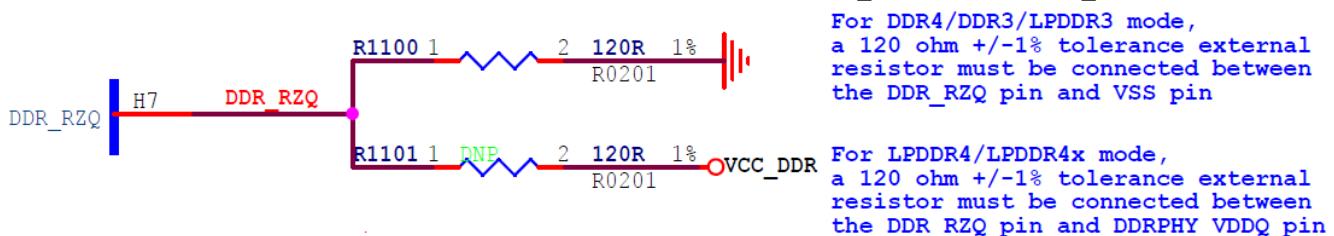


图 2 - 14 RK3568 DDR\_RZQ管脚

RK3568 DDR PHY可向DRAM颗粒的VREFDQ或VREFCA提供电压, 即DDR\_VREFOUT管脚(Pin P8)可以输出一个电压提供给DRAM颗粒当VREF电压

- DDR3/DDR3L时: 提供给DDR3/DDR3L颗粒的VREFDQ (即VREF\_DDR\_DQ网络), 默认电压为0.75V/0.675V, 可根据实际需求通过寄存器调整电压值, DDR3/DDR3L颗粒的VREFCA依然使用两个1Kohm 1%电阻分压

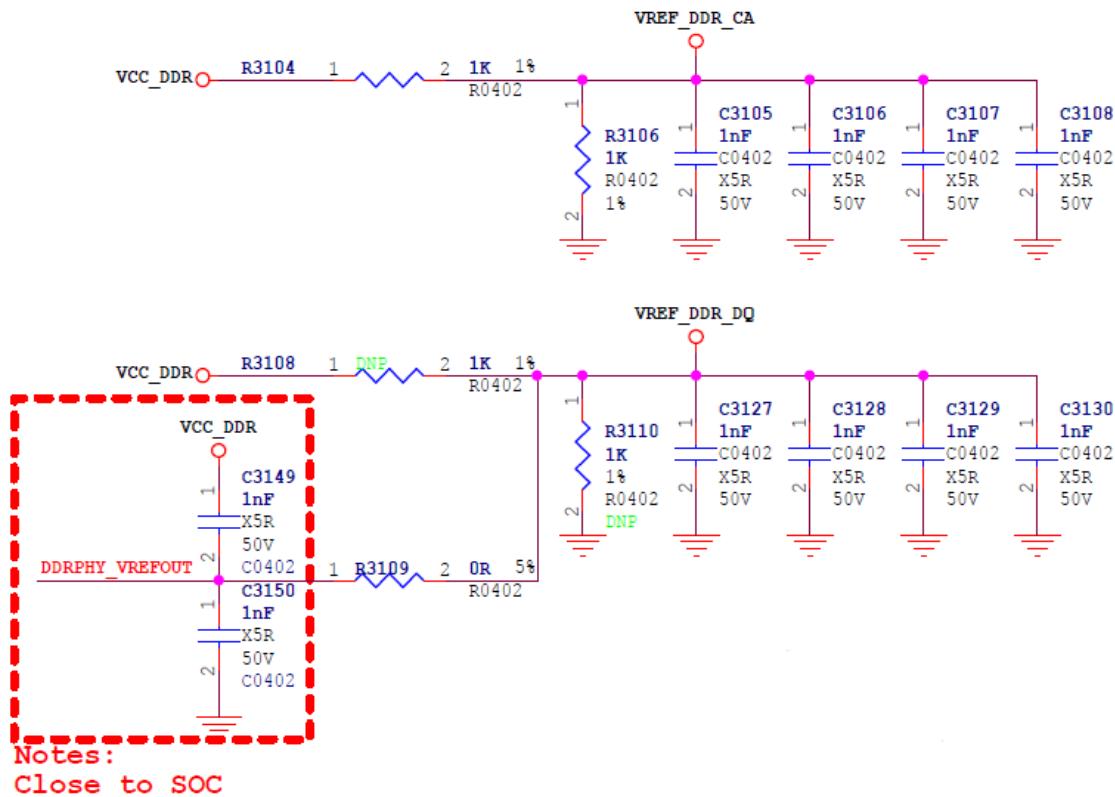


图 2 - 15 DDR3/DDR3L VREF 电路

- LPDDR3时：提供给LPDDR3颗粒的VREFDQ（即DDR\_VREFDQ网络）电压和ODT配置相关，可根据实际需求通过寄存器调整电压值，LPDDR3颗粒的VREFCA依然使用两个1Kohm 1%电阻分压

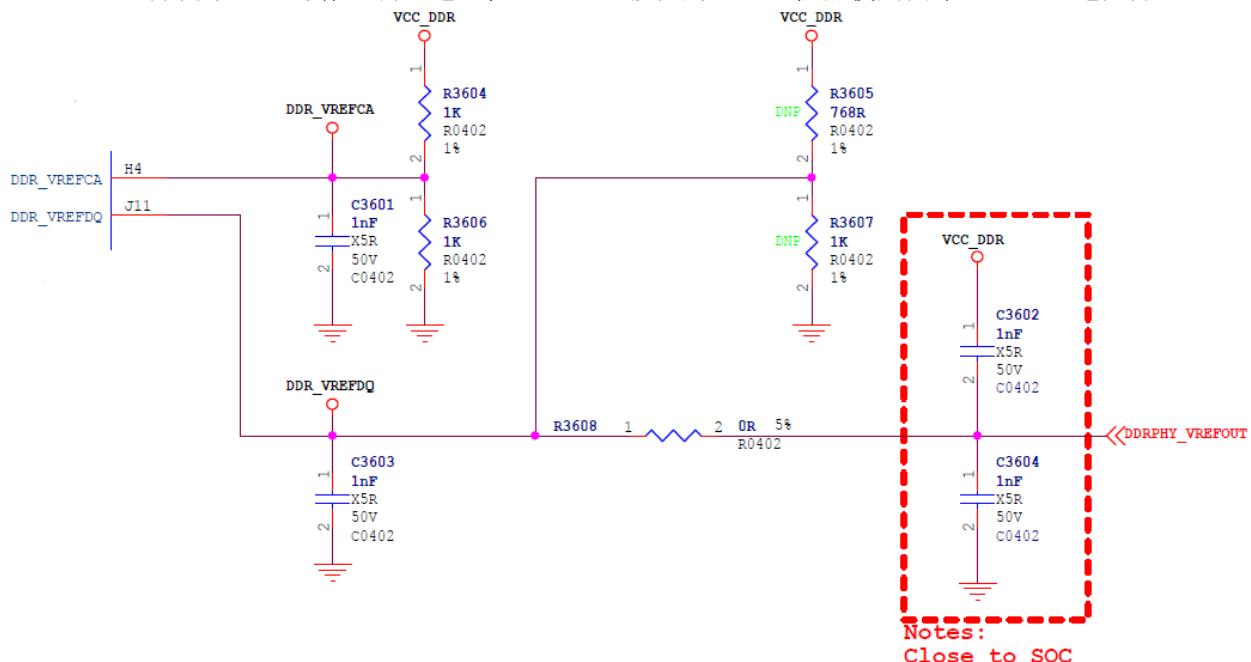


图 2 - 16 LPDDR3 VREF 电路

- DDR4时：提供给DDR4颗粒的VREFCA（即VREF\_DDR4\_CA网络），默认电压为0.6V，可根据实际需求通过寄存器调整电压值。

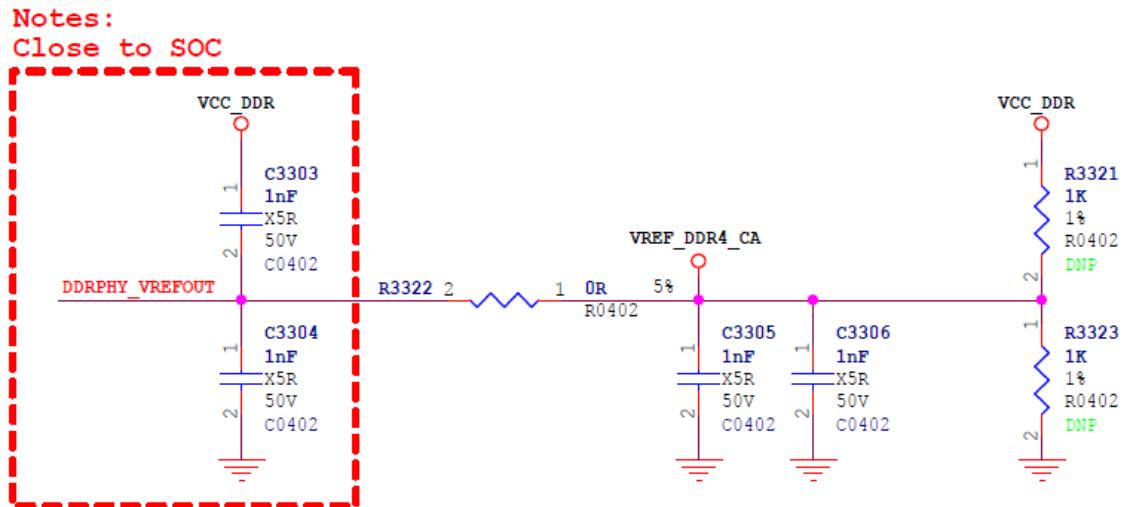


图 2 - 17 DDR4 VREF 电路

- LPDDR4/LPDDR4x时：不使用，悬空即可。
- 注意：DDRPHY\_VREFOUT网络的对地和对电源的1nF电容不可删除，也不能随便修改；DDR颗粒VREF管脚都必须有一个1nF去耦电容，容量不能随便修改。

#### ● 2.1.7.3 DDR颗粒外围电路设计

- DDR3/DDR3L/DDR4/LPDDR3的颗粒ZQ必须接一个240ohm 1%对地
- LPDDR4的颗粒ZQ必须接一个240ohm 1%到VCC\_DDR电源上
- LPDDR4x的颗粒ZQ必须接一个240ohm 1%到VCC0V6\_DDR电源上
- DDR颗粒RESET管脚建议预留一个1nF电容，提高抗ESD干扰能力。
- DDR4 16bit颗粒模版时，预留了支持DDP (Dual-Die Package) 颗粒，默认参数配置为SDP (Single-Die Package) 颗粒，如果需贴DDP颗粒，那么要注意以下参数同步更新：
  - DDR4 M9 pin connect to DDR\_BG1 net of RK3568
  - DDR4 T7 pin connect to GND
  - DDR4 E9 pin connect to GND by 240ohm 1% resistor

#### ● 2.1.7.4 DDR拓扑结构与匹配方式设计

- DDR3/DDR3L 4颗16bit 2CS时，DQ采用T拓扑结构(一驱二)，CA采用双T拓扑结构(一驱四)

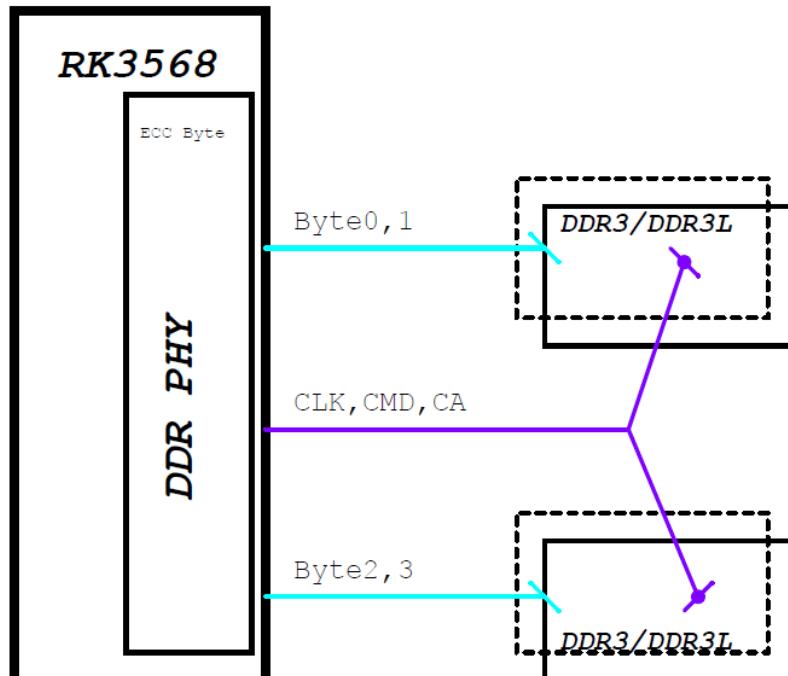


图 2 - 18 DDR3/DDR3L T拓扑结构

时钟匹配方式：在分支点放置RC电路见下图，可提高信号质量以及降低EMI。

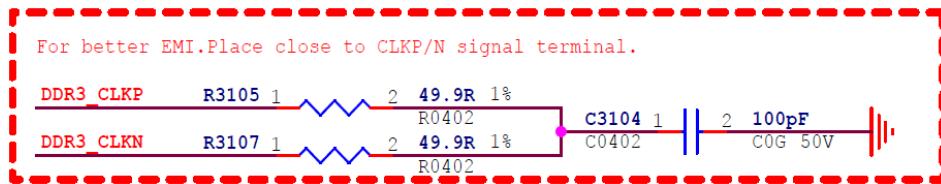


图 2 - 19 DDR3/DDR3L T拓扑的CLKP/CLKN端接

- DDR3/DDR3L+ECC 6颗16bit 2CS时，DQ采用T拓扑结构(一驱二)，CA采用Fly-by拓扑结构(一驱六)

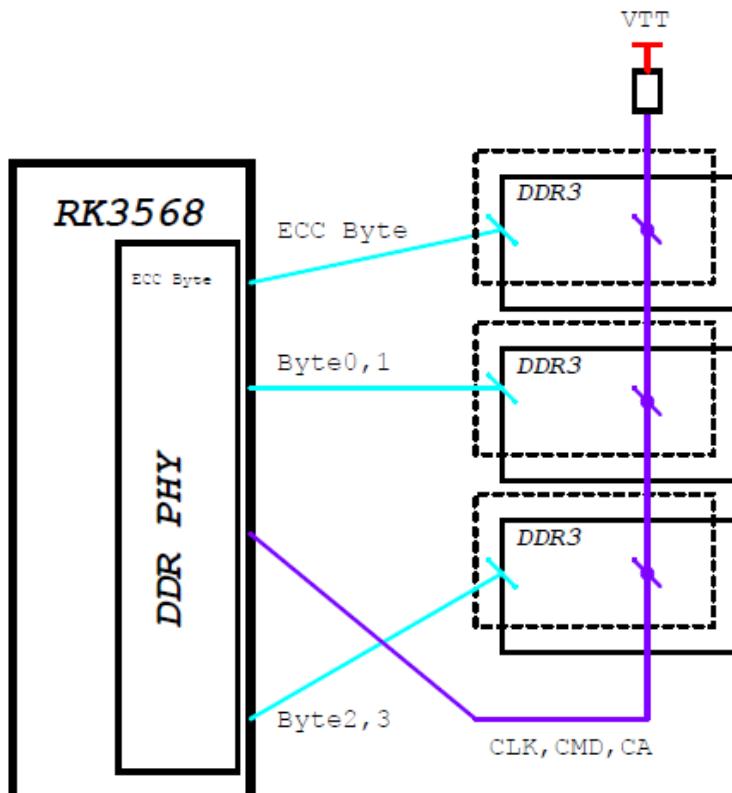


图 2 - 20 DDR3/DDR3L Fly-by拓扑结构

时钟，控制，地址线信号匹配方式：在末端加39ohm电阻到VTT电源，参照电路见参考图。另外时钟P/N之间靠近RK3568位置预留跨接一个2pF电容，可根据实际调试是否上件，可提高信号质量。

- DDR4 2颗16bit 1CS时，DQ采用点对点连接(一驱一)，CA采用T拓扑结构(一驱二)

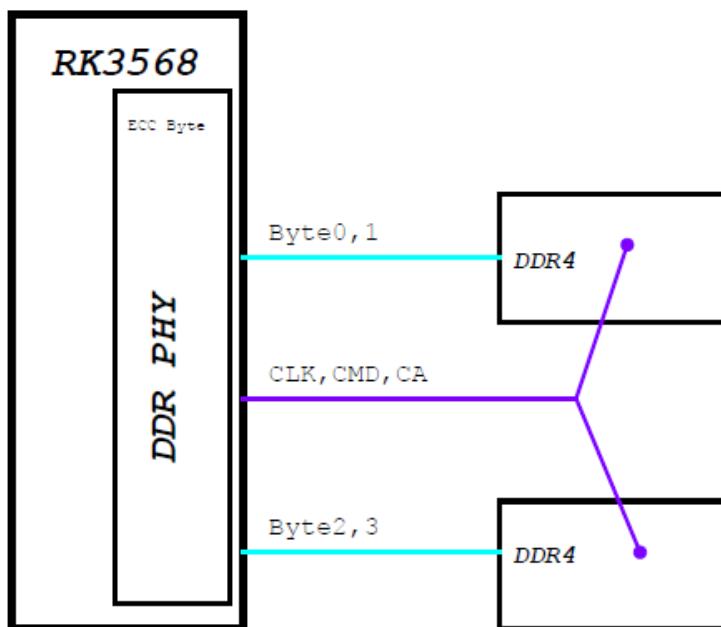


图 2 - 21 DDR4 T拓扑结构

时钟信号匹配方式：在分支点放置RC电路，还需要在分支线路上串电阻到颗粒，串接电阻必须放置在分支点处，提高时钟信号质量



图 2-22 DDR4 T 拓扑结构的 CLKP/CLKN 端接

- DDR4+ECC 3颗16bit 1CS时，DQ采用点对点拓扑结构(一驱一)，CA采用Fly-by拓扑结构(一驱三)

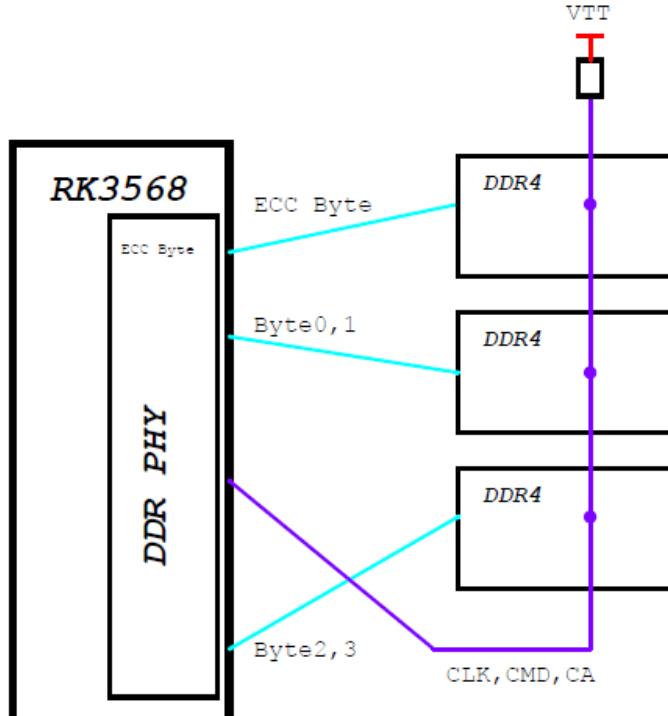


图 2-23 DDR4 Fly-by 拓扑结构

时钟，控制，地址线信号匹配方式：在末端加39ohm电阻到VTT电源，参照电路见参考图。另外时钟P/N之间靠近RK3568位置跨接一个2pF电容，提高信号质量。

注意：选择VTT电源芯片时，需要支持DDR4。

- LPDDR3 1颗32bit时，DQ, CA采用点对点拓扑结构

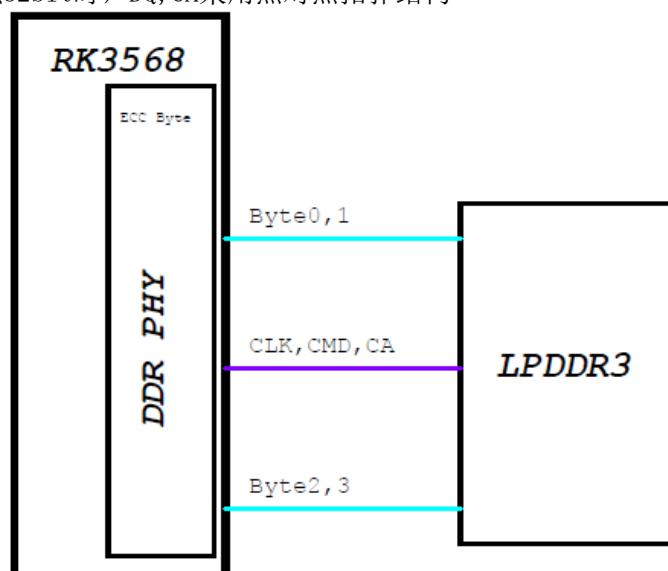


图 2-24 LPDDR3 点对点拓扑结构

时钟匹配方式：在走线末端放置RC电路见下图，可提高信号质量以及降低EMI。

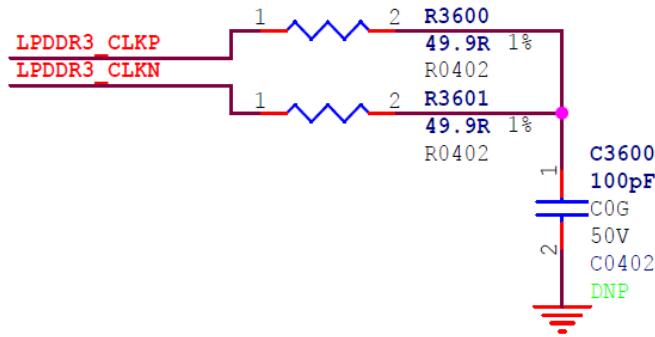


图 2 - 25 LPDDR3 CLKP/CLKN端接

- LPDDR4 1颗32bit时，DQ, CA采用点对点拓扑结构

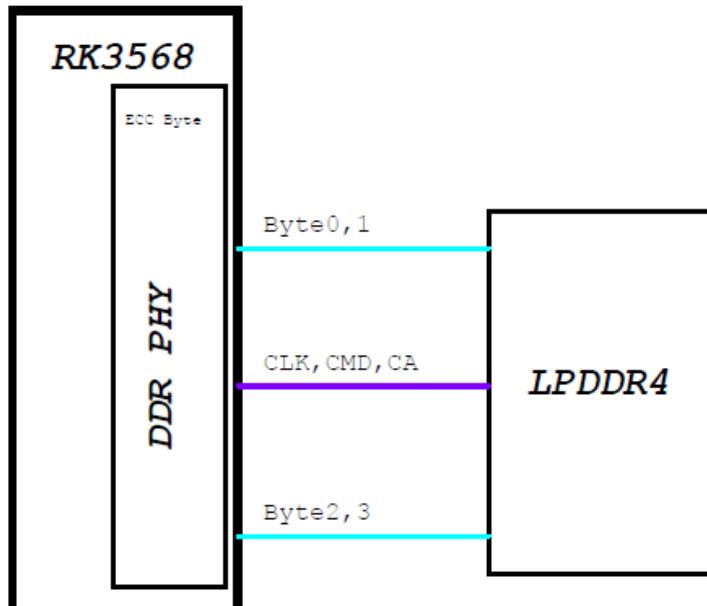


图 2 - 26 LPDDR4 点对点拓扑结构

- 匹配方式：LPDDR4颗粒DQ,CLK,CMD,CA都支持ODT，全部点对点连接即可
- LPDDR4x 1颗32bit时，DQ, CA采用点对点拓扑结构

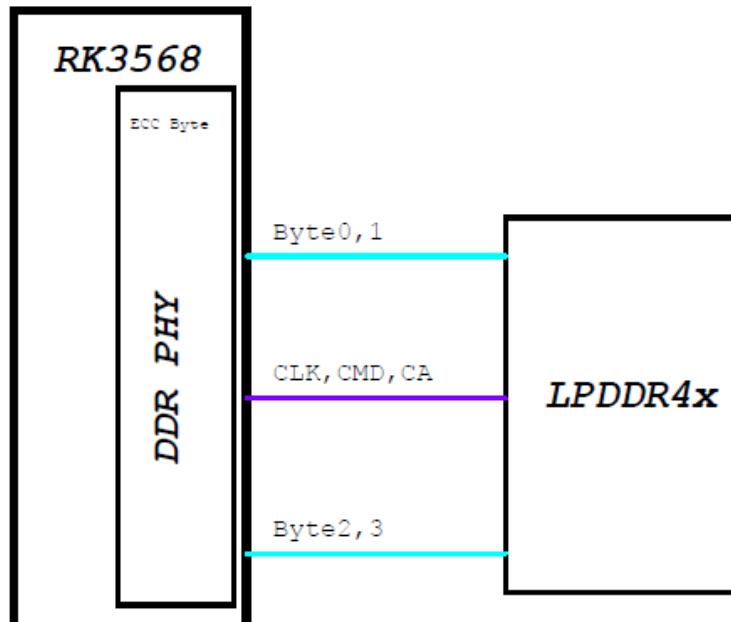


图 2 - 27 LPDDR4x 点对点拓扑结构

匹配方式：LPDDR4x颗粒DQ,CLK,CMD,CA都支持ODT，全部点对点连接即可

- 2.1.7.5 DDR电源设计和上电时序要求

RK3568 DDR PHY有两组供电电源，DDRPHY\_VDDQ和DDRPHY\_VDDQL

- DDR3颗粒时：DDRPHY\_VDDQ供1.5V，DDRPHY\_VDDQL供1.5V
- DDR3L颗粒时：DDRPHY\_VDDQ供1.35V，DDRPHY\_VDDQL供1.35V
- LPDDR3颗粒时：DDRPHY\_VDDQ供1.2V，DDRPHY\_VDDQL供1.2V（为提高兼容性实际供1.25V）
- DDR4颗粒时：DDRPHY\_VDDQ供1.2V，DDRPHY\_VDDQL供1.2V
- LPDDR4颗粒时：DDRPHY\_VDDQ供1.1V，DDRPHY\_VDDQL供1.1V
- LPDDR4x颗粒时：DDRPHY\_VDDQ供1.1V，**DDRPHY\_VDDQL供0.6V**

供电电路注意点：

- 采用RK809-5电源方案时，务必注意，根据实际使用DRAM颗粒，同步修改RK809-5 FB3 (pin27) 的分压电阻阻值，使得VCC\_DDR输出电压与颗粒相匹配。

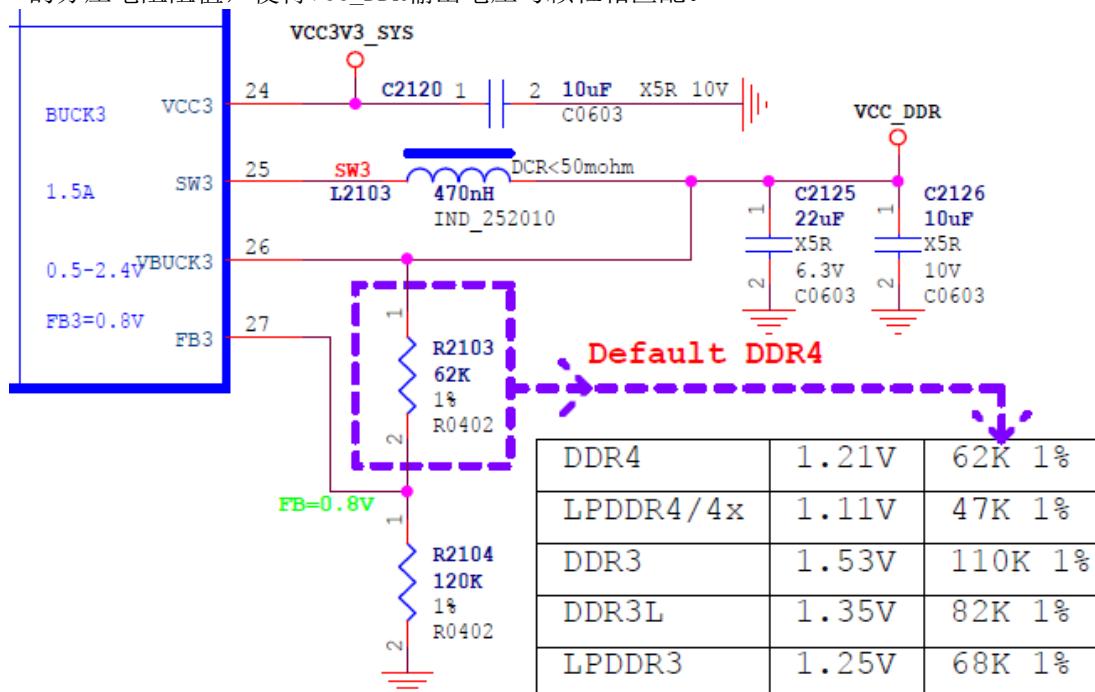


图 2 - 28 RK809-5 BUCK3 FB参数调整

- 采用分立电源方案时，同步修改相应的供电BUCK分压电阻阻值，使得VCC\_DDR输出电压与颗粒相匹配。
- RK3568参考模板里提供了LPDDR4和LPDDR4x兼容设计  
《RK3568\_Template\_LP4XD200P132SD6\_43x28\_1600MHz》，需要注意，必须根据实际物料选择相应的电路，贴LPDDR4颗粒时，只需要贴下图R3804电阻，下图绿框的器件全部不贴；  
贴LPDDR4x颗粒时，R3804不贴，下图绿框的器件全部贴上。

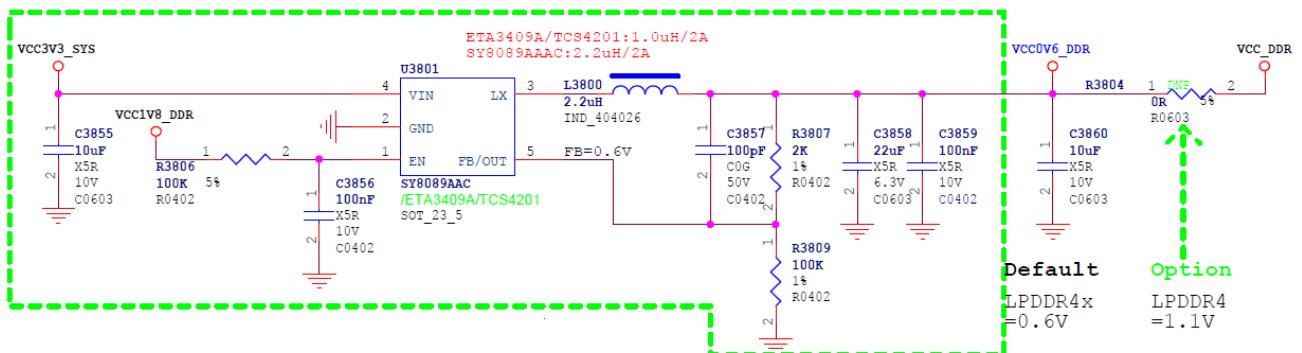


图 2 - 29 LPDDR4/LPDDR4x兼容设计电源选择

各类型的DRAM上电时序要求，请参考各JEDEC标准：

- DDR3/DDR3L SDRAM的上电时序如下图所示：

1. Apply power (RESET# is recommended to be maintained below  $0.2 \times VDD$ ; all other inputs may be undefined). RESET# needs to be maintained for minimum 200 us with stable power. CKE is pulled “Low” anytime before RESET# being de-asserted (min. time 10 ns). The power voltage ramp time between 300 mv to  $VDD_{min}$  must be no greater than 200 ms; and during the ramp,  $VDD > VDDQ$  and  $(VDD - VDDQ) < 0.3$  volts.
  - $VDD$  and  $VDDQ$  are driven from a single power converter output, AND
  - The voltage levels on all pins other than  $VDD$ ,  $VDDQ$ ,  $VSS$ ,  $VSSQ$  must be less than or equal to  $VDDQ$  and  $VDD$  on one side and must be larger than or equal to  $VSSQ$  and  $VSS$  on the other side. In addition,  $VTT$  is limited to 0.95 V max once power ramp is finished, AND
  - $Vref$  tracks  $VDDQ/2$ .

OR

- Apply  $VDD$  without any slope reversal before or at the same time as  $VDDQ$ .
- Apply  $VDDQ$  without any slope reversal before or at the same time as  $VTT$  &  $Vref$ .
- The voltage levels on all pins other than  $VDD$ ,  $VDDQ$ ,  $VSS$ ,  $VSSQ$  must be less than or equal to  $VDDQ$  and  $VDD$  on one side and must be larger than or equal to  $VSSQ$  and  $VSS$  on the other side.

图 2 - 30 DDR3 SDRAM上电时序

- LPDDR3 SDRAM的上电时序如下图所示：

After...	Applicable Conditions
Ta is reached	$V_{DD1}$ must be greater than $V_{DD2}$ —200mV
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDCA}$ —200mV
	$V_{DD1}$ and $V_{DD2}$ must be greater than $V_{DDQ}$ —200mV
	$V_{Ref}$ must always be less than all other supply voltages

图 2 - 31 LPDDR3 SDRAM上电时序

- DDR4 SDRAM的上电时序如下图所示：

1. Apply power (RESET\_n is recommended to be maintained below  $0.2 \times VDD$ ; all other inputs may be undefined). RESET\_n needs to be maintained for minimum 200us with stable power. CKE is pulled “ Low” anytime before RESET\_n being de-asserted (min. time 10ns) . The power voltage ramp time between 300mV to  $V_{DD}$  min must be no greater than 200ms; and during the ramp,  $V_{DD} \geq V_{DDQ}$  and  $(V_{DD} - V_{DDQ}) < 0.3$ volts.  $VPP$  must ramp at the same time or earlier than  $VDD$  and  $VPP$  must be equal to or higher than  $VDD$  at all times.
  - $V_{DD}$  and  $V_{DDQ}$  are driven from a single power converter output, AND
  - The voltage levels on all pins other than  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{SS}$ ,  $V_{SSQ}$  must be less than or equal to  $V_{DDQ}$  and  $V_{DD}$  on one side and must be larger than or equal to  $V_{SSQ}$  and  $V_{SS}$  on the other side. In addition,  $V_{TT}$  is limited to  $TBDV$  max once power ramp is finished, AND
    - $VrefCA$  tracks TBD.
    - or
    - Apply  $V_{DD}$  without any slope reversal before or at the same time as  $V_{DDQ}$
    - Apply  $V_{DDQ}$  without any slope reversal before or at the same time as  $V_{TT}$  &  $VrefCA$ .
    - Apply  $VPP$  without any slope reversal before or at the same time as  $VDD$ .
    - The voltage levels on all pins other than  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{SS}$ ,  $V_{SSQ}$  must be less than or equal to  $V_{DDQ}$  and  $V_{DD}$  on one side and must be larger than or equal to  $V_{SSQ}$  and  $V_{SS}$  on the other side.

图 2 - 32 DDR4 SDRAM上电时序

- LPDDR4/4x SDRAM的上电时序如下图所示：

1. While applying power (after Ta), RESET\_n is recommended to be LOW ( $\leq 0.2 \times V_{DD2}$ ) and all other inputs must be between VILmin and VIHmax. The device outputs remain at High-Z while RESET\_n is held LOW. Power supply voltage ramp requirements are provided in Table 5.  $V_{DD1}$  must ramp at the same time or earlier than  $V_{DD2}$ .  $V_{DD2}$  must ramp at the same time or earlier than  $V_{DDQ}$ .

**Table 5 — Voltage Ramp Conditions**

After	Applicable Conditions
Ta is reached	$V_{DD1}$ must be greater than $V_{DD2}$
	$V_{DD2}$ must be greater than $V_{DDQ} - 200$ mV

NOTE 1 Ta is the point when any power supply first reaches 300 mV.

NOTE 2 Voltage ramp conditions in Table 5 apply between Ta and power-off (controlled or uncontrolled).

NOTE 3 Tb is the point at which all supply and reference voltages are within their defined ranges.

NOTE 4 Power ramp duration tINIT0 (Tb-Ta) must not exceed 20ms.

NOTE 5 The voltage difference between any of  $V_{SS}$  and  $V_{SSQ}$  pins must not exceed 100 mV.

图 2-33 LPDDR4/4x SDRAM上电时序

- 2.1.7.6 DDR支持的型号列表

RK3568 DDR颗粒支持列表请参考瑞芯微电子《Rockchip\_Support\_List\_DDR》文档，该文档可在瑞芯微电子的redmine平台下载：

[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pcim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pcim_aiomsg)

## 2.1.8 eMMC电路

- 2.1.8.1 eMMC控制器介绍

RK3568 eMMC控制器有如下特点：

- 兼容iNAND接口标准
- 兼容4.41, 4.51, 5.0和5.1规范
- 支持1bit, 4bit和8bit三种数据总线宽度
- 支持HS200模式
- 支持CMD Queue

- 2.1.8.2 eMMC电路设计建议

RK3568 eMMC接口和Nand Flash以及FSPI Flash接口复用，在eMMC接口设计时，eMMC信号接法请按参考原理图，包含各路电源去耦电容。

使用eMMC时，引导代码放置在eMMC里，务必注意RK3568 VCCI02电源域的IO驱动电压模式配置和实际供电电压是否匹配，请见 [2.1.5 系统初始化配置信号](#) 单元介绍。

设计时，务必在eMMC\_D0或eMMC\_CLK网络上面预留测试点，以防止开发过程中烧录错误固件，造成无法正常启动，可通过将eMMC\_D0或eMMC\_CLK与地短路，再上电，RK3568进入Maskrom模式，通过PC工具烧录新固件（PC工具识别到Maskrom后，必须释放eMMC\_D0或eMMC\_CLK与地短路，否则烧录会失败）。

正常更新固件，建议不采用这种方式，采用这种方式如果操作不当有可能会造成IO损坏。

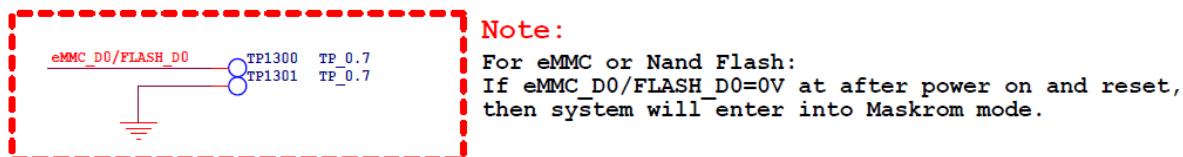


图 2-34 eMMC\_D0测试点

- 2.1.8.3 eMMC拓扑结构与匹配方式设计

- eMMC连接示意图：

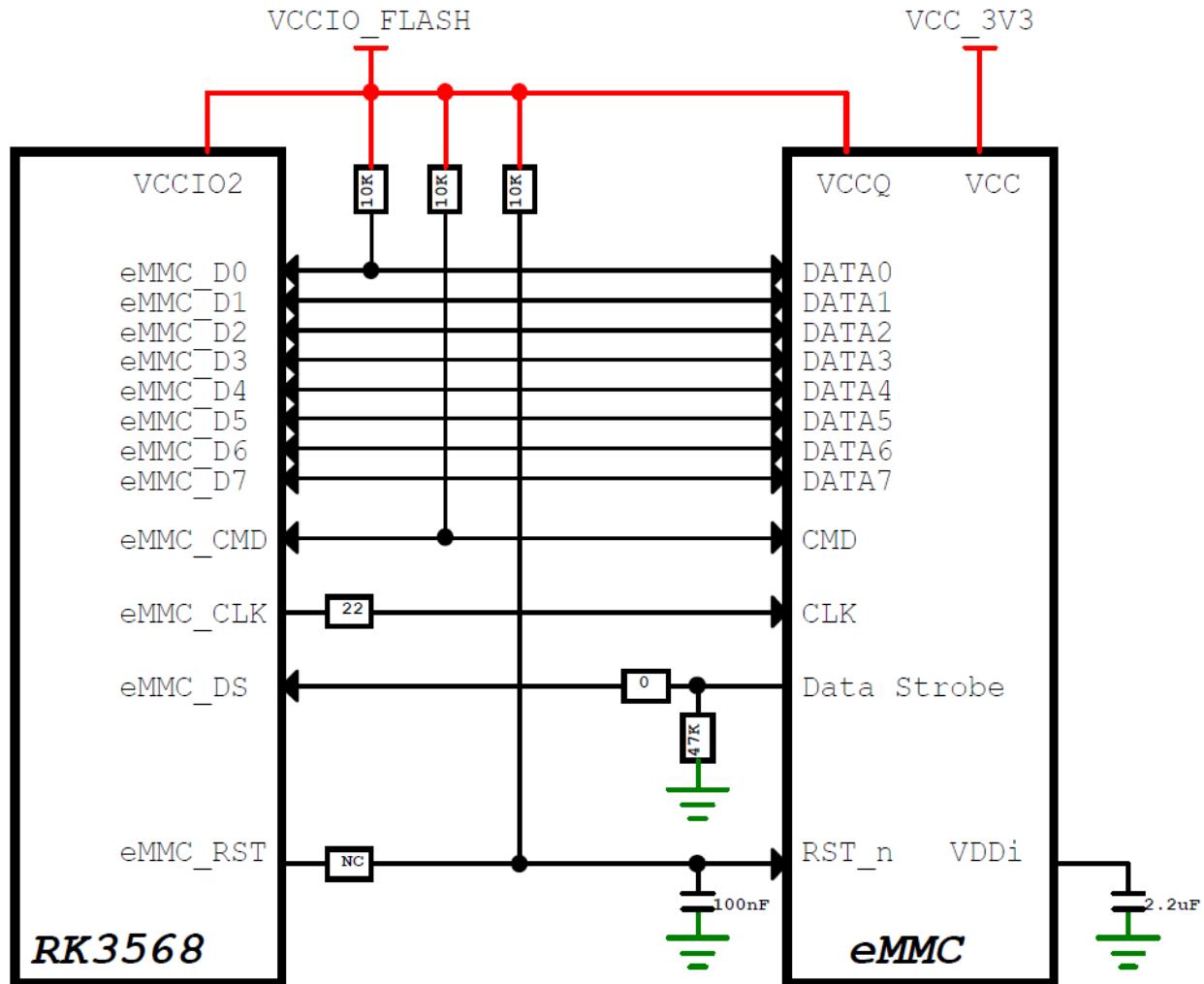


图 2 - 35 eMMC连接示意图

■ eMMC接口上下拉和匹配设计推荐如表2-6所示。

表 2 - 6 RK3568 eMMC接口设计

信号	芯片内部上下拉	连接方式	描述 (芯片端)
eMMC_D[7:0]	上拉	直连, D0外部需要接上拉电阻, 阻值推荐10K ohm, 其它Data使用RK3568芯片内部的上拉电阻	eMMC数据发送/接收
eMMC_CLK	下拉	在RK3568端串联22ohm电阻	eMMC时钟发送
eMMC_CMD	上拉	直连, 外部需要接上拉电阻, 阻值推荐10K ohm	eMMC命令发送/接收
eMMC_DATA_Strobe	下拉	在eMMC端串联0ohm电阻, 并需要预留47K ohm下拉电阻	eMMC数据和命令接收参考Strobe

■ eMMC和Nand Flash做兼容设计时连接示意图:

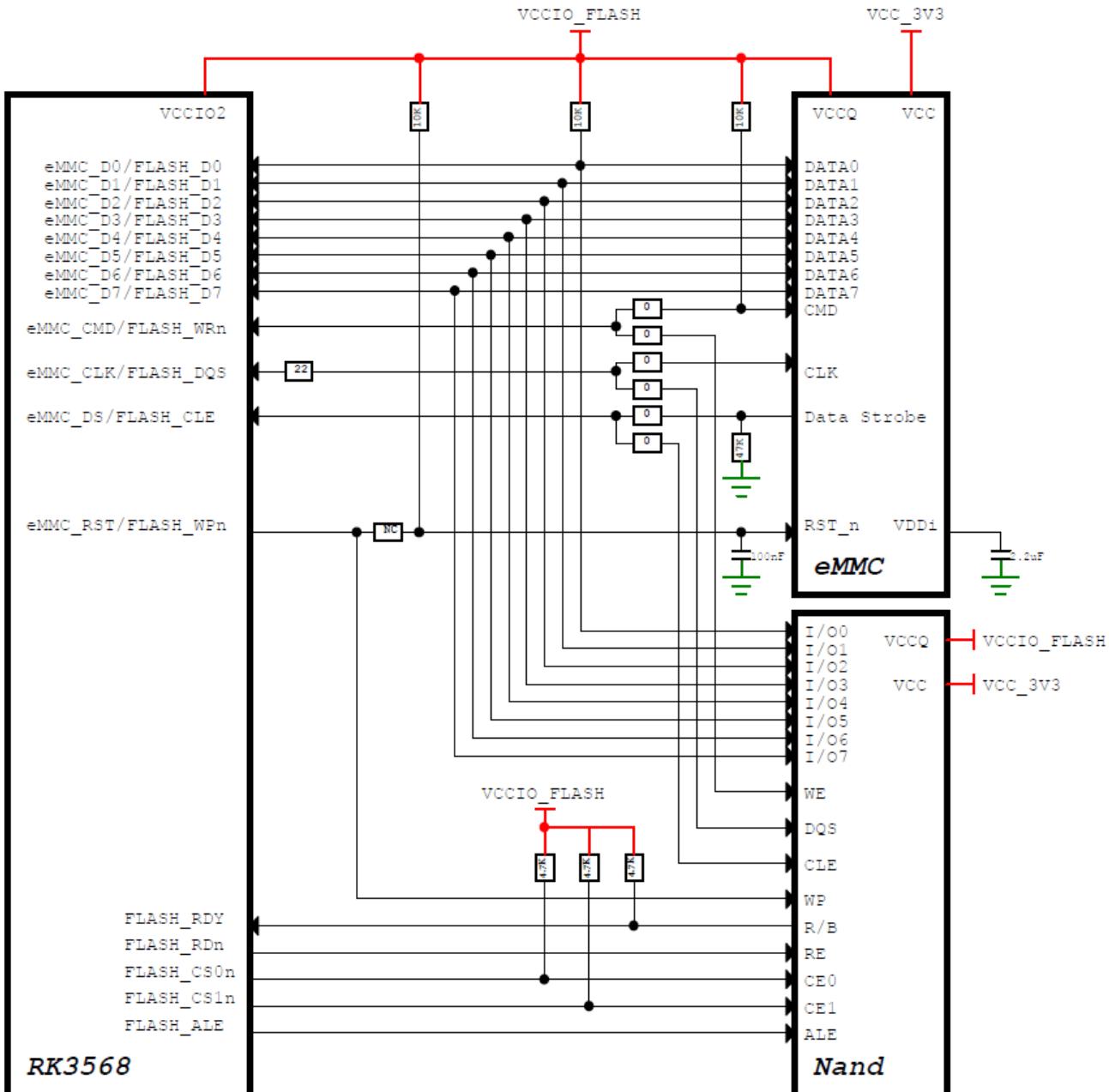


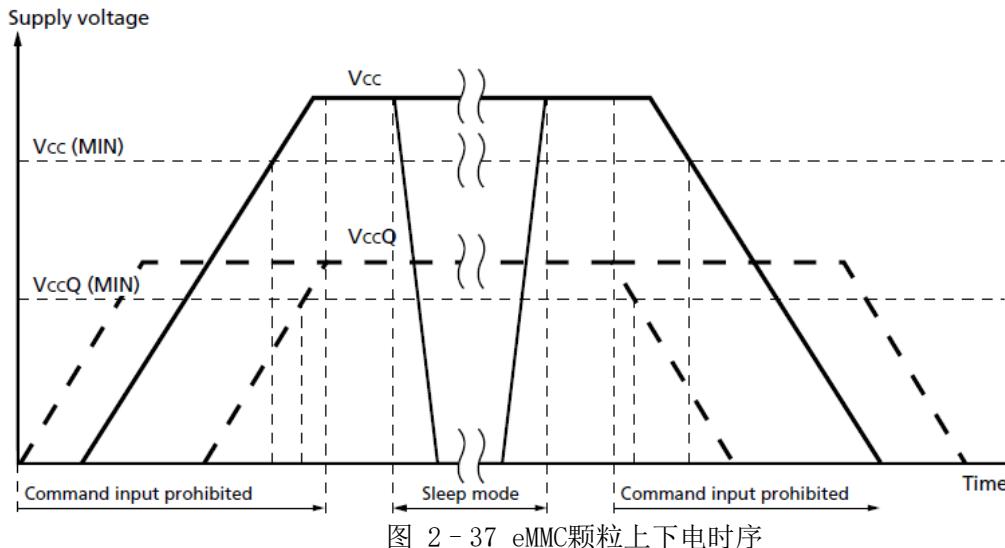
图 2 - 36 eMMC和Nand Flash做兼容设计时连接示意图

兼容设计时，复用的信号走线会存在分支，要保证eMMC信号质量影响降到最小，  
**eMMC\_CMD/FLASH\_WRn**, **eMMC\_CLK/FLASH\_DQS**, **eMMC\_DS/FLASH\_CLE**这三个信号需要在分支点预留串接电  
 阻。比如：贴eMMC颗粒时，分支到eMMC颗粒的0ohm电阻贴片，分支到Nand Flash颗粒的0ohm电阻不贴，  
 把走线的分支影响降到最低，D0-D7可通过PCB Layout把分支影响降到最低（Nand时，D0上拉电阻可以  
 不贴），注意点见下文PCB Layout设计。

#### ● 2.1.8.4 eMMC上电时序要求

RK3568芯片eMMC接口属于VCCI02电源域，只有一组供电，并无时序要求。

eMMC颗粒有两组电源，上电时序请参考JEDEC标准：



- 2.1.8.5 eMMC支持的型号列表

RK3568 eMMC颗粒支持列表请参考瑞芯微电子《RKeMMCSupportList》文档，该文档可在瑞芯微电子的redmine平台上下载：

[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

## 2.1.9 FSPI Flash电路

- 2.1.9.1 FSPI Flash（支持Boot）接口介绍

FSPI是一种灵活的串行接口控制器，RK3568芯片中有1个FSPI控制器，可用来连接FSPI设备。

RK3568 FSPI控制器有如下特点：

- 支持串行NOR Flash，串行Nand Flash
- 支持SDR模式
- 支持一线，二线以及四线模式

- 2.1.9.2 FSPI Flash电路设计建议

RK3568 FSPI Flash接口和Nand Flash以及eMMC接口复用，在FSPI Flash接口设计时，FSPI Flash信号接法请按参考原理图，包含各路电源去耦电容。

使用FSPI Flash时，引导代码放置在FSPI Flash里，务必注意RK3568 VCCI02电源域的IO驱动电压模式配置和实际供电电压是否匹配，请见 [2.1.5 系统初始化配置信号](#) 单元介绍。

设计时，务必在FSPI\_CLK网络上面预留测试点，以防止开发过程中烧录错误固件，造成无法正常启动，可通过将FSPI\_CLK与地短路，再上电，RK3568进入Maskrom模式，通过PC工具烧录新固件（PC工具识别到Maskrom后，必须释放FSPI\_CLK与地短路，否则烧录会失败）。

正常更新固件，建议不采用这种方式，采用这种方式如果操作不当有可能会造成IO损坏。

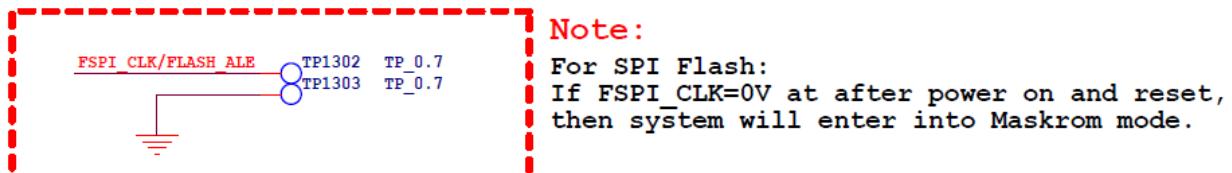


图 2 - 38 FSPI\_CLK测试点

- 2.1.9.3 FSPI Flash拓扑结构与匹配方式设计

- FSPI Flash连接示意图：

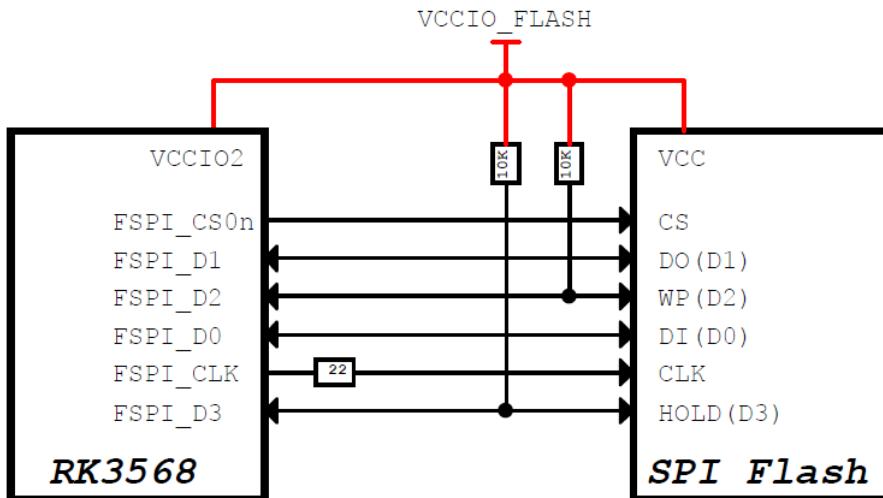


图 2 - 39 FSPI Flash连接示意图

- FSPI接口上下拉和匹配设计推荐如下表所示：

表 2 - 7 RK3568 FSPI接口设计

信号	芯片内部上下拉	连接方式	描述（芯片端）
FSPI_D[3:0]	D2下拉 D0/D1/D3上拉	直连 D2, D3外部需要接上拉电阻, 阻值推荐10K ohm	FSPI数据发送/接收
FSPI0_CLK	下拉	在RK3568端串联22ohm电阻	FSPI时钟发送
FSPI0_CSOn	上拉	直连	FSPI片选信号

- 2.1.9.4 FSPI上电时序要求

RK3568芯片FSPI Flash接口属于VCCI02电源域，只有一组供电，并无时序要求  
SPI Flash只有一路电源，电源必须和VCCI02电源域电源同一个。

- 2.1.9.5 SPI Flash支持的型号列表

RK3568 SPI Flash颗粒支持列表请参考瑞芯微电子《RK SpiNor and SLC Nand SupportList》文档，该文档可在瑞芯微电子的redmine平台下载：  
[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

## 2.1.10 Nand Flash电路

- 2.1.10.1 Nand Flash控制器介绍

RK3568 Nand Flash控制器有如下特点：

- 支持异步Nand Flash接口，8bits数据总线宽度，最多支持2个片选
- 支持ONFI同步Nand Flash接口，8bits数据总线宽度，最多支持2个片选
- 支持Toggle Flash接口，8bits数据总线宽度，最多支持2个片选
- 支持SLC, MLC, TLC Flash
- 支持硬件ECC等

- 2.1.10.2 Nand Flash电路设计建议

RK3568 Nand Flash接口和eMMC以及FSPI Flash接口复用，在Nand Flash接口设计时，Nand Flash信号接法请按参考原理图，包含各路电源去耦电容。

参考图电路兼容不同类型的Nand Flash，请根据实际类型选择外围，当使用DDR mode的Nand Flash

时, Nand Flash的Pin28, 45需要接到VCCIO\_FLASH电源; 部分SLC颗粒的Pin38为保护, 如果贴这类Flash颗粒, Pin38需要悬空处理。

使用Nand Flash时, 引导代码放置在Nand Flash里, 务必注意RK3568 VCCI02电源域的IO驱动电压模式配置和实际供电电压是否匹配, 请见 **2.1.5 系统初始化配置信号** 单元介绍。

设计时, 务必在Flash\_D0网络上面预留测试点, 以防止开发过程中烧录错误固件, 造成无法正常启动, 可通过将Flash\_D0与地短路, 再上电, RK3568进入Maskrom模式, 通过PC工具烧录新固件 (PC工具识别到Maskrom后, 必须释放Flash\_D0与地短路, 否则烧录会失败)。

正常更新固件, 建议不采用这种方式, 采用这种方式如果操作不当有可能会造成IO损坏。

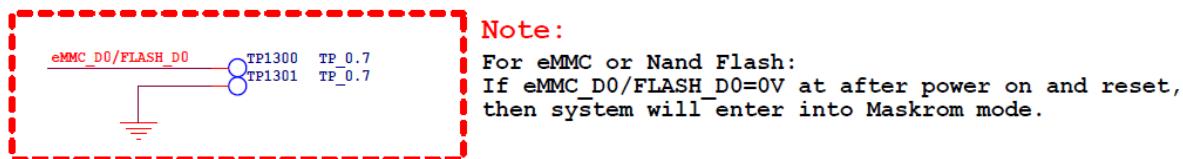


图 2 - 40 Flash\_D0 测试点

### ● 2.1.10.3 Nand Flash拓扑结构与匹配方式设计

■ Nand Flash连接示意图:

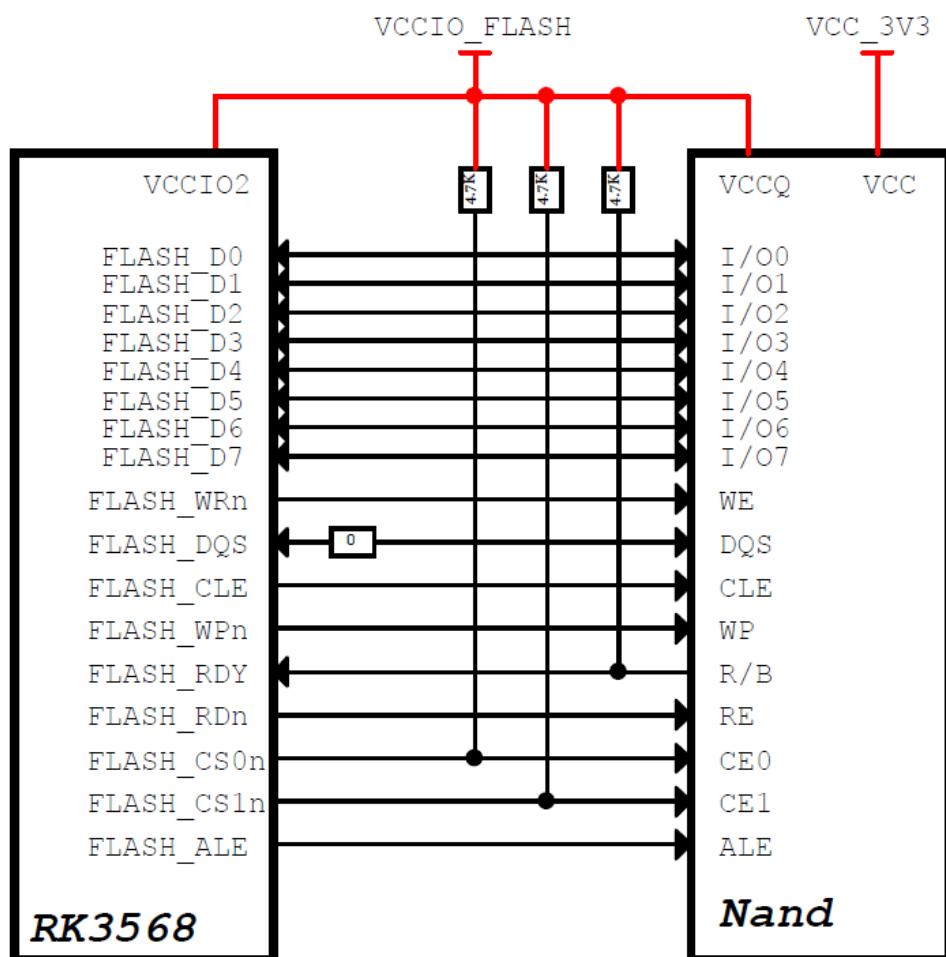


图 2 - 41 Nand Flash连接示意图

■ Nand Flash接口上下拉和匹配设计推荐如下表所示:

表 2 - 8 RK3568 Nand Flash接口设计

信号	芯片内部上下拉	连接方式	描述 (芯片端)
Flash_D[7:0]	上拉	直连	Nand Flash数据发送/接收
Flash_WRn	上拉	直连	Nand Flash写使能
Flash_DQS	下拉	在RK3568端串联22ohm电阻	Nand Flash数据选通

Flash_CLE	下拉	直连	Nand Flash命令锁存使能
Flash_WPn	下拉	直连	Nand Flash写保护
Flash_RDY	上拉	直连, 外部需要接上拉电阻, 阻值推荐4.7K ohm	Nand Flash就绪/忙碌状态
Flash_RDn	上拉	直连	Nand Flash读使能
Flash_CS0n	上拉	直连, 外部需要接上拉电阻, 阻值推荐4.7K ohm	Nand Flash片选0
Flash_CS1n	上拉	直连, 外部需要接上拉电阻, 阻值推荐4.7K ohm	Nand Flash片选1
Flash_ALE	下拉	直连	Nand Flash地址锁存使能

- eMMC和Nand Flash做兼容设计时, 见eMMC电路描述。

#### ● 2.1.10.4 Nand Flash上电时序要求

RK3568芯片Nand Flash接口属于VCCI02电源域, 只有一组供电, 并无时序要求。

- Nand Flash只有一组电源时, 电源必须和VCCI02电源域电源同一个。
- Nand Flash有两组电源, 上电时序请参考JEDEC标准

*Some NAND Flash devices do not support V<sub>CCQ</sub>. For these devices all references to V<sub>CCQ</sub> are replaced with V<sub>CC</sub>.*

SpecTek NAND Flash devices are designed to prevent data corruption during power transitions. V<sub>CC</sub> is internally monitored. (The WP# signal supports additional hardware protection during power transitions. When ramping V<sub>CC</sub> and V<sub>CCQ</sub>, use the following procedure to initialize the device:

1. Ramp V<sub>CC</sub>.
2. Ramp V<sub>CCQ</sub> and V<sub>CCQ</sub> must not exceed V<sub>CC</sub>.
3. The host must wait for R/B# to be valid and HIGH before issuing RESET (FFh) to any target (see Figure 29). The R/B# signal becomes valid when 50μs has elapsed since the beginning the VCC ramp, and 10μs has elapsed since V<sub>CCQ</sub> reaches V<sub>CCQ</sub> (MIN) and V<sub>CC</sub> reaches V<sub>CC</sub> (MIN).
4. If not monitoring R/B#, the host must wait at least 100μs after V<sub>CCQ</sub> reaches V<sub>CCQ</sub> (MIN) and V<sub>CC</sub> reaches V<sub>CC</sub> (MIN). If monitoring R/B#, the host must wait until R/B# is HIGH.
5. If V<sub>CCQ</sub> is in the 1.8V operational range, then the asynchronous interface is active by default for each target. Each LUN draws less than an average of I<sub>ST</sub> measured over intervals of 1ms until the RESET (FFh) command is issued.
6. The RESET (FFh) command must be the first command issued to all targets (CE#s) after the NAND Flash device is powered on. Each target will be busy for t<sub>POR</sub> after a RESET command is issued. LUN0 of each target is selected by default after power-on. The RESET busy time can be monitored by polling R/B# or by using the READ STATUS (70h) command. For multi-LUN configurations the READ STATUS ENHANCED (78h) command should be used to check initialization status of each LUN on the target. The host must not issue an additional RESET (FFh) command during t<sub>POR</sub>.
7. The device is now initialized and ready for normal operation.

At power-down, V<sub>CCQ</sub> must go LOW, either before, or simultaneously with, V<sub>CC</sub> going LOW.

When V<sub>CCQ</sub> = 0V, the host must keep RE\_t/RE\_c, DQS\_t/DQS\_c signals LOW. RE\_t/RE\_c, DQS\_t/DQS\_c signals maybe ramped with V<sub>CCQ</sub> during power up but not exceed V<sub>CCQ</sub>. When V<sub>CCQ</sub> = 0V, the host must keep DQ[7:0] signals LOW or they can be left High-Z. DQ[7:0] signals may be ramped with V<sub>CCQ</sub> during power up but not exceed V<sub>CCQ</sub>.

It is not permitted to drive or have the NAND R/B# signal HIGH while the NAND V<sub>CCQ</sub> voltage is below V<sub>CCQ,min</sub>. R/B# signals maybe ramped with V<sub>CCQ</sub> during power up but not exceed V<sub>CCQ</sub>.

图 2 - 42 Nand Flash上下电时序

#### ● 2.1.10.5 Nand Flash支持的型号列表

RK3568 Nand Flash颗粒支持列表请参考瑞芯微电子《RK Nand Flash SupportList》文档, 该文档可在瑞芯微电子的redmine平台上下载:

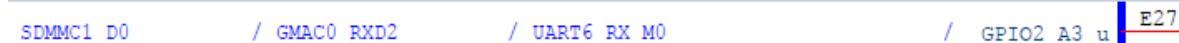
[https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s\\_pctim\\_aiomsg](https://redmine.rockchip.com.cn/projects/fae/documents?tdsourcetag=s_pctim_aiomsg)

## 2.1.11 GPIO电路

在RK3568中，有只支持1.8V，只支持3.3V和支持1.8V/3.3V两种电压可配置共三种类型GPIO

### ● 2.1.11.1 GPIO Pin名说明

比如下图功能SDMMC1\_D0、功能GMAC0\_RXD2和功能UART6\_RX\_M0复用在GPIO2\_A3上面，分配时只能选择其中一个功能使用



- 除了引导相关的GPIO，剩下I0复位默认为输入
- GPIOx\_xx\_u其中\_u表示这个I0复位默认状态为内部上拉
- GPIOx\_xx\_d其中\_d表示这个I0复位默认状态为内部下拉
- GPIOx\_xx\_z其中\_z表示这个I0复位默认状态为高阻
- **各功能name后缀有加\_M0或M1或\_M2代表同一个功能复用到不同I0上，同时只能选择其中一个，比如选择UART2功能时，必须选择UART2\_TX\_M0和UART2\_RX\_M0组合，不支持UART2\_TX\_M0和UART2\_RX\_M1组合，对所有功能有不同IOMUX的都是这样的约束。**

### ● 2.1.11.2 GPIO驱动能力

RK3568中，GPIO提供多档驱动强度可调，分别是大部分Level 0-5以及部分GPIO可以实现Level 0-11的调节档位，具体请参考《RK3568\_PinOut》文档。另外根据GPIO的类型不同，初始默认驱动强度也不同，请参考芯片TRM进行配置修改，也可以参考《RK3568\_PinOut》文档中表5中的

“SupportDriveStrength”和“DefaultIO DriveStrength”列。

### ● 2.1.11.3 GPIO电源

GPIO电源域的电源脚描述如下：

表 2-9 RK3568 GPIO电源脚描述

电源域	GPIO类型	管脚名	描述
PMUI00	1.8V	PMUPLL_AVDD_1V8	1.8V Only IO supply for this GPIO domain (group).
PMUI01	3.3V	PMUI01	3.3V Only IO supply for this GPIO domain (group).
PMUI02	1.8V/3.3V	PMUI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI01	1.8V/3.3V	VCCI01	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI02	1.8V/3.3V	VCCI02	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI03	1.8V/3.3V	VCCI03	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI04	1.8V/3.3V	VCCI04	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI05	1.8V/3.3V	VCCI05	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI06	1.8V/3.3V	VCCI06	1.8V or 3.3V IO supply for this GPIO domain (group).
VCCI07	1.8V/3.3V	VCCI07	1.8V or 3.3V IO supply for this GPIO domain (group).

其中PMUI00、PMUI01为固定电平电源域，不可进行配置；

**PMUI02和VCCI01, VCCI0[3:7]电源域均要求硬件供电电压与软件的配置相匹配：**

- 当硬件I0电平接1.8V，软件电压配置也要相应配成1.8V；
- 当硬件I0电平接3.3V，软件电压配置也要相应配成3.3V；

**VCCI02电源域软件不需要配置，但是其硬件供电电压与FLASH\_VOL\_SEL状态必须相匹配：**

- 当VCCI02供电是1.8V，则FLASH\_VOL\_SEL管脚必须保持为高电平；
- 当VCCI02供电是3.3V，则FLASH\_VOL\_SEL管脚必须保持为低电平；

**否则，将存在以下风险：**

- 软件配置为1.8V，硬件供电3.3V，会使得I0处于过压状态，长期工作I0会损坏；
- 软件配置为3.3V，硬件供电1.8V，I0功能会异常。

举例默认dts配置如下：

```
&pmu_io_domains {
    status = "okay";
    pmui02-supply = <&vcc_3v3>;
    vcci01-supply = <&vcc_3v3>;
```

```
vccio3-supply = <&vcc_3v3>;  
vccio4-supply = <&vcc_1v8>;  
vccio5-supply = <&vcc_3v3>;  
vccio6-supply = <&vcc_3v3>;  
vccio7-supply = <&vcc_3v3>;  
};
```

如果实际VCCI04供电为3.3V，那么dts需要更新为：

```
&pmu_io_domains {  
    status = "okay";  
    pmuio2-supply = <&vcc_3v3>;  
    vcciol-supply = <&vcc_3v3>;  
    vccio3-supply = <&vcc_3v3>;  
    vccio4-supply = <&vcc_3v3>;  
    vccio5-supply = <&vcc_3v3>;  
    vccio6-supply = <&vcc_3v3>;  
    vccio7-supply = <&vcc_3v3>;  
};
```

其它电源域有变动，必须相应更新匹配。

**我司各类文档均已强调此注意项，请客户软硬件人员重新审核各自项目电压配置的正确性！**

参考文档：

- 1) DTS配置说明文档：<https://redmine.rock-chips.com/documents/106>
- 2) Checklist: Rockchip\_RK3568\_IO Power Domain Description and Checklist\_V1.0\_CN.xlsx

另外还要注意电源域的IO电平要与对接外设芯片/器件的IO电平保持一致。

各电源域的供电管脚需就近放置至少1个100nF去耦电容，详细设计见参考原理图，不得随意删除。

如果一个电源域里的所有IO都不使用，那么这个电源域的供电电源可以不供电，该脚悬空即可。

## 2. 2 电源设计

### 2. 2. 1 RK3568电源介绍

- 2. 2. 1. 1 RK3568芯片电源需求

表 2 - 10 RK3568芯片电源需求表

模块	电源管脚	描述
PMUPLL	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	PMU PLL电源
SYSPLL	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	系统PLL电源
CPU	VDD_CPU	ARM电源
GPU	VDD_GPU	GPU电源
NPU	VDD_NPU	NPU电源
Logic	VDD_LOGIC	SOC逻辑电源
PMU Logic	PMU_VDD_LOGIC_0V9	PMU逻辑电源
DDR	DDRPHY_VDDQ、 DDRPHY_VDDQL	DDR PHY电源
GPIO	PMUIO0、PMUIO1、PMUIO2、VCCI01、 VCCI02、VCCI03、VCCI04、VCCI05、 VCCI06、VCCI07	IO Domain电源
SARADC	SARADC_AVDD_1V8	SAR ADC电源
OTP	OTP_VCC18	OTP电源
USB2. 0 PHY	USB3_AVDD_0V9、USB3_AVDD_1V8、 USB3_AVDD_3V3	USB2. 0 PHY电源（控制器 使用USB3. 0，和MULTI PHY0/1的SS信号组合成 一个完整的USB3. 0接口， 故取名为USB3开头）
USB2. 0 PHY	USB2_AVDD_0V9、USB2_AVDD_1V8、 USB2_AVDD_3V3	USB2. 0 PHY电源
MULTI_PHY	MULTI_PHY_AVDD_0V9、 MULTI_PHY_AVDD_1V8	MULTI_PHY电源
PCIe3. 0 PHY	PCIE30_AVDD_0V9、 PCIE30_AVDD_1V8	PCIe3. 0 PHY电源
MIPI CSI RX PHY	MIPI_CSI_RX_AVDD_0V9、 MIPI_CSI_RX_AVDD_1V8	MIPI CIS RX PHY电源
MIPI DSI TX0/LVDS TX Combo PHY	MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9、 MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8	MIPI DSI TX0/LVDS TX Combo PHY电源
MIPI DSI TX1 PHY	MIPI_DSI_TX1_AVDD_0V9、	MIPI DSI TX1 PHY电源

	MIPI_DSI_RX1_AVDD_1V8	
eDP TX PHY	eDP_TX_AVDD_0V9、 eDP_TX_AVDD_1V8	eDP TX PHY电源
HDMI2.0 TX PHY	HDMI_TX_AVDD_0V9、 HDMI_TX_AVDD_1V8	HDMI2.0 TX PHY电源

### ● 2.2.1.2 RK3568芯片上电时序要求

理论上遵循同一模块低压先上、高压后上；相同模块相同电压一起上电原则，不同模块间无时序要求，待最后一个电压上电稳定后，RESETn至少保证10mS才能释放。

- 数字电源推荐上电时序如下：  
PMU\_VDD\_LOGIC\_0V9 → VDD\_LOGIC → VDD\_CPU/VDD\_GPU/VDD\_NPU
- SARADC推荐上电时序如下：  
VDD\_LOGIC → SARADC\_AVDD\_1V8
- OTP推荐上电时序如下：  
VDD\_LOGIC → OTP\_VCC18
- USB PHY推荐上电时序如下：  
USB3\_AVDD\_0V9 → USB3\_AVDD\_1V8 → USB3\_AVDD\_3V3  
USB2\_AVDD\_0V9 → USB2\_AVDD\_1V8 → USB2\_AVDD\_3V3
- MIPI CSI RX PHY推荐上电时序如下：  
MIPI\_CSI\_RX\_AVDD\_0V9 → MIPI\_CSI\_RX\_AVDD\_1V8
- MIPI DSI TX0/LVDS Combo PHY推荐上电时序如下：  
MIPI\_DSI\_TX0\_LVDS\_TX0\_AVDD\_0V9 → MIPI\_DSI\_TX0\_LVDS\_TX0\_AVDD\_1V8
- 其它模块上电时序没限制

按照参考原理图分配的电源网络名，总体推荐上电时序如下：

VDDAOV9\_PMU、VDDA\_0V9、VDD\_LOGIC → VCCA1V8\_PMU、VCCA\_1V8、VDD\_GPU、VCC3V3\_PMU、VCC\_1V8  
→ VDD\_CPU、VCC2V5\_DDR → VCC\_DDR → VCC\_3V3、VCCIO\_SD、VCC3V3\_SD → RESETn  
间隔时间>=0uS

### ● 2.2.1.3 RK3568芯片下电时序要求

下电过程，RESETn须先拉低动作，然后各路电源随着下电。

## 2.2.2 电源设计建议

### ● 2.2.2.1 上电和待机电路方案

- RK3568第一次上电各模块供电情况如下表：

表 2 - 11 RK3568第一次上电各模块供电要求表

模块	电源管脚	第一次上电供电要求
PMUPLL	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	必须供电
SYSPLL	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	必须供电
CPU	VDD_CPU	必须供电
GPU	VDD_GPU	可以不供电
NPU	VDD_NPU	可以不供电
Logic	VDD_LOGIC	必须供电
PMU Logic	PMU_VDD_LOGIC_0V9	必须供电

DDR	DDRPHY_VDDQ、 DDRPHY_VDDQL	必须供电
GPIO	PMUI00、PMUI01、PMUI02	必须供电
GPIO	VCCI02	必须供电
GPIO	VCCI03	必须供电
GPIO	VCCI01、VCCI04、VCCI05、VCCI06、VCCI07	可以不供电
SARADC	SARADC_AVDD_1V8	必须供电
OTP	OTP_VCC18	必须供电
USB2.0 PHY	USB3_AVDD_0V9、USB3_AVDD_1V8、 USB3_AVDD_3V3、	必须供电
USB2.0 PHY	USB2_AVDD_0V9、USB2_AVDD_1V8、 USB2_AVDD_3V3	可以不供电
MULTI_PHY	MULTI_PHY_AVDD_0V9、 MULTI_PHY_AVDD_1V8	可以不供电
PCIe3.0 PHY	PCIE30_AVDD_0V9、 PCIE30_AVDD_1V8	可以不供电
MIPI CSI RX PHY	MIPI_CSI_RX_AVDD_0V9、 MIPI_CSI_RX_AVDD_1V8	可以不供电
MIPI DSI TX0/LVDS Combo PHY	MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9、 MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8	可以不供电
MIPI DSI TX1 PHY	MIPI_DSI_TX1_AVDD_0V9、 MIPI_DSI_TX1_AVDD_1V8	可以不供电
eDP TX PHY	eDP_TX_AVDD_0V9、 eDP_TX_AVDD_1V8	可以不供电
HDMI2.0 TX PHY	HDMI_TX_AVDD_0V9、 HDMI_TX_AVDD_1V8	可以不供电

**注意：如果不使用的模块不供电，那么需要软件对DTS中对应的节点进行disable配置，否则可能会引起内核初始化卡死现象。**

- RK3568芯片可支持低功耗待机方案，进入待机模式时，供电和断电情况如下表：

表 2 - 12 RK3568待机电源供电要求表

模块	电源管脚	低功耗待机供电要求
PMUPLL	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	必须保留供电
SYSPLL	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	可支持断电
CPU	VDD_CPU	可支持断电
GPU	VDD_GPU	可支持断电
NPU	VDD_NPU	可支持断电

Logic	VDD_LOGIC	可支持断电
PMU Logic	PMU_VDD_LOGIC_0V9	必须保留供电
DDR	DDRPHY_VDDQ、 DDRPHY_VDDQL	必须保留供电
GPIO	PMUI00、PMUI01、PMUI02	必须保留供电
GPIO	VCCI02	可支持断电
GPIO	VCCI03	可支持断电
GPIO	VCCI01、VCCI04、VCCI05、VCCI06、VCCI07	可支持断电
SARADC	SARADC_AVDD_1V8	可支持断电
OTP	OTP_VCC18	可支持断电
USB2.0 PHY	USB3_AVDD_0V9、USB3_AVDD_1V8、 USB3_AVDD_3V3、	可支持断电
USB2.0 PHY	USB2_AVDD_0V9、USB2_AVDD_1V8、 USB2_AVDD_3V3	可支持断电
MULTI_PHY	MULTI_PHY_AVDD_0V9、 MULTI_PHY_AVDD_1V8	可支持断电
PCIe3.0 PHY	PCIE30_AVDD_0V9、 PCIE30_AVDD_1V8	可支持断电
MIPI CSI RX PHY	MIPI_CSI_RX_AVDD_0V9、 MIPI_CSI_RX_AVDD_1V8	可支持断电
MIPI DSI TX0/LVDS Combo PHY	MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9、 MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8	可支持断电
MIPI DSI TX1 PHY	MIPI_DSI_TX1_AVDD_0V9、 MIPI_DSI_TX1_AVDD_1V8	可支持断电
eDP TX PHY	eDP_TX_AVDD_0V9、 eDP_TX_AVDD_1V8	可支持断电
HDMI2.0 TX PHY	HDMI_TX_AVDD_0V9、 HDMI_TX_AVDD_1V8	可支持断电

这个待机方案，只能支持PMUI00、PMUI01和PMUI02的IO中断唤醒。

在待机状态下至少应保留如下四组电源不关断（参考原理图电源网络名）：

- VCC\_DDR/ VCC0V6\_DDR：为DDR自刷新提供电源（DDR4:2.5V电源也需供电，LPDDR3/LPDDR4/LPDDR4x: 1.8V电源也需供电）；
- VDDAOV9\_PMU：为PMUI00 & PMUI01 & PMUI02电源域的逻辑提供电源；也为PMUPLL以及芯片OSC工作提供电源；
- VCCA1V8\_PMU：为PMUPLL工作提供电源；为PMUI00电域维持输出状态及中断响应提供IO电源；
- VCC3V3\_PMU：为PMUI01 & PMUI02电源域维持输出状态及中断响应提供IO电源；

待机下，要支持USB HID设备唤醒，那么需要USB PHY电源不能断电，必须保留供电；要支持VCCI01、VCCI02、VCCI03、VCCI04、VCCI05、VCCI06、VCCI07里的IO中断唤醒，那么需要VDD\_LOGIC和VCCI01、VCCI02、VCCI03、VCCI04、VCCI05、VCCI06、VCCI07电源不能断电，必须保留供电。

- 2.2.2.2 PLL电源

RK3568芯片PLL分布两部分，分配如下：

表 2 - 13 RK3568 内部PLL介绍

	电源	待机状态
PMU单元内	PMUPLL_AVDD_0V9、PMUPLL_AVDD_1V8	不可关断电源
芯片内各模块	SYSPLL_AVDD_0V9、SYSPLL_AVDD_1V8	可关断电源

- PMUPLL\_AVDD\_0V9：峰值电流10mA
- PMUPLL\_AVDD\_1V8：峰值电流9mA
- SYSPLL\_AVDD\_0V9：峰值电流30mA
- SYSPLL\_AVDD\_1V8：峰值电流18mA

电源上建议使用LDO供电，PSRR@1KHz要大于65dB，200mA以上供电能力，

0.9V AC requirement: <20mV；

1.8V AC requirement: <50mV

稳定的PLL电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

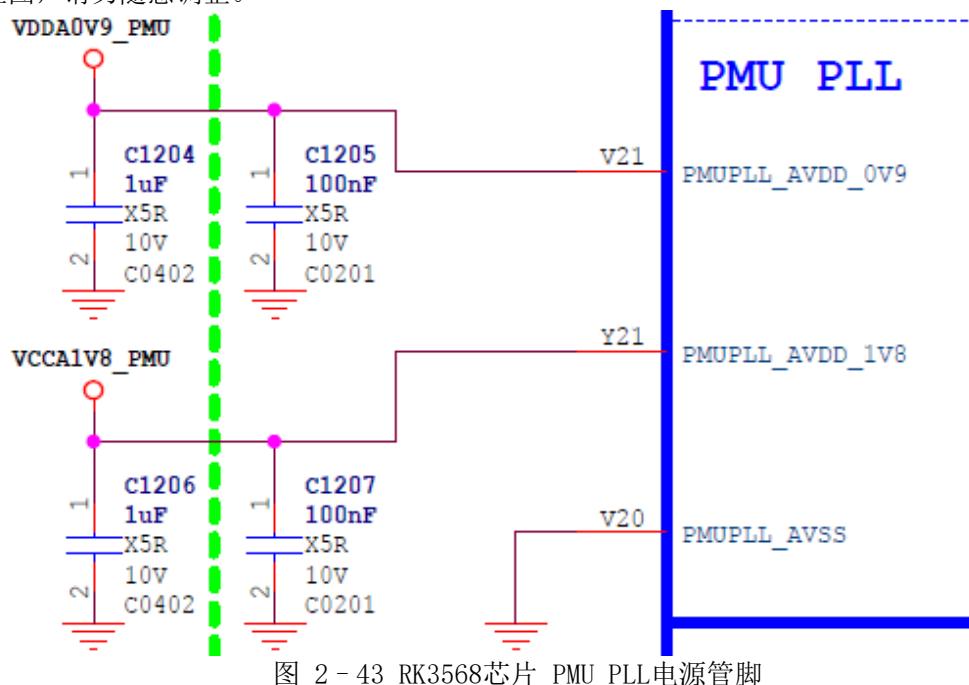


图 2 - 43 RK3568芯片 PMU PLL电源管脚

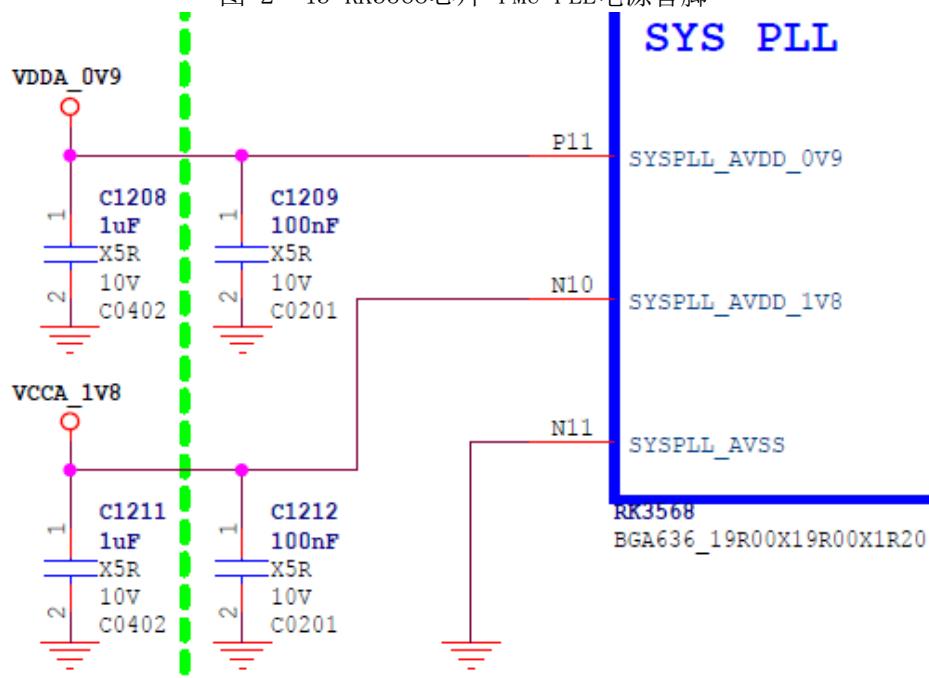


图 2 - 44 RK3568芯片 SYS PLL电源管脚

### ● 2.2.2.3 PMU LOGIC电源

RK3568的PMU\_VDD\_LOGIC\_0V9电源给内部PMU单元的LOGIC供电，峰值电流50mA，请勿删减RK3568芯片参考设计原理图中的去耦电容。

可使用DC/DC或LDO供电，从成本上考虑，可以和PMUPLL\_AVDD\_0V9合并供电。

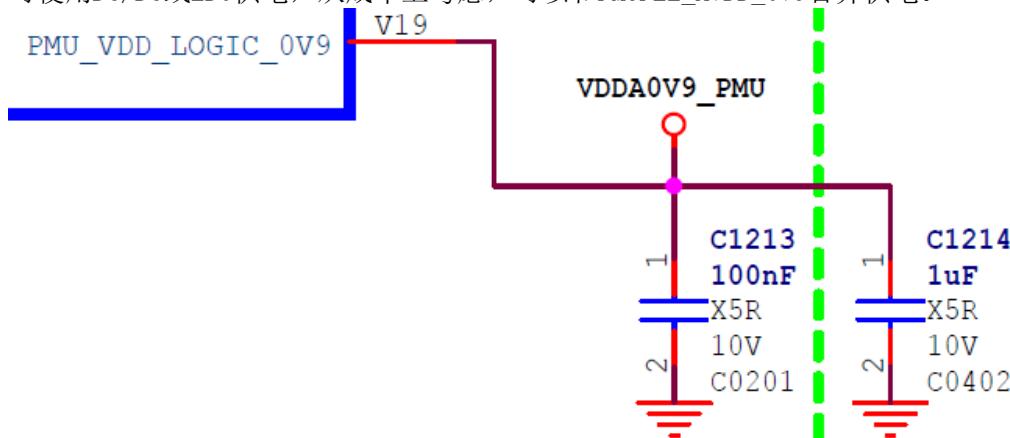


图 2-45 RK3568芯片 PMU\_VDD\_LOGIC\_0V9电源管脚

### ● 2.2.2.4 CPU电源

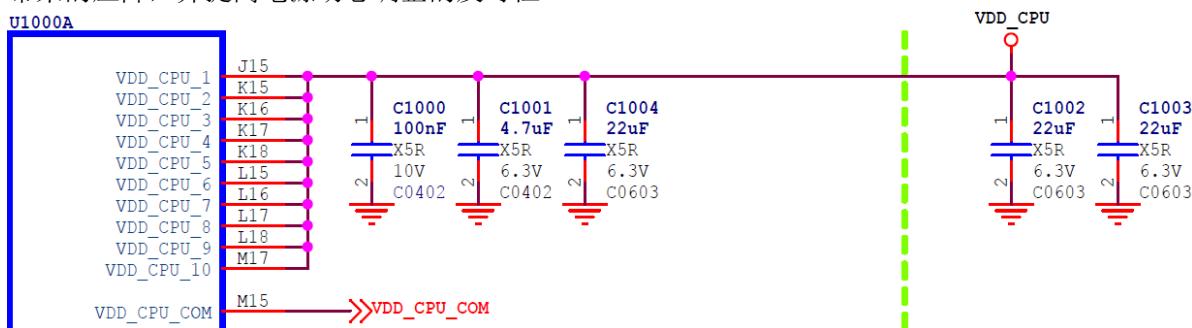
RK3568的VDD\_CPU电源给内部的ARM Cortex-A55 core供电，采用DC/DC电源独立供电，支持动态调频调压功能。峰值电流可达3A以上，请勿删减RK3568芯片参考设计原理图中的去耦电容。

对DC/DC BUCK的主要要求如下：

- 输出电流大于等于4A
- 输出电压精度要求在±1.5%
- BUCK瞬态响应要求： $I_{load} = \text{BUCK Max current} * 10\% \sim \text{BUCK Max current} * 80\%$  跳变，斜率1A/us，纹波要求±3%以内。
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout时将下图的C1000, C1001, C1004电容放置在RK3568芯片背面，C1002, C1003尽量靠近RK3568，VDD\_CPU电源总电容容量需大于135uF（建议再预留1-2个22uF电容，默认可以不贴），以保证电源纹波在80mV以内，避免大负载情况下引起电源纹波偏大。

VDD\_CPU\_COM信号为VDD\_CPU电源反馈脚，需连接至供电DC/DC电源的FB端，可有效改善因PCB走线带来的压降，并提高电源动态调整的及时性。



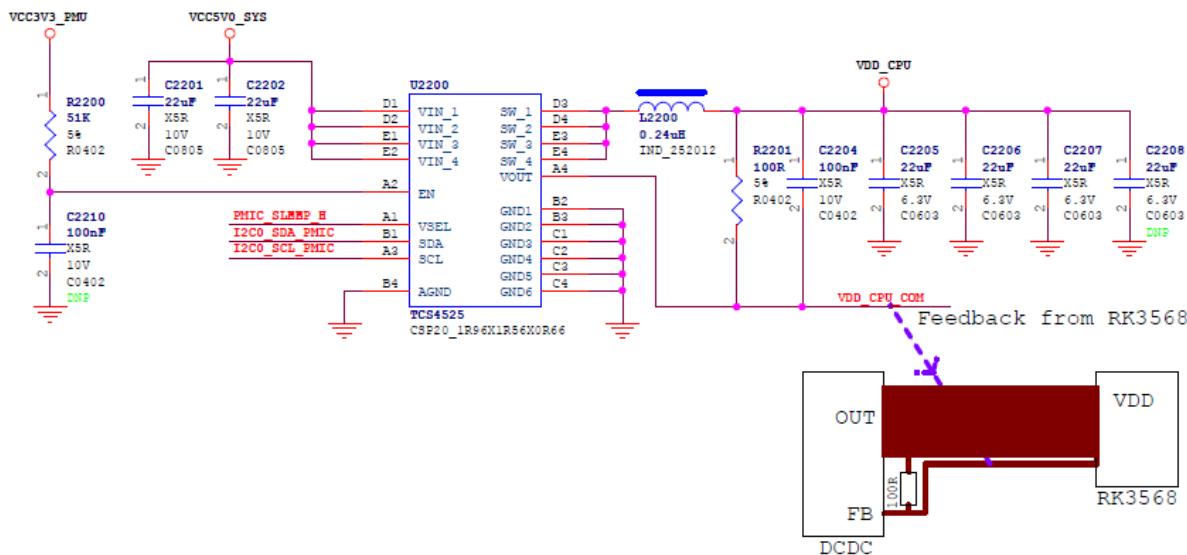


图 2-46 RK3568芯片 VDD\_CPU电源管脚及供电DC/DC

### ● 2.2.2.5 GPU电源

RK3568的VDD\_GPU电源给内部的GPU单元供电，采用DC/DC电源供电，支持动态调频调压功能，峰值电流可达1.2A，请勿删减RK3568芯片参考设计原理图中的去耦电容。

对DC/DC BUCK的主要要求如下：

- 输出电流大于等于2A
- 输出电压精度要求在±1.5%
- BUCK瞬态响应要求： $I_{load}=BUCK\ Max\ current*10\% \sim BUCK\ Max\ current*80\%$  跳变，斜率1A/us，纹波要求±3%以内。
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout时将下图的C1012, C1013, C1014电容放置在RK3568芯片背面，C1015, C1016尽量靠近RK3568，VDD\_GPU电源总电容容量需大于90uF，以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。

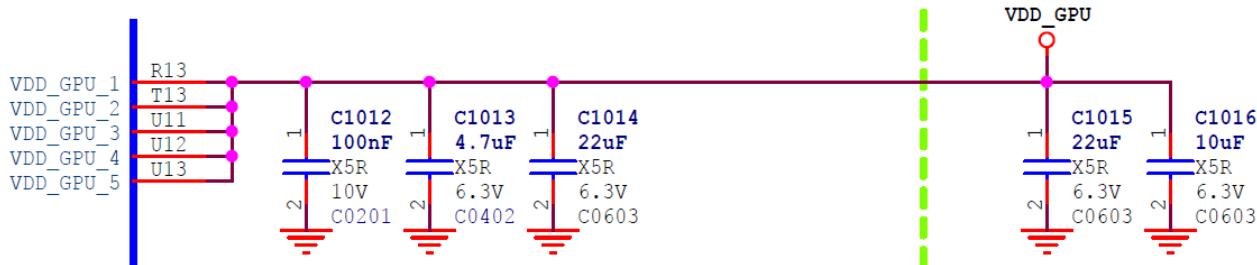


图 2-47 RK3568芯片 VDD\_GPU电源管脚

### ● 2.2.2.6 NPU电源

RK3568的VDD\_NPU电源给内部的NPU单元供电，采用DC/DC电源供电，支持动态调频调压功能。峰值电流可达1A以上，请勿删减RK3568芯片参考设计原理图中的去耦电容。

对DC/DC BUCK的主要要求如下：

- 输出电流大于等于2A
- 输出电压精度要求在±1.5%
- BUCK瞬态响应要求： $I_{load}=BUCK\ Max\ current*10\% \sim BUCK\ Max\ current*80\%$  跳变，斜率1A/us，纹波要求±3%以内。
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout时将下图的C1017, C1018电容放置在RK3568芯片背面，C1019, C1020尽量靠近RK3568，VDD\_NPU电源总电容容量需大于90uF，以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。



图 2 - 48 RK3568芯片 VDD\_NPU电源管脚

### ● 2.2.2.7 Logic电源

RK3568的VDD\_LOGIC电源给内部的逻辑单元供电，采用DC/DC电源独立供电，可支持动态调频调压功能，默认固定电压供电。峰值电流可达1A以上，请勿删减RK3568芯片参考设计原理图中的去耦电容。

对DC/DC BUCK的主要要求如下：

- 输出电流大于等于2A
- 输出电压精度要求在±1.5%
- BUCK瞬态响应要求： $I_{load} = \text{BUCK Max电流} * 10\% \sim \text{BUCK Max电流} * 80\%$  跳变，斜率1A/us，纹波要求±3%以内。
- 如果对整机功耗敏感的，还需要考虑一下效率问题。

Layout时将下图的C1005, C1006, C1007, C1008, C1009电容放置在RK3568芯片背面，C1010, C1011尽量靠近RK3568，VDD\_LOGIC电源总电容容量需大于90uF，以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。

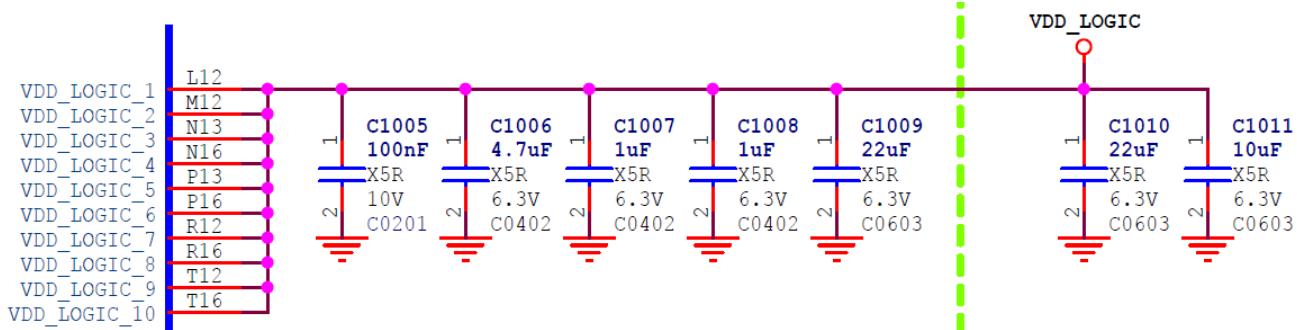


图 2 - 49 RK3568芯片 VDD\_LOGIC电源管脚

### ● 2.2.2.8 DDR电源

RK3568芯片的DDR PHY接口支持DDR3/DDR3L/DDR4/LPDDR4/LPDDR4x电平标准，RK3568 DDR PHY有两组供电电源，DDRPHY\_VDDQ和DDRPHY\_VDDQL，供电介绍请参见 [2.1.7.5 DDR电源设计和上电时序要求](#)。产品设计时请根据颗粒使用情况，确认符合设计要求。

同样，采用DC/DC电源供电；使用不同颗粒峰值电流不同，请根据实际颗粒选择，评估峰值电流，单颗LPDDR3或单颗LPDDR4或单颗LPDDR4x或两颗16bit DDR3/3L或两颗16bit DDR4时，可选用1A DC/DC即可；2颗以上的DDR3或DDR4，建议选用2A以上 DC/DC，另外请勿删减RK3568芯片参考设计原理图中的去耦电容。

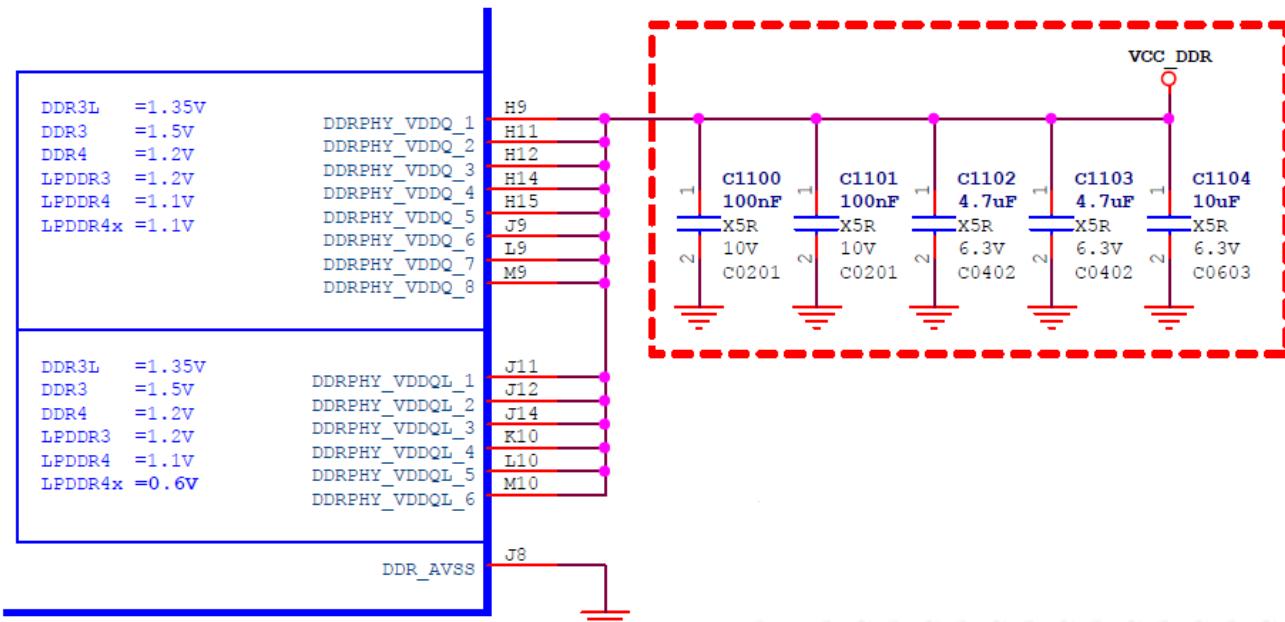


图 2-50 RK3568芯片 在DDR3/DDR3L/DDR4/LPDDR3/LPDDR4模式下的VCC\_DDR电源管脚

Layout时将上图的C1100,C1101,C1102,C1103,C1104电容放置在RK3568芯片背面，以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。

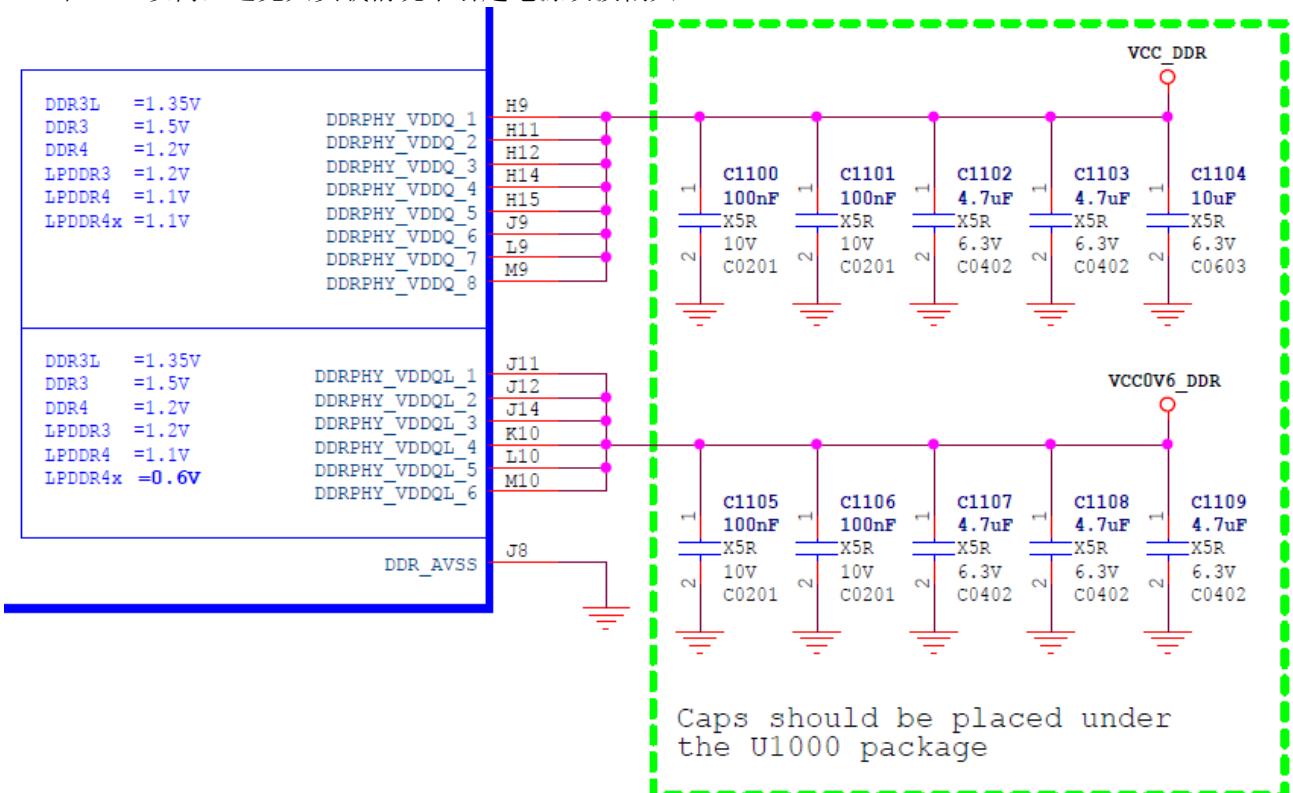


图 2-51 RK3568芯片 在LPDDR4x模式下的VCC\_DDR和VCC0V6\_DDR电源管脚

Layout时将上图的C1100,C1101,C1102,C1103,C1104,C1105,C1106,C1107,C1108,C1109电容放置在RK3568芯片背面，以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。

### ● 2.2.2.9 USB2.0 PHY电源

RK3568有4个USB2.0接口，其中USB3\_OTG0\_DP/M, USB3\_HOST1\_DP/M和MULTI\_PHY0, MULTI\_PHY1可组成USB3.0接口，具体接法请见 [2.3.4 USB2.0/USB3.0电路](#) 单元介绍。

USB3\_AVDD\_0V9, USB3\_AVDD\_1V8, USB3\_AVDD\_3V3电源是给USB3\_OTG0\_DP/M和USB3\_HOST1\_DP/M PHY供电，请勿删减RK3568芯片参考设计原理图中的磁珠和去耦电容。

USB2\_AVDD\_0V9, USB2\_AVDD\_1V8, USB2\_AVDD\_3V3电源是给USB2\_HOST2\_DP/M和USB2\_HOST3\_DP/M PHY供电，请勿删减RK3568芯片参考设计原理图中的磁珠和去耦电容。

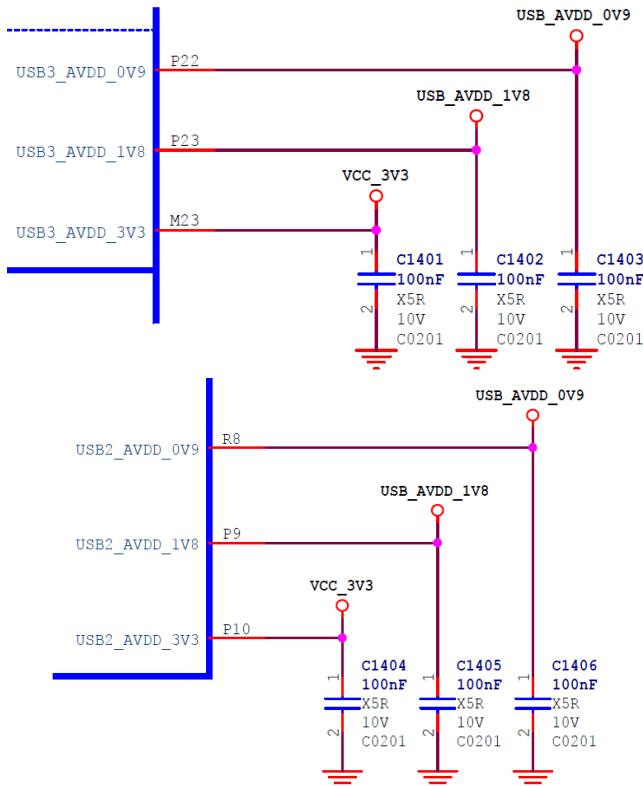


图 2-52 RK3568 USB2.0 PHY电源管脚

- USB3\_AVDD\_0V9: 峰值电流5mA
- USB3\_AVDD\_1V8: 峰值电流30mA
- USB3\_AVDD\_3V3: 峰值电流10mA
- USB2\_AVDD\_0V9: 峰值电流5mA
- USB2\_AVDD\_1V8: 峰值电流30mA
- USB2\_AVDD\_3V3: 峰值电流10mA

电源上建议使用LDO供电，PSRR@1KHz要大于65dB，200mA以上供电能力，

- 0.9V AC requirement: <25mV;
- 1.8V AC requirement: <50mV;
- 3.3V AC requirement: <200mV

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

**由于RK3568芯片固件必须从USB3\_OTG0\_DP/M接口下载，因此第一次上电，USB3\_AVDD\_0V9, USB3\_AVDD\_1V8, USB3\_AVDD\_3V3必须供电。**

USB2\_HOST2\_DP/M和USB2\_HOST3\_DP/M如果都不使用，那么USB2\_AVDD\_0V9, USB2\_AVDD\_1V8, USB2\_AVDD\_3V3可以不供电，建议接地处理，**但是要特别注意的是：在PHY未供电的情况下，如果没有 disable内核DTS中PHY对应的USB控制器节点，将会导致内核初始化时，卡死在USB控制器的初始化。**

### ● 2.2.2.10 MULTI PHY电源

RK3568有3个MULTI PHY接口：

MULTI\_PHY0是USB3.0 OTG0 SS信号和SATA0功能复用

MULTI\_PHY1是USB3.0 HOST1 SS信号、SATA1以及QSGMII\_M0功能复用

MULTI\_PHY2是PCIe2.0、SATA2以及QSGMII\_M1功能复用

MULTI\_PHY\_AVDD\_0V9\_1, MULTI\_PHY\_AVDD\_0V9\_2, MULTI\_PHY\_AVDD\_1V8电源是给MULTI\_PHY0、1、2供电，请勿删减RK3568芯片参考设计原理图中的去耦电容。

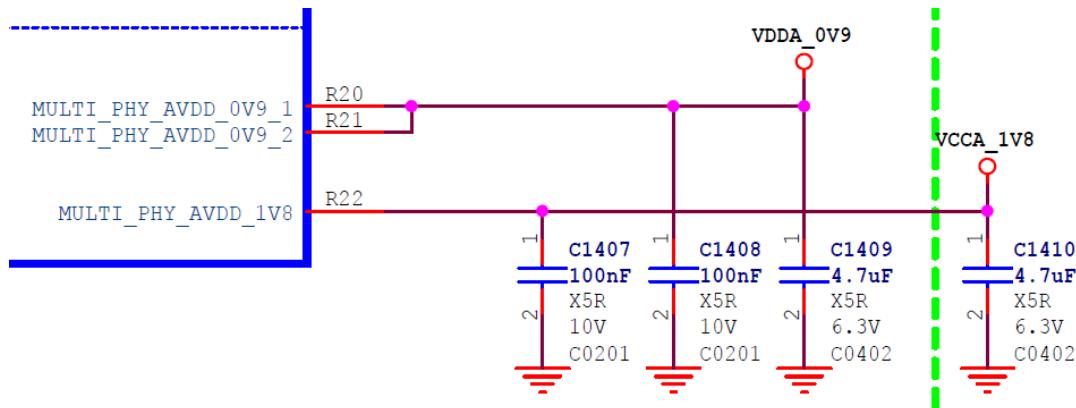


图 2 - 53 RK3568 MULTI\_PHY电源管脚

- MULTI\_PHY\_AVDD\_0V9: 峰值电流150mA

- MULTI\_PHY\_AVDD\_1V8: 峰值电流21mA

电源上建议使用LDO供电，

- PSRR@1KHz要大于65dB

- 0.9V AC requirement: <20mV, 250mA以上供电能力

- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

MULTI\_PHY0/1/2功能如果都不使用，那么MULTI\_PHY\_AVDD\_0V9和MULTI\_PHY\_AVDD\_1V8可以不供电，建议接地处理。

### ● 2.2.2.11 PCIe3.0 PHY电源

RK3568有1个PCIe3.0接口

PCIE30\_AVDD\_0V9\_1, PCIE30\_AVDD\_0V9\_2, PCIE30\_AVDD\_1V8电源是给PCIe3.0 PHY供电，请勿删除RK3568芯片参考设计原理图中的去耦电容。

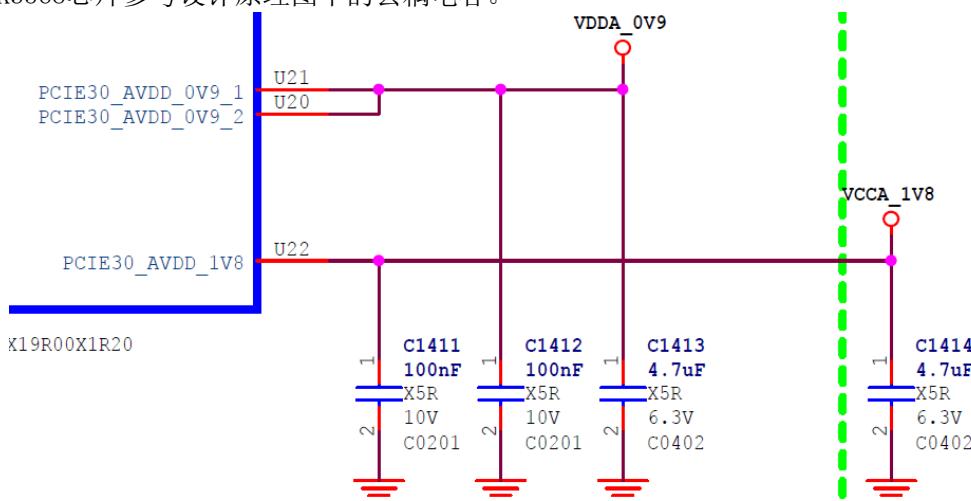


图 2 - 54 RK3568 PCIe3.0 PHY电源管脚

- PCIE30\_AVDD\_0V9: 峰值电流160mA

- PCIE30\_AVDD\_1V8: 峰值电流60mA

电源上建议使用LDO供电，

- PSRR@1KHz要大于65dB

- 0.9V AC requirement: <20mV, 250mA以上供电能力

- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

PCIe3.0功能如果都不使用，那么PCIE30\_AVDD\_0V9和PCIE30\_AVDD\_1V8可以不供电，建议接地处理。

- 2.2.2.12 MIPI CSI RX PHY电源

RK3568有1个MIPI CSI RX接口

MIPI\_CSI\_RX\_AVDD\_0V9, MIPI\_CSI\_RX\_AVDD\_1V8电源是给MIPI CSI RX PHY供电, 请勿删减RK3568芯片参考设计原理图中的磁珠和去耦电容。

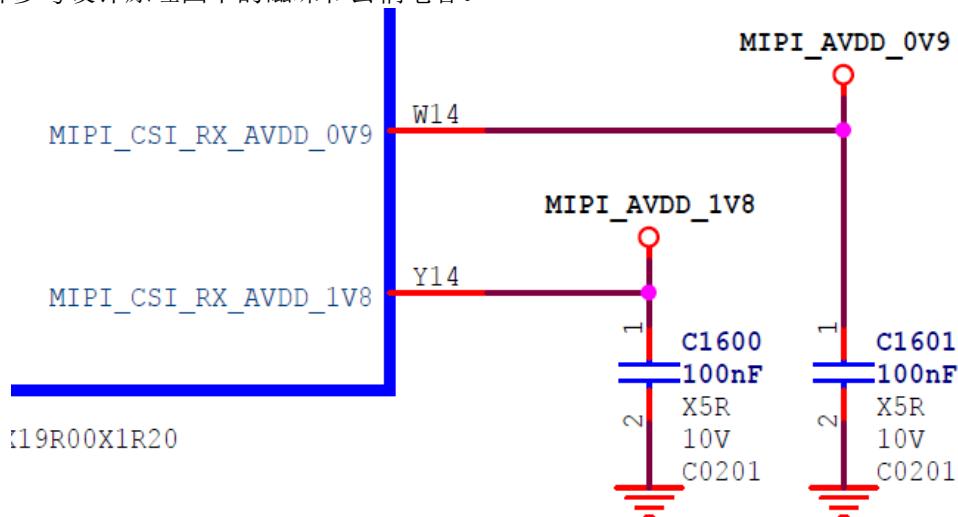


图 2 - 55 RK3568 MIPI CSI RX PHY电源管脚

- MIPI\_CSI\_RX\_AVDD\_0V9: 峰值电流10mA
  - MIPI\_CSI\_RX\_AVDD\_1V8: 峰值电流2.5mA
- 电源上建议使用LDO供电,
- PSRR@1KHz要大于65dB
  - 0.9V AC requirement: <20mV, 200mA以上供电能力
  - 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性, 且去耦电容应靠近管脚摆放, 具体电容数量和容量参考原理图, 请勿随意调整。

MIPI CSI RX功能如果都不使用, 那么MIPI\_CSI\_RX\_AVDD\_0V9和MIPI\_CSI\_RX\_AVDD\_1V8可以不供电, 建议接地处理。

- 2.2.2.13 MIPI DSI TX0/LVDS PHY电源

RK3568有1个MIPI DSI TX0和LVDS TX Combo PHY接口

MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_0V9, MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_1V8电源是给MIPI DSI TX0和LVDS TX Combo PHY供电, 请勿删减RK3568芯片参考设计原理图中的磁珠和去耦电容。

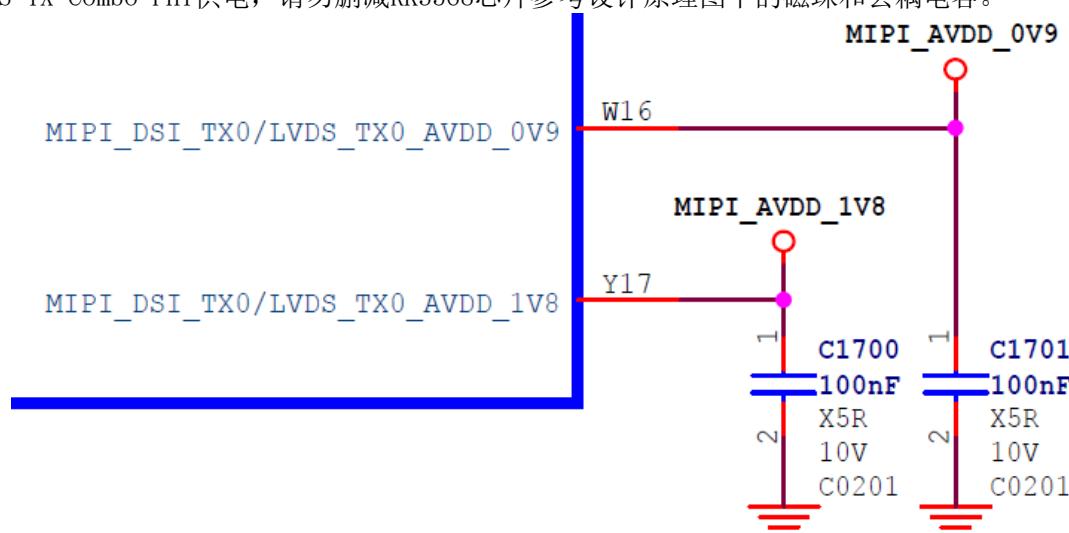


图 2 - 56 RK3568 MIPI DSI TX0和LVDS TX Combo PHY电源管脚

- MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_0V9: 峰值电流50mA
- MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_1V8: 峰值电流15mA

电源上建议使用LDO供电，

- PSRR@1KHz要大于65dB
- 0.9V AC requirement: <20mV, 200mA以上供电能力
- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

MIPI DSI TX0和LVDS TX功能如果都不使用，那么MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_0V9和MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_1V8可以不供电，建议接地处理。

#### ● 2.2.2.14 MIPI DSI TX1 PHY电源

RK3568有1个MIPI DSI TX1 PHY接口

MIPI\_DSI\_TX1\_AVDD\_0V9, MIPI\_DSI\_TX1\_AVDD\_1V8电源是给MIPI DSI TX1 PHY供电，请勿删减RK3568芯片参考设计原理图中的磁珠和去耦电容。

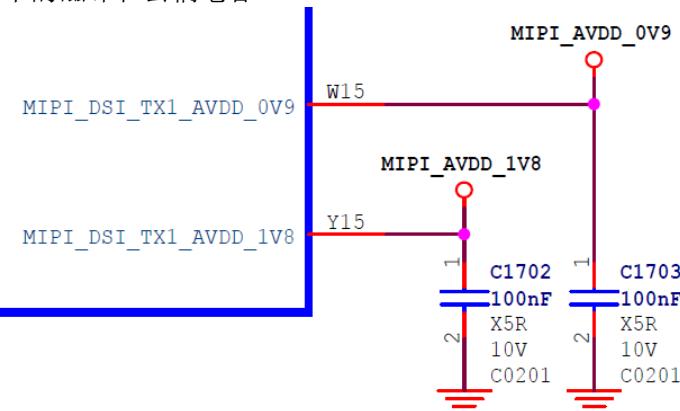


图 2 - 57 RK3568 MIPI DSI TX1 PHY电源管脚

- MIPI\_DSI\_TX1\_AVDD\_0V9: 峰值电流50mA

- MIPI\_DSI\_TX1\_AVDD\_1V8: 峰值电流15mA

电源上建议使用LDO供电，

- PSRR@1KHz要大于65dB
- 0.9V AC requirement: <20mV, 200mA以上供电能力
- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

MIPI DSI TX1功能如果都不使用，那么MIPI\_DSI\_TX1\_AVDD\_0V9和MIPI\_DSI\_TX1\_AVDD\_1V8可以不供电，建议接地处理。

#### ● 2.2.2.15 eDP PHY电源

RK3568有1个eDP TX PHY接口

eDP\_TX\_AVDD\_0V9, eDP\_TX\_AVDD\_1V8电源是给eDP TX PHY供电，请勿删减RK3568芯片参考设计原理图中的去耦电容。

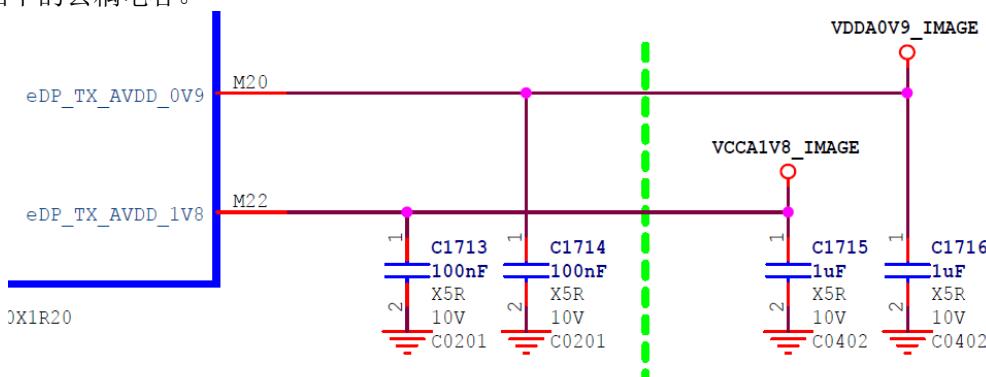


图 2 - 58 RK3568 eDP TX PHY电源管脚

- eDP\_TX\_AVDD\_0V9: 峰值电流150mA
- eDP\_TX\_AVDD\_1V8: 峰值电流100mA
- 电源上建议使用LDO供电，
- PSRR@1KHz要大于65dB
- 0.9V AC requirement: <20mV, 250mA以上供电能力
- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

eDP TX功能如果不使用，那么eDP\_TX\_AVDD\_0V9和eDP\_TX\_AVDD\_1V8可以不供电，建议接地处理。

### ● 2.2.2.16 HDMI2.0 PHY电源

RK3568有1个HDMI2.0 TX PHY接口

HDMI\_TX\_AVDD\_0V9\_1, HDMI\_TX\_AVDD\_0V9\_2, HDMI\_TX\_AVDD\_1V8电源是给HDMI2.0 TX PHY供电，请勿删减RK3568芯片参考设计原理图中的去耦电容。

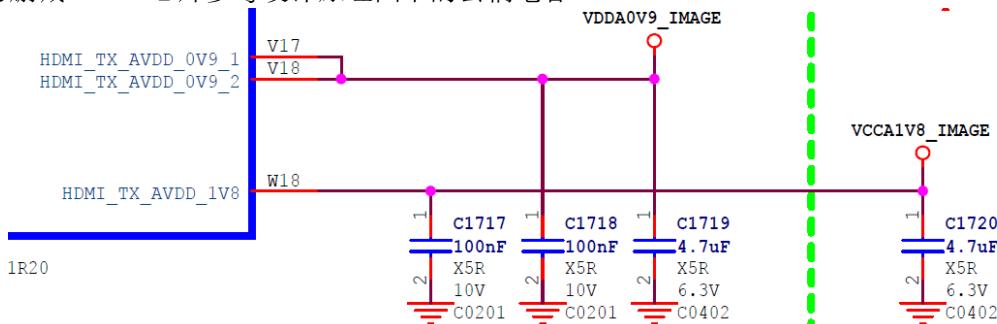


图 2 - 59 RK3568 HDMI2.0 TX PHY电源管脚

- HDMI\_TX\_AVDD\_0V9: 峰值电流25mA
- HDMI\_TX\_AVDD\_1V8: 峰值电流16mA
- 电源上建议使用LDO供电，
- PSRR@1KHz要大于65dB
- 0.9V AC requirement: <20mV, 200mA以上供电能力
- 1.8V AC requirement: <50mV, 200mA以上供电能力

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

HDMI2.0 TX功能如果不使用，那么HDMI\_TX\_AVDD\_0V9和HDMI\_TX\_AVDD\_1V8可以不供电，建议接地处理。

### ● 2.2.2.17 SARADC/OTP电源

RK3568有1个SARADC，可以支持8路，SARADC\_AVDD\_1V8是给SARADC供电，请勿删减RK3568芯片参考设计原理图中的去耦电容。

- SARADC\_AVDD\_1V8: 峰值电流1.5mA
- 电源上建议使用LDO供电，
- PSRR@1KHz要大于65dB
- 1.8V AC requirement: <50mV, 200mA以上供电能力

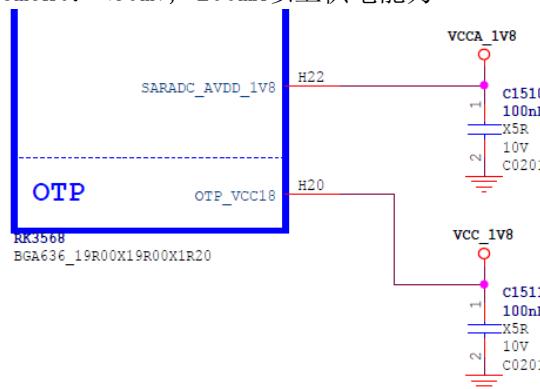


图 2 - 60 RK3568 SARADC和OTP电源管脚

RK3568有1个OTP，OTP\_VCC18是给OTP供电，请勿删减RK3568芯片参考设计原理图中的电容。

- OTP\_VCC18: 峰值电流59mA

电源上可以使用LDO或DC/DC为OTP供电。

稳定的电源有助于提高芯片工作稳定性，且去耦电容应靠近管脚摆放，具体电容数量和容量参考原理图，请勿随意调整。

## 2.2.3 RK809-5方案介绍

### 2.2.3.1 RK809-5框图

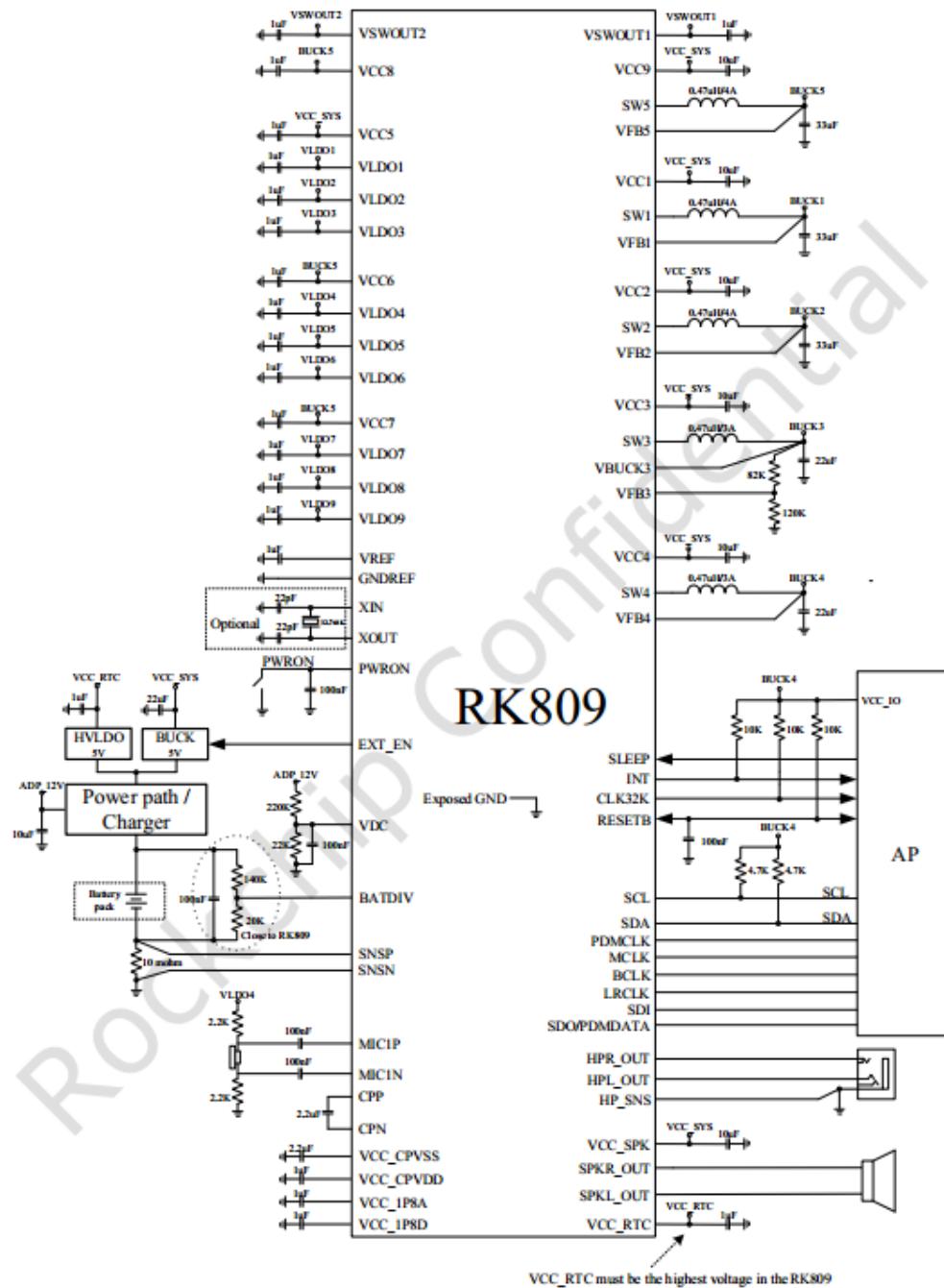


图 2 - 61 RK809-5 框图

### 2.2.3.2 RK809-5特征

- 电源输入范围：2.7V~5.5V
- 含单独电池电压、电流两路ADC的精准电量计
- 内置实时时钟（RTC）
- 35uA的极低待机电流（在32KHz时钟频率下）
- 实地输出的耳机驱动

- 不含滤波电感的1.3W Class D类功放
- 固定及可编程可选择的电源启动时序控制
- 内置高性能音频编解码器
  - ◆ 内置独立PLL
  - ◆ 支持麦克风输入
  - ◆ DAC和ADC都支持I2S数字输入
  - ◆ 支持ALC，限幅器和噪声门
  - ◆ 支持可编程的数字与模拟增益
  - ◆ 支持16bits-32bits的比特率
  - ◆ 采样率高达192kHz
  - ◆ 软件支持master和slave两种工作模式配置
  - ◆ 支持3种I2S格式（标准，左对齐，右对齐）
  - ◆ 支持PDM模式（外部输入PCLK）
- 电源通道：
  - ◆ BUCK1: 同步降压DC-DC转换器, 2.5A max
  - ◆ BUCK2: 同步降压DC-DC转换器, 2.5A max
  - ◆ BUCK3: 同步降压DC-DC转换器, 1.5A max
  - ◆ BUCK4: 同步降压DC-DC转换器, 1.5A max
  - ◆ BUCK5: 同步降压DC-DC转换器, 2.5A max
  - ◆ LD01-LD02, LD04~LD09: 低压差线性稳压器, 400mA max
  - ◆ LD03: 低噪声、高电源抑制比的低压差线性稳压器, 100mA max
  - ◆ Switch1: 开关, 2.1A max, Rdson=90 mohm
  - ◆ Switch2: 开关, 2.1A max, Rdson=100 mohm
- 封装: 7mmx7mm QFN68

### ● 2.2.3.3 RK3568+RK809-5 Power Tree

**Default Power Diagram**

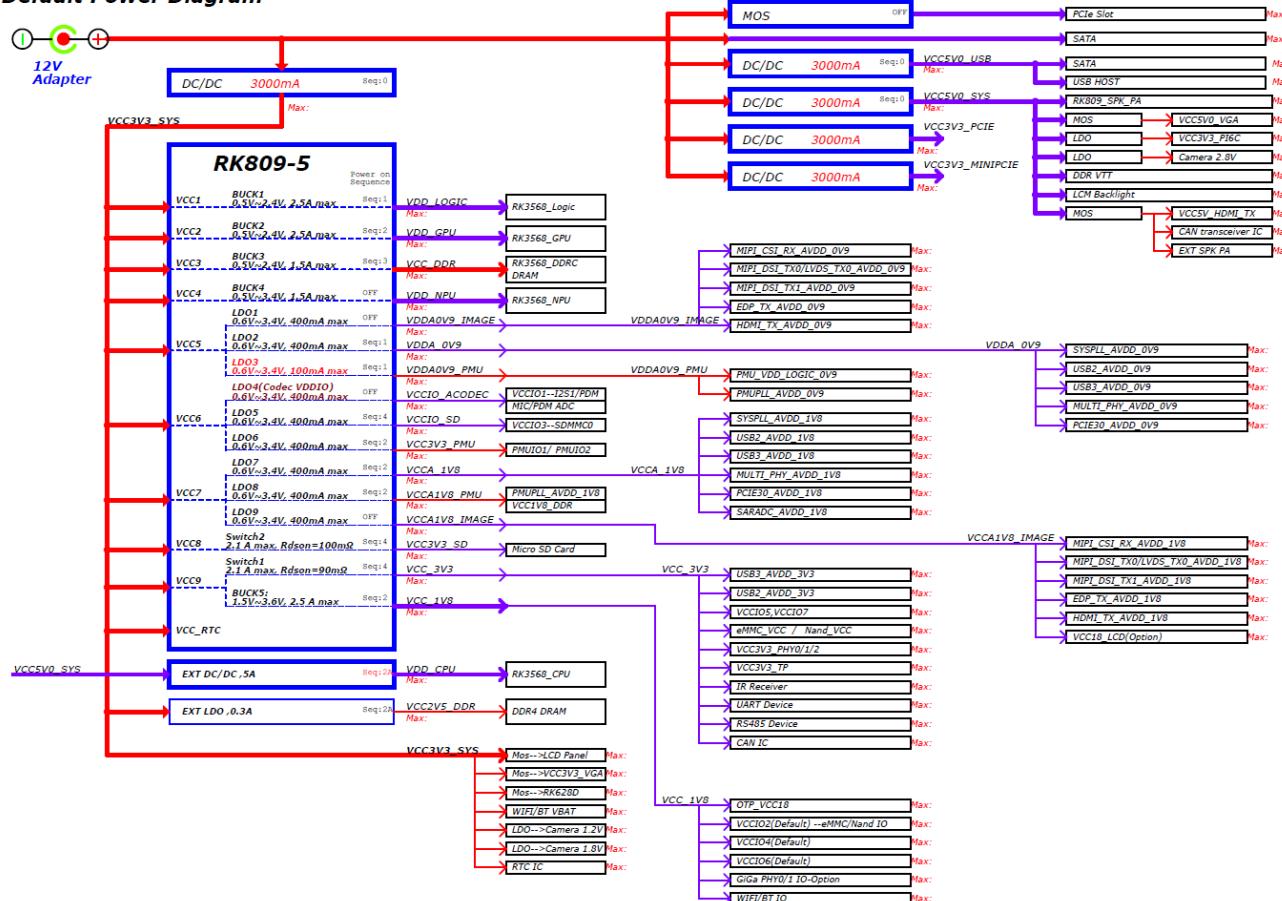
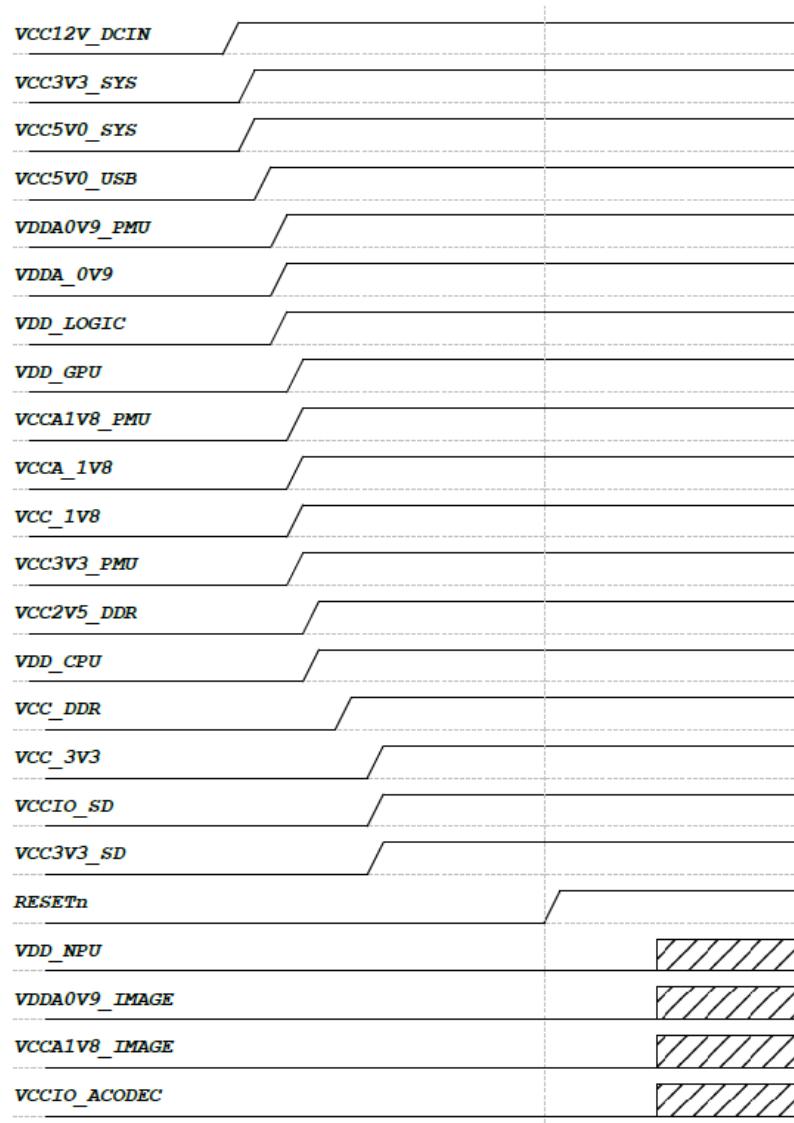


图 2 - 62 RK3568+RK809-5 电源架构

### ● 2.2.3.4 RK809-5 上电时序

RK809-5上电时序已固化，不能更改，注意和RK809-1, RK809-2, RK809-3上电时序不一样，不可混用。



Power Supply	PMIC Channel	Supply Limit	Power Name	Time Slot	Default Voltage	Default ON/OFF	Work Voltage	Peak Current	Sleep Current
VCC3V3_SYS	RK809_BUCK1	2.5A	VDD_LOGIC	Slot:1	0.9V	ON	0.9V	TBD	TBD
VCC3V3_SYS	RK809_BUCK2	2.5A	VDD_GPU	Slot:2	0.9V	ON	DVFS	TBD	TBD
VCC3V3_SYS	RK809_BUCK3	1.5A	VCC_DDR	Slot:3	ADJ FB=0.8V	ON	1.2V (DDR4)	TBD	TBD
VCC3V3_SYS	RK809_BUCK4	1.5A	VDD_NPU	N/A	0V	OFF	DVFS	TBD	TBD
VCC3V3_SYS	RK809_LDO1	0.4A	VDDA0V9_IMAGE	N/A	0V	OFF	0.9V	TBD	TBD
	RK809_LDO2	0.4A	VDDA_0V9	Slot:1	0.9V	ON	0.9V	TBD	TBD
	RK809_LDO3	0.1A	VDDA0V9_PMU	Slot:1	0.9V	ON	0.9V	TBD	TBD
VCC3V3_SYS	RK809_LDO4	0.4A	VCCIO_ACODEC	N/A	0V	OFF	3.3V	TBD	TBD
	RK809_LDO5	0.4A	VCCIO_SD	Slot:4	3.3V	ON	3.3V or 1.8V (SD2.5V, SD3.3V, SD3.6V)	TBD	TBD
	RK809_LDO6	0.4A	VCC3V3_PMU	Slot:2	3.3V	ON	3.3V	TBD	TBD
VCC3V3_SYS	RK809_LDO7	0.4A	VCCA_1V8	Slot:2	1.8V	ON	1.8V	TBD	TBD
	RK809_LDO8	0.4A	VCCA1V8_PMU	Slot:2	1.8V	ON	1.8V	TBD	TBD
	RK809_LDO9	0.4A	VCCA1V8_IMAGE	N/A	0V	OFF	1.8V	TBD	TBD
VCC3V3_SYS	RK809_SW2 100mohm	2.1A	VCC3V3_SD	Slot:4	3.3V	ON	3.3V	TBD	TBD
VCC3V3_SYS	RK809_SW1 90mohm	2.1A	VCC_3V3	Slot:4	3.3V	ON	3.3V	TBD	TBD
	RK809_BUCK5	2.5A	VCC_1V8	Slot:2	1.8V	ON	1.8V	TBD	TBD
	RK809_RESETn			Slot:4+5					
VCC12V_DCIN	EXT BUCK	3.0A	VCC3V3_SYS	Slot:0	3.3V	ON	3.3V	TBD	TBD
VCC12V_DCIN	EXT BUCK	3.0A	VCC5V0_SYS	Slot:0	5.0V	ON	5.0V	TBD	TBD
VCC5V0_SYS	EXT BUCK	6.0A	VDD_CPU	Slot:2A	1.025V	ON	DVFS	TBD	TBD
VCC3V3_SYS	EXT LDO	0.3A	VCC2V5_DDR	Slot:2A	2.5V	ON	2.5V	TBD	TBD

图 2 - 63 RK809-5 上电时序

- 2.2.3.5 RK809-5注意事项

- 32.768KHz晶体负载电容请根据实际使用的晶体的CL电容值选择，建议选择不低于18pF，负载电容过低有可能会造成起振不稳定，推荐值为22pF；



### 注意

为了降低功耗PMIC RTC的晶体振荡都做的比较弱，在XOUT或XIN的管脚上用普通的示波器是测不到振荡信号的，或示波器探头一碰上去就会停振，要测32.768k信号请测试CLK32K管脚。

- RK809-5的VCC\_RTC (Pin45): 是RK809 芯片内部数字逻辑、部份模拟控制及RTC 时钟供电引脚，该脚设计时要求供电电压必须是RK809-5所有供电脚中的最高电压或是大于  $V_{max}-0.3V$  (除VCC\_SPK\_HP供电外)，所以VCC\_RTC 必须最先上电，或和其它电源一起上电，不允许出现VCC\_RTC没电而其它电源先供电的情况。  
建议和RK809-5的VCC9 (Pin54) 接同一个电源；
- 如果有需要纽扣电池保存实时时钟，建议使用外部RTC IC，RK809-5的RTC电流大概 $35\sim50\mu A$ ，使用外部的RTC IC当实时时钟，如果需要定时闹钟开机功能，请联系Rockchip提供参考电路。RK809-5自带的RTC支持定时闹钟开机功能。使用外部的RTC IC必须确认一下其IO的电平和RTC芯片供电电源电压是否匹配；
- RK809-5的Pin 67 (RESETB) 需要有100nF电容，提高抗干扰能力，不能随意删掉。
- PMIC RK809-5的SDA\SCL\INT\CLK32K\RESETB 这几个GPIO 是开漏输出的，允许输入的最高电压是VCC\_RTC的电压，外部需要额外增加上拉电阻或使用RK3568 IO内部的上拉电阻。SCL\SDA\SLEEP\PWRON\RESETB 做为输入VL\VH 是固定的0.4V\1.26V
- Gas Gauge不使用，建议Pin56 (BATDIV) , Pin62 (SNSP) , Pin63 (SNSN) 接地处理，如果要启用，请联系Rockchip提供参考电路。
- I2S: LRCK\BCLK\MCLK\SDI\PDCLK 这些PIN脚的VCCI0是接到LD04上的，所以LD04一般同时分配给主控芯片I2S 所处在的电源域供电。
- RK809-5的DC-DC电感参考值为：感量0.47uH，饱和电流3.5A以上，DCR小于 $50m\Omega$  (为了达到更好的转换效率，建议选择DCR小于 $20m\Omega$  )。
- RK809-5的BUCK1/BUCK2的输入电容必须大于10uF，输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- RK809-5的BUCK3的输入电容必须大于10uF，输出电容必须大于30uF以上才能保证有比较好的去耦效果。输出电压值是由外围电阻决定的，必须根据项目所用的DDR类型匹配电压值，参考电压为0.8V，选择分压电阻 $RH=(V_{BUCK3}-0.8)*RL/0.8$ ，RH和RL分别为分压上拉电阻和下拉电阻，阻值选择建议在 $10K\Omega$  到 $1M\Omega$  之间，精度为1%，建议参照参考设计提供的参数。
- RK809-5的BUCK4的输入电容必须大于10uF，输出电容必须大于30uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- RK809-5的BUCK5的输入电容必须大于10uF，输出电容必须大于33uF以上才能保证有比较好的去耦效果，特别是大电流高动态的负载情况下，可以适当加大输出去耦电容；
- LDO 供电: VCC5\VCC6\VCC7 是LDO 供电输入脚，最低支持2V输入，但2V输入的时候输出电流会降至额定输出的50%。
- VCC9: 除了是VSWOUT1、BUCK5 的供电输入脚外，还是芯片欠压和过压保护检测脚，开机后如果VCC9的电压低于3.0V会自动关机。
- RK809-5开关机条件:
  - VDC开机流程:
    - ◆ VCC\_RTC有电，必须大于3.0V；
    - ◆ VDC脚高于0.55V，推荐值为1.2V左右；
    - ◆ EXT\_EN输出高电平；
    - ◆ VCC9在EXT\_EN输出高电平的1.5ms内电压超过3.0V，否则不开机；
    - ◆ 启动上电流程，各DC/DC，LDO按时序分别上电
    - ◆ 开机后，VDC可以拉低或保持高电平，不影响开机状态。
  - Power Key开机流程:
    - ◆ VCC\_RTC有电，必须大于3.0V；

- ◆ PWRON脚拉低超过500mS;
- ◆ EXT\_EN输出高电平;
- ◆ VCC9在EXT\_EN输出高电平的1.5mS内电压超过3.0V, 否则不开机;
- ◆ 启动上电流程, 各DC/DC, LDO按时序分别上电

Alarm开机流程:

- ◆ VCC\_RTC有电, 必须大于3.0V;
- ◆ Alarm定时时间到, 并开启定时开机功能;
- ◆ EXT\_EN输出高电平;
- ◆ VCC9在EXT\_EN输出高电平的1.5mS内电压超过3.0V, 否则不开机;
- ◆ 启动上电流程, 各DC/DC, LDO按时序分别上电

关机:

- ◆ VCC9电压低于欠压设计值;
- ◆ I2C命令关机;
- ◆ 超温保护关机 (145度);
- ◆ PowerKey长按超过6秒强制关机。

### ● 2.2.3.6 RK809-5设计说明

RK809-5具体设计说明, 请参考RK PMIC相关设计文档《AN\_RK809\_V1.1》。

## 2.2.4 分立电源方案介绍

### ● 2.2.4.1 RK3568+分立电源Power Tree (基于NVR\_DEMO)

主要针对待机功耗要求不高的产品。

#### Power Diagram

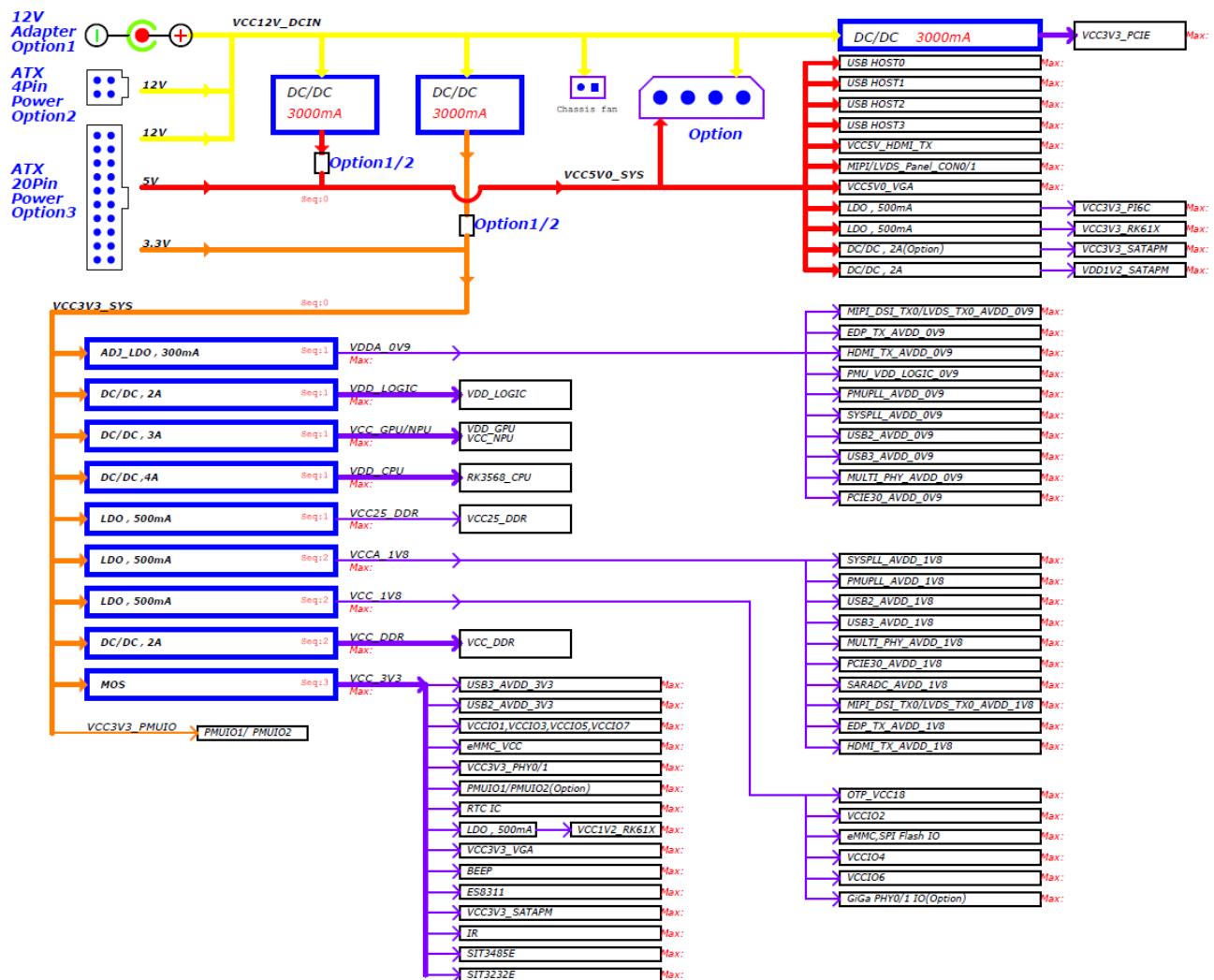


图 2 - 64 RK3568+分立电源架构

- 2.2.4.2 分立电源上下电时序

## Power Sequence

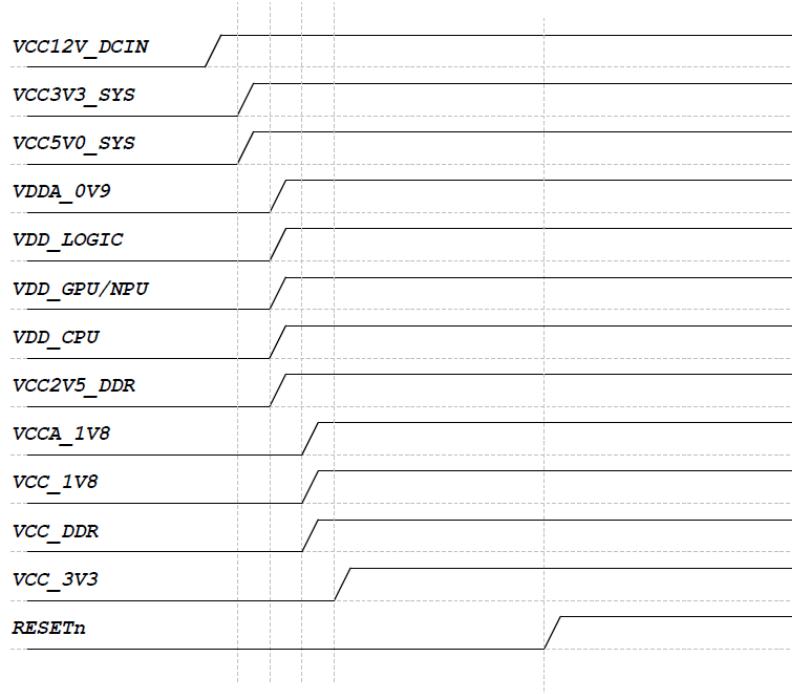


图 2-65 分立电源上电时序

RK3568芯片的各电源上电时序：理论上遵循低压先上、高压后上，待最后一个电压上电稳定后，RESETn至少保证10ms才能释放；

下电时序：下电过程，RESETn须先拉低动作，然后各路电源随着下电。如果有需求快速上下电测试的产品，要注意电容的放电时间，如果存在下电不彻底又重新上电了，可能会引起系统工作异常；另外如果有使用SPI Flash，建议采用2.93V阈值的复位IC，SPI Flash的电源下降到2.93V，复位要先拉低动作，防止在电源下降过程中因欠压逻辑失控误操作，造成SPI Flash数据出错。

- 2.2.4.3 分立电源一些注意事项

- VDD\_CPU采用动态电压频率调整，不建议跟其它电源合并，BUCK型号要求参照参考图设计，通过I2C进行调压，如需更换其它型号，要求选择 $\geq 4A$ 供电能力的BUCK，如果不是I2C调压，必须采用PWM调压，调压参数可参照参考图设计，调压范围为0.8–1.2V，默认电压为0.938V左右（注意，软件配置必须按实际值填写，否则会出现调压不准确问题）。  
BUCK其它要求如下：
  - 1) 输出电压精度要求在 $\pm 1.5\%$
  - 2) BUCK瞬态响应要求： $I_{load}=BUCK \text{ Max current} * 10\% - BUCK \text{ Max current} * 80\%$  跳变，斜率1A/us，纹波要求 $\pm 5\%$ 以内。
 BUCK的输入电容必须大于22uF，输出电容需要满足VDD\_CPU电源总电容容量大于135uF（建议预留再1–2个22uF电容，默认可以不贴），以保证电源纹波在80mV以内，避免大负载情况下引起电源纹波偏大。
- VDD\_GPU和VDD\_NPU采用动态电压频率调整，可根据场景需求，比如对工作功耗不敏感，可以合并供电处理，BUCK型号要求参照参考图设计，如需更换其它型号，要求选择 $\geq 3A$ 供电能力的BUCK，必须采用PWM调压，调压参数可参照参考图设计，调压范围为0.81–1.1V，默认电压为0.92V左右（注意，软件配置必须按实际值填写，否则会出现调压不准确问题）。
 BUCK其它要求如下：
  - 1) 输出电压精度要求在 $\pm 1.5\%$
  - 2) BUCK瞬态响应要求： $I_{load}=BUCK \text{ Max current} * 10\% - BUCK \text{ Max current} * 80\%$  跳变，斜率1A/us，纹波要求 $\pm 5\%$ 以内。
 BUCK的输入电容必须大于10uF，输出电容需要满足VDD\_GPU和VDD\_NPU电源总电容容量大于135uF（建议再预留1–2个22uF电容，默认可以不贴），以保证电源纹波在60mV以内，避免大负

载情况下引起电源纹波偏大。

- VDD\_LOGIC默认固定电压0.92V左右，预留动态电压调整，不建议跟其它电源合并，BUCK型号要求参照参考图设计，如需更换其它型号，要求选择 $\geq 1.5A$ 供电能力的BUCK，预留的PWM调压，调压参数可参照参考图设计，调压范围为0.81-1.0V，默认电压为0.92V左右（注意，软件配置必须按实际值填写，否则会出现调压不准确问题）。

BUCK其它要求如下：

1) 输出电压精度要求在±1.5%

2) BUCK瞬态响应要求： $I_{load} = BUCK\ Max\ current * 10\% - BUCK\ Max\ current * 80\%$  跳变，斜率1A/us，纹波要求±5%以内。

BUCK的输入电容必须大于10uF，输出电容需要满足VDD\_LOGIC电源总电容容量大于99uF（建议预留再1-2个22uF电容，默认可以不贴），以保证电源纹波在60mV以内，避免大负载情况下引起电源纹波偏大。

### ■ VCC\_3V3上电时序必须满足要求，MOS控制电路不得删除

- 复位IC，必须选用开漏电输出的，低电平有效，复位IC的电源需要接到VCC3V3\_PMUIO，即和PMUIO1电源的一致。

## 2.2.5 待机控制电路

如果产品有要求低功耗待机，建议采用RK809-5电源方案。

以下介绍采用RK809-5的待机PMIC\_SLEEP控制电路：

当RK3568芯片在正常工作模式时，芯片的状态管脚PMIC\_SLEEP会维持低电平输出。

当系统进入待机模式时，PMIC\_SLEEP管脚会输出高电平的休眠指示信号，此时PMIC受该信号控制进入待机状态。根据软件dts文件的配置，部份电源会关闭，部分电源会调低电压。

当系统从待机模式中被唤醒时，PMIC\_SLEEP管脚会在第一时间输出低电平，此时PMIC会恢复待机前的工作状态，恢复各路电源输出。

PMIC\_SLEEP是专用功能信号，请勿随意改动用法。

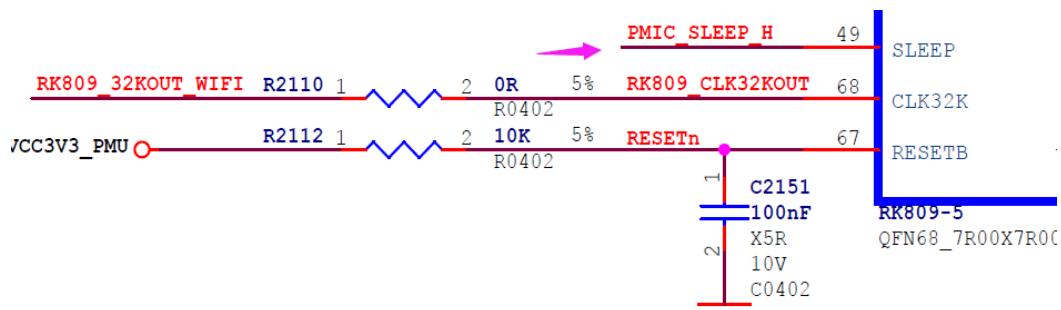


图 2-67 RK809-5 PMIC\_SLEEP输入

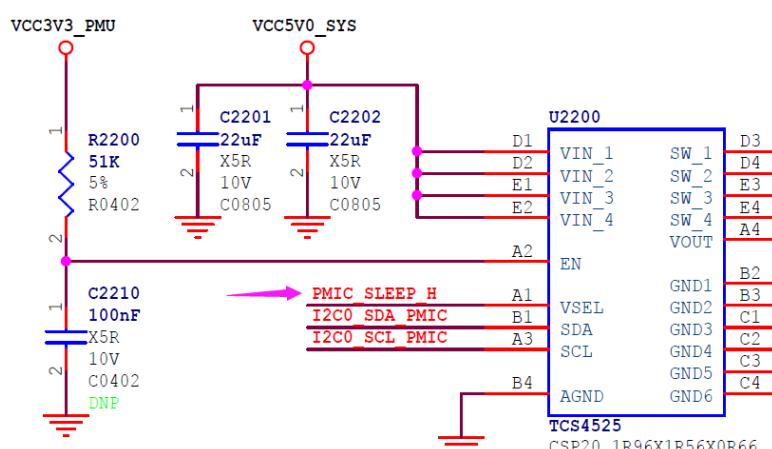


图 2-68 VDD\_CPU BUCK的PMIC\_SLEEP输入

## 2.2.6 电源峰值电流表

以下数据为各模块工作的峰值电流，供评估电源方案和PCB Layout使用，仅供参考。

注意：不能简单的全部加起来算成SOC的峰值电流，要评估散热方案，请根据实际场景的工作平均电流进行。

表 2-14 RK3568 峰值电流表

PowerName	Voltage (V)	Peak Current (mA)
PMUPLL_AVDD_0V9	0.9	10
PMUPLL_AVDD_1V8	1.8	9
SYSPLL_AVDD_0V9	0.9	30
SYSPLL_AVDD_1V8	1.8	18
PMU_VDD_LOGIC_0V9	0.9	50
VDD_CPU	DVFS	3000
VDD_GPU	DVFS	1200
VDD_NPU	DVFS	1000
VDD_LOGIC	0.9	1200
DDRPHY_VDDQ	1.1/1.2/1.35/1.5	TBD
DDRPHY_VDDQL	0.6/1.1/1.2/1.35/1.5	TBD
USB3_AVDD_0V9	0.9	5
USB3_AVDD_1V8	1.8	30
USB3_AVDD_3V3	3.3	10
USB2_AVDD_0V9	0.9	5
USB2_AVDD_1V8	1.8	30
USB2_AVDD_3V3	3.3	10
MULTI_PHY_AVDD_0V9	0.9	150
MULTI_PHY_AVDD_1V8	1.8	21
PCIE30_AVDD_0V9	0.9	160
PCIE30_AVDD_1V8	1.8	60
MIPI_CSI_RX_AVDD_0V9	0.9	10
MIPI_CSI_RX_AVDD_1V8	1.8	2.5
MIPI_DSI_TX0/LVDS_TX0_AVDD_0V9	0.9	50
MIPI_DSI_TX0/LVDS_TX0_AVDD_1V8	1.8	15
MIPI_DSI_TX1_AVDD_0V9	0.9	50
MIPI_DSI_TX1_AVDD_1V8	1.8	15
eDP_TX_AVDD_0V9	0.9	150
eDP_TX_AVDD_1V8	1.8	100
HDMI_TX_AVDD_0V9	0.9	25
HDMI_TX_AVDD_1V8	1.8	16
SARADC_AVDD_1V8	1.8	1.5
OTP_VCC18	1.8	59
PMUI00	1.8	TBD
PMUI01	3.3	TBD
PMUI02/VCCI01/2/3/4/5/6/7/	1.8/3.3	TBD

## 2.3 功能接口电路设计指南

### 2.3.1 SDMMC0/1/2

RK3568集成了3个SDMMC控制器，均可支持SD V3.01以及MMC V4.51协议。

其中SDMMC0和SDMMC1最高可支持200MHz，SDMMC2最高只支持到150MHz。

#### ● 2.3.1.1 SDMMC0接口

- SDMMC0接口复用在VCCI03电源域；
- 支持System Boot，默认分配接SD卡功能；
- SDMMC0与JTAG等功能复用在一起，默认通过SDMMC0\_DET状态进行功能选择，具体请参考2.1.5小节描述；
- VCCI03供电电源，需要外部提供3.3V或1.8V供电，  
当接SD卡时：如果只要支持SD2.0模式：可直接供3.3V电源；如果要支持SD3.0模式兼容SD2.0模式：默认供3.3V电源，待和SD卡协商跑SD3.0模式后，供电电压需要切换成1.8V供电，RK809-5的LD05单独给VCCI03供电，可实现这个过程。  
当接SDIO设备时：根据外设以及实际运行的模式供1.8V或3.3V

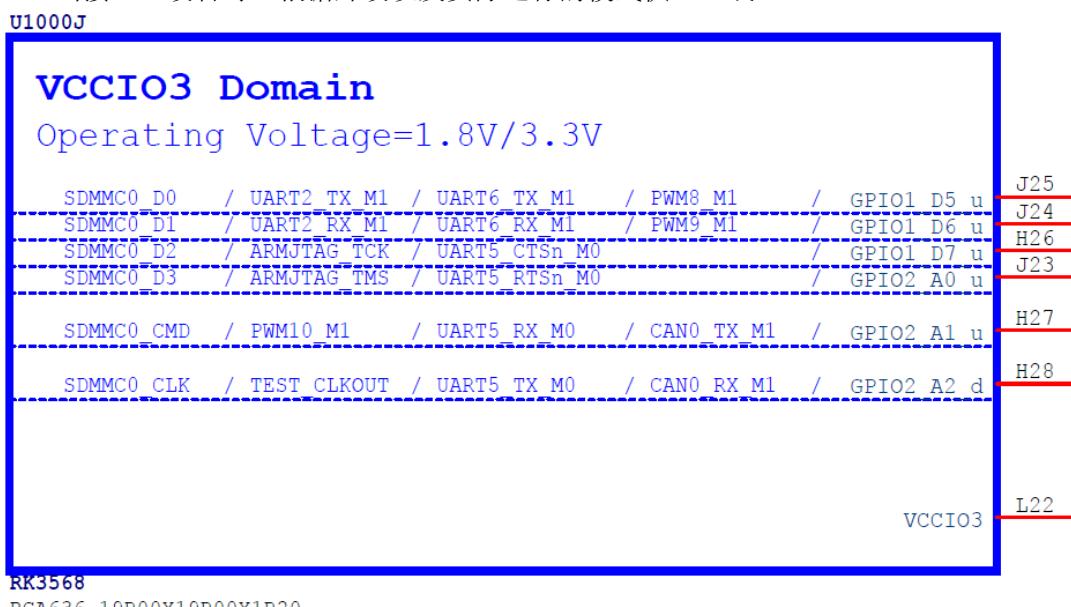


图 2 - 69 RK3568 SDMMC0接口管脚

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。
- 当接SD卡使用时，需要注意以下问题：
  - ◆ SD卡的VDD脚供电电压为3.3V，去耦电容不得删减，布局时，要靠近卡座放置；
  - ◆ SDMMC0\_D[3:0]，SDMMC0\_CMD，SDMMC0\_CLK需串接22ohm电阻，SDMMC0\_DET串接100ohm电阻；
  - ◆ SDMMC0\_D[3:0]，SDMMC0\_CMD，SDMMC0\_CLK，SDMMC0\_DET信号在SD卡位置需要放置ESD器件，需要支持SD3.0模式，ESD器件的结电容必须小于1pF，如只需支持SD2.0模式，ESD器件的结电容可放宽到9pF。

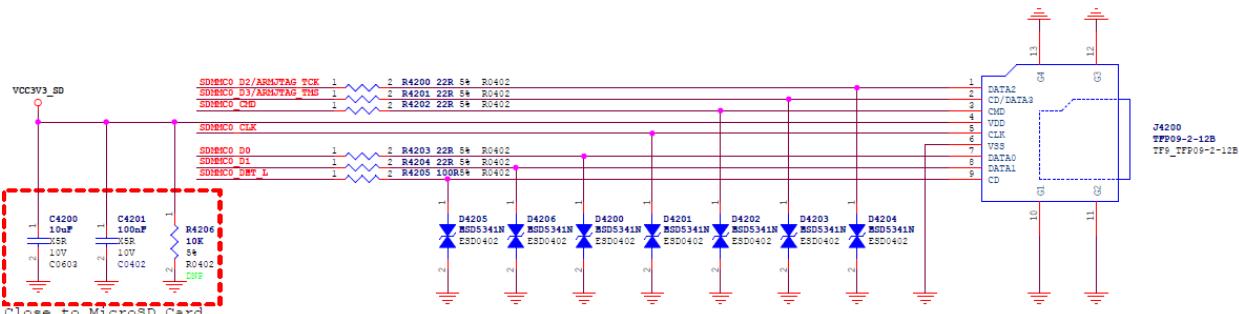


图 2 - 70 SD Card接口电路

◆ SDMMC0接口上下拉和匹配设计推荐如表

表 2 - 15 SDMMC0接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SDMMC0_D[3:0]	上拉	串联22ohm电阻 使用对应IO内部上拉电阻	SD数据发送/接收
SDMMC0_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC0_CMD	上拉	串联22ohm电阻 使用对应IO内部上拉电阻	SD命令发送/接收
SDMMC0_DET	上拉	串联100ohm电阻 使用对应IO内部上拉电阻	SD卡插入检测

### ● 2.3.1.2 SDMMC1接口

- SDMMC1接口复用在VCCIO4电源域;
- 不支持System Boot, 默认分配给SDIO WIFI功能;
- VCCIO4供电电源, 根据外设以及实际运行的模式供1.8V或3.3V, 需要注意和外设的IO保持一致, 当SD卡功能时, 要注意电源域电压, 要求如SDMMC0;

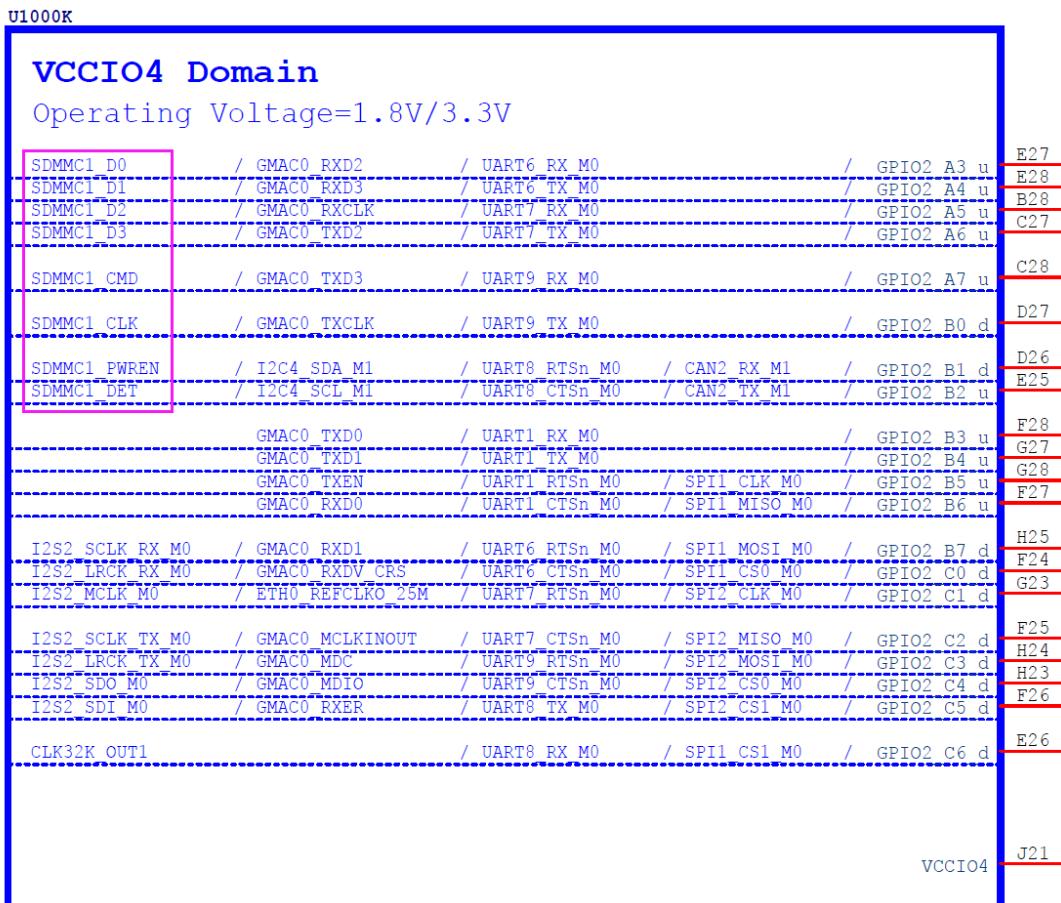


图 2 - 71 RK3568 SDMMC1接口管脚

- SDMMC1接口上下拉和匹配设计推荐如表

表 2 - 16 SDMMC1接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SDMMC1_D[3:0]	上拉	串联22ohm电阻, 走线较短	SD数据发送/接收

		时可删除 使用对应IO内部上拉电阻	
SDMMC1_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC1_CMD	上拉	串联22ohm电阻, 走线较短 时可删除 使用对应IO内部上拉电阻	SD命令发送/接收

- 当接SDIO WIFI时, 需要考虑低功耗待机方案, 即VDD\_LOGIC待机断电方案时, 那么SDIO WIFI的相关控制脚需要移到PMUI01/2电源域, VDD\_LOGIC断电后, VCCI01/2/3/4/5/6/7电源域的IO状态无法保持。
- 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm之间, 具体以能满足SI测试为准), 并预留TVS器件。

### 2.3.1.3 SDMMC2接口

- SDMMC2接口复用两个位置, 一个在VCCI05电源域, 一个在VCCI06电源域, 只能使用其中一个, 要么全部用VCCI05电源域, 要么全部用VCCI06电源域里, 不支持有些使用VCCI05电源域, 有些使用VCCI06电源域;
- 不支持System Boot;
- VCCI05或VCCI06供电电源, 根据外设以及实际运行的模式供1.8V或3.3V, 需要注意和外设的IO保持一致, 当SD卡功能时, 要注意电源域电压, 要求如SDMMC0;

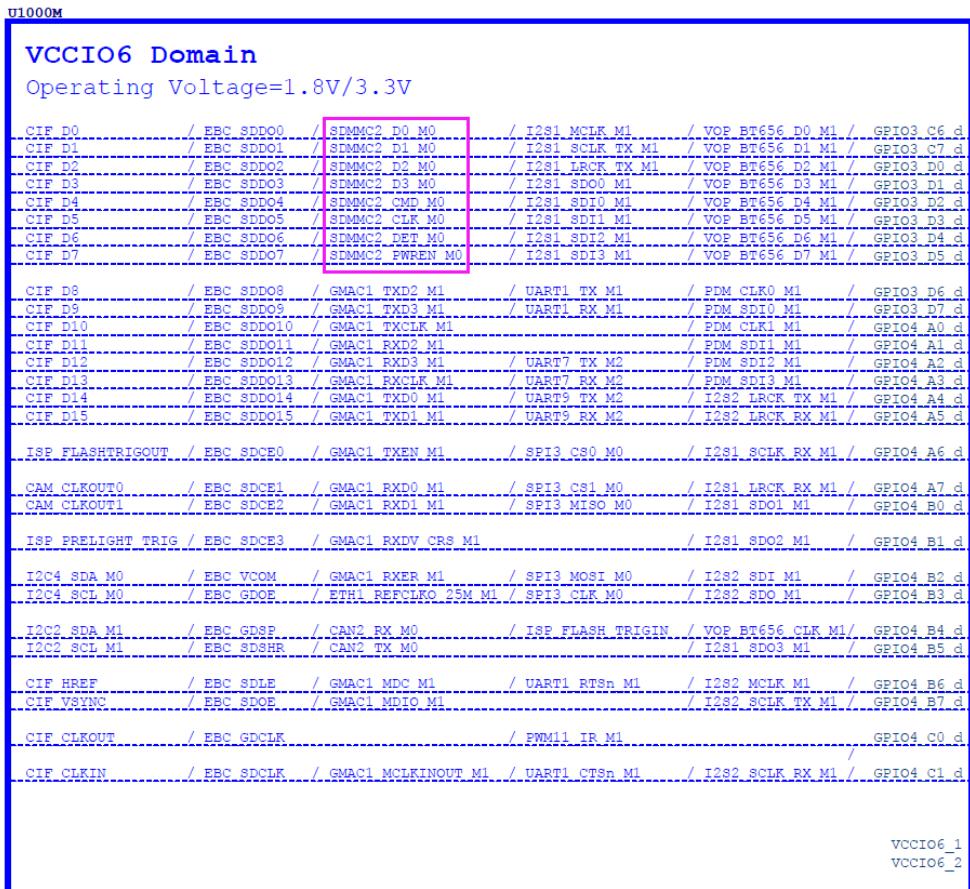


图 2 - 72 RK3568 SDMMC2接口 M0功能管脚

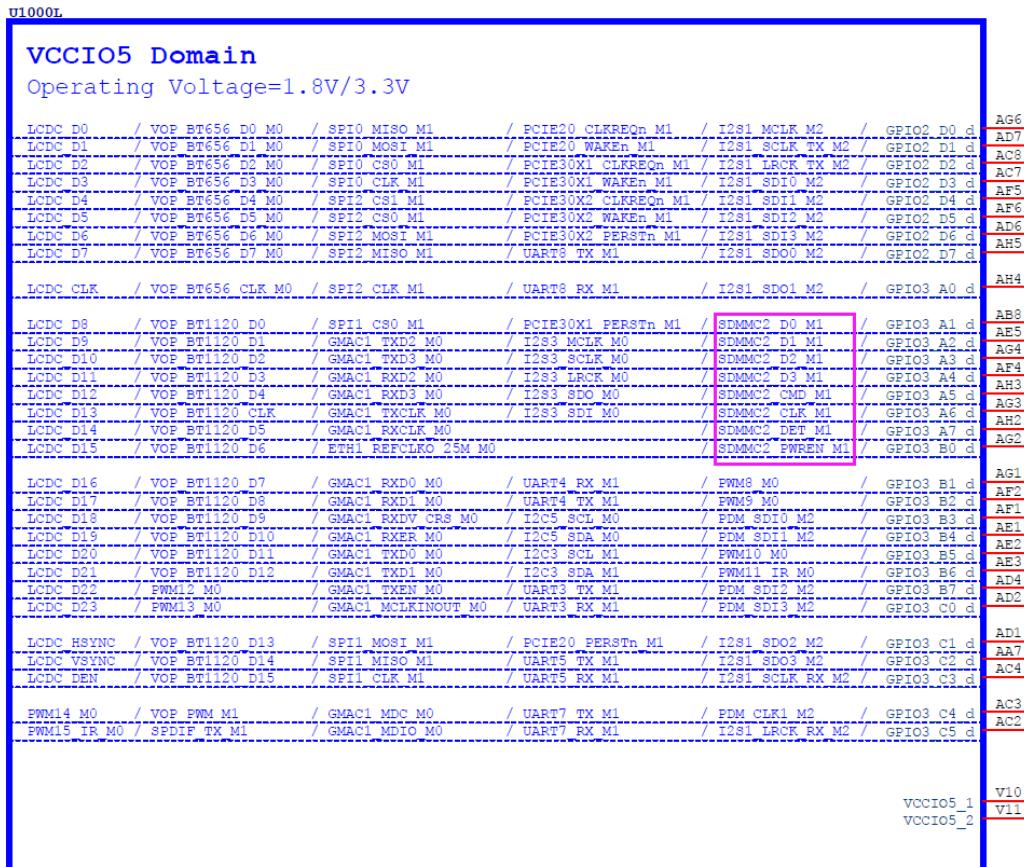


图 2 - 73 RK3568 SDMMC2接口 M1功能管脚

### ■ SDMMC2接口上下拉和匹配设计推荐如表

表 2 - 17 SDMMC2接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
SDMMC2_D[3:0]	上拉	串联22ohm电阻，走线较短时可删除 使用对应IO内部上拉电阻	SD数据发送/接收
SDMMC2_CLK	下拉	串联22ohm电阻	SD时钟发送
SDMMC2_CMD	上拉	串联22ohm电阻，走线较短时可删除 使用对应IO内部上拉电阻	SD命令发送/接收

■ 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm~100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### ● 2.3.1.4 SDIO WIFI时注意点接口

- 请确保模组的IO电平与CPU的IO电平保持一致，否则需要做电平匹配处理。
- 晶体负载电容请根据实际使用的晶体的CL电容值选择，并控制常温下的频率容限在10ppm以内。
- 天线预留π型电路用于天线匹配调节。
- 确认PCM与UART接口的连接方向，如IN和OUT、TXD和RXD
- 如果使用需要32.768k时钟输入的模组，需要注意时钟幅度。
- 参考图做了多种模式兼容，实际贴片时，必须根据实际模组选贴，不得随意贴片

### 2.3.2 SARADC电路

- RK3568集成了一个SARADC控制器，可提供8路SARADC输入。
- RK3568芯片的SARADC\_VINO默认做为键值输入采样口，并复用为Recovery模式按键（不可修改）。SARADC\_VINO通过10Kohm上拉电阻上拉到VCCA\_1V8，默认为高电平（1.8V），在没有按键动作且系统已经烧录固件的前提下，上电直接进入系统；若系统启动时Recovery模式按键处于按下状态，即将SARADC\_VINO保持为低电平（0V），则RK3568进入Loader烧写模式，当PC识别到USB设备时，松开按键使SARADC\_VINO恢复为高电平（1.8V），即可进行固件烧写。因此，在产品未有按键情况下，SARADC\_VINO悬空时，会不定态，可能会影响开机，所以SARADC\_VINO的10Kohm上拉电阻必须保留，不可删减，保证默认的正常启动判断，另外为了方便开发，建议预留按键或预留测试点。

**RK3568\_O (SARADC/OTP)**

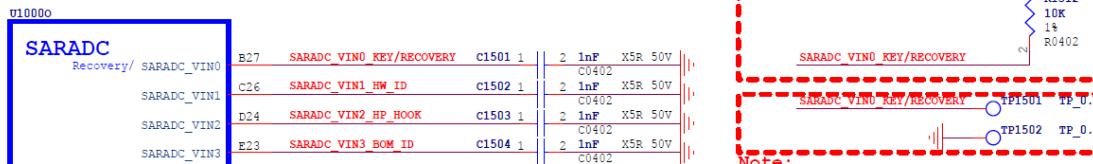


图 2 - 74 SARADC VINO接口

- RK3568上，SARADC采样范围为0-1.8V，采样精度为10bits。按键阵列采用并联型，可以通过增减按键并调整分压电阻比例来调整输入键值，实现多键输入以满足客户产品需求。设计中建议任意两个按键键值必须大于 $+/ - 35$ ，即中心电压差必须大于123mV。

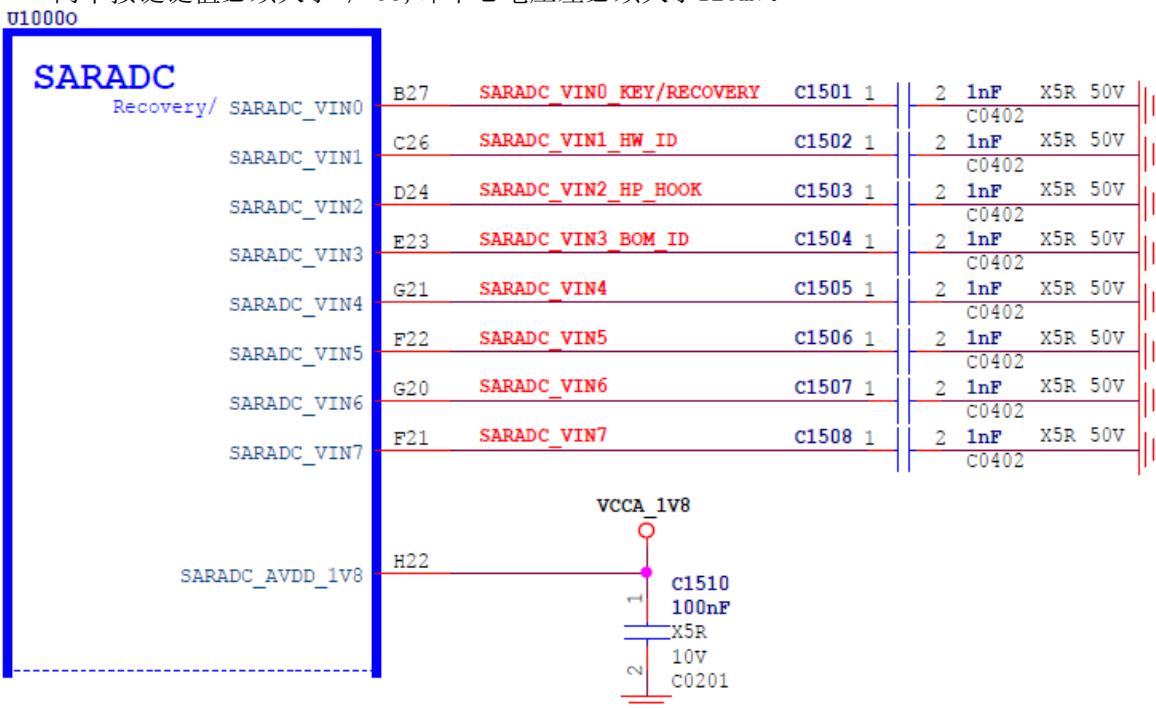


图 2 - 75 RK3568 SARADC模块

- RK3568 SARADC设计注意点：
  - SARADC\_AVDD\_1V8电源的去耦电容不得删减，布局时，要靠近RK3568管脚放置
  - SARADC\_VIN[7:0]有使用，靠近管脚必须增加1nF电容消抖
  - 用于按键采集时，靠近按键需做ESD防护，而且0键值的必须串接100ohm电阻加强抗静电浪涌能力（如果只有一个键时，ESD必须靠近按键，先经过ESD→100ohm电阻→1nF→芯片管脚）

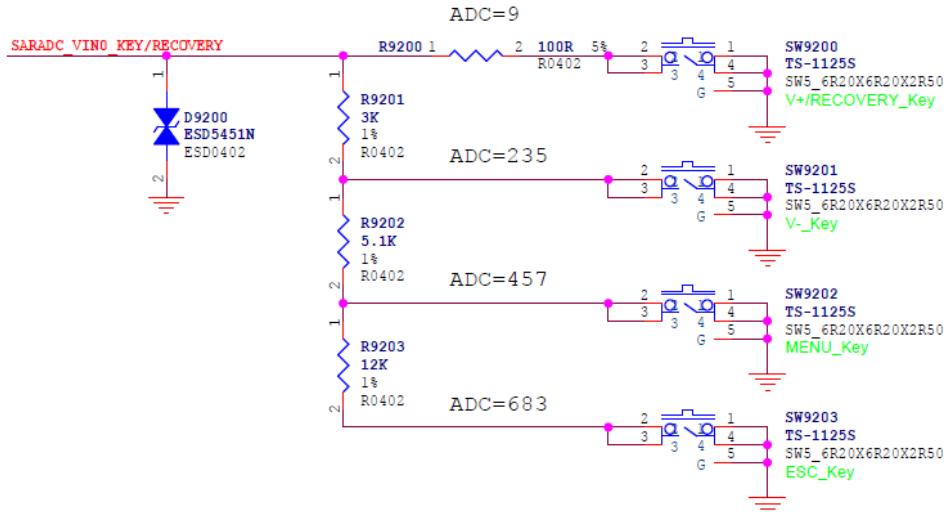


图 2 - 76 使用SARADC采集的按键电路

### 2.3.3 OTP电路

- RK3568内部集成8Kbit OTP，7Kbit可以用于安全应用
- 支持编写，读取以及空闲模式，这几个模式OTP\_VCC18管脚都必须供电
- OTP\_VCC18电源的去耦电容不得删减，布局时，要靠近RK3568管脚放置

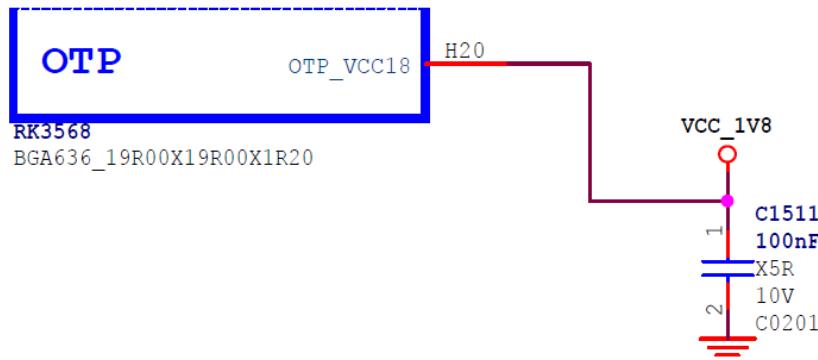


图 2 - 77 RK3568 OTP电源管脚

### 2.3.4 USB2.0/USB3.0电路

RK3568芯片拥有一个USB3.0 OTG控制器，1个USB3.0 HOST控制器，2个USB2.0 HOST控制器，见下图的桃红色方框和绿色方框：

- USB3.0 OTG控制器的USB SS信号使用MULTI\_PHY0，USB LS/FS/HS信号使用USB2.0 OTGO PHY
- USB3.0 HOST控制器的USB SS信号使用MULTI\_PHY1，USB LS/FS/HS信号使用USB2.0 HOST1 PHY
- 2个USB2.0 HOST控制器分别使用USB2.0 HOST2 PHY和USB2.0 HOST3 PHY

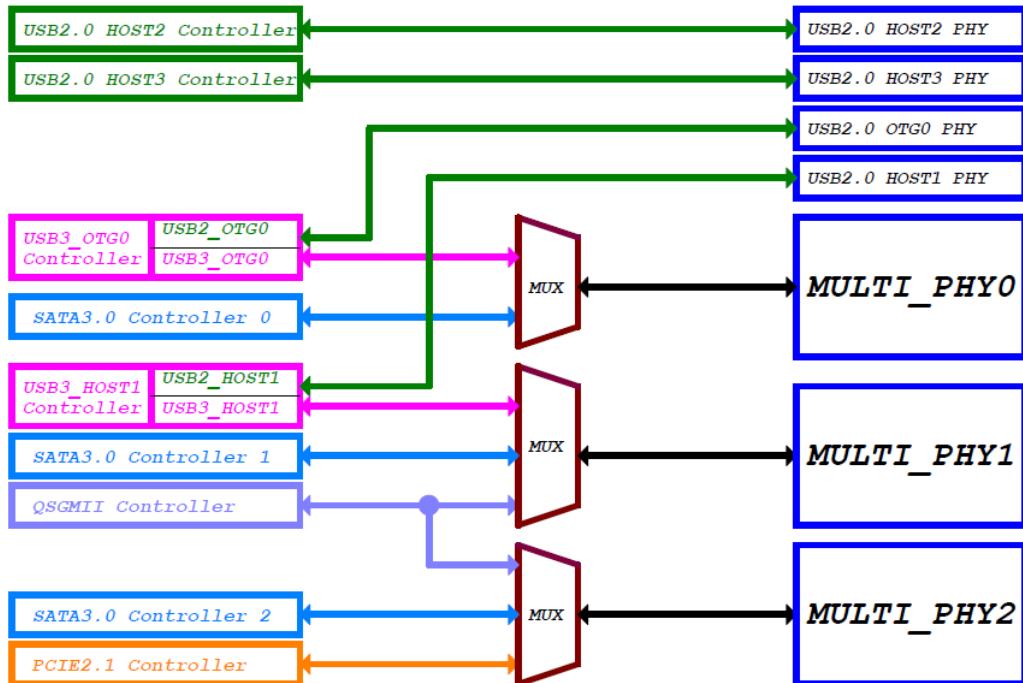


图 2 - 78 MULTI\_PHY0/1和USB3控制器复用关系

- USB3.0 OTGO控制器，其中USB LS/FS/HS模式信号使用USB2.0 OTGO PHY，USB SS模式信号使用MULTI\_PHY0（与SATA0控制器复用），下图框内信号组成一个完整的USB3.0 OTGO接口，不支持其它组合；  
如果只需要USB2.0接口，选择其中DP/DM信号即可，MULTI\_PHY0可配置成SATA0功能。

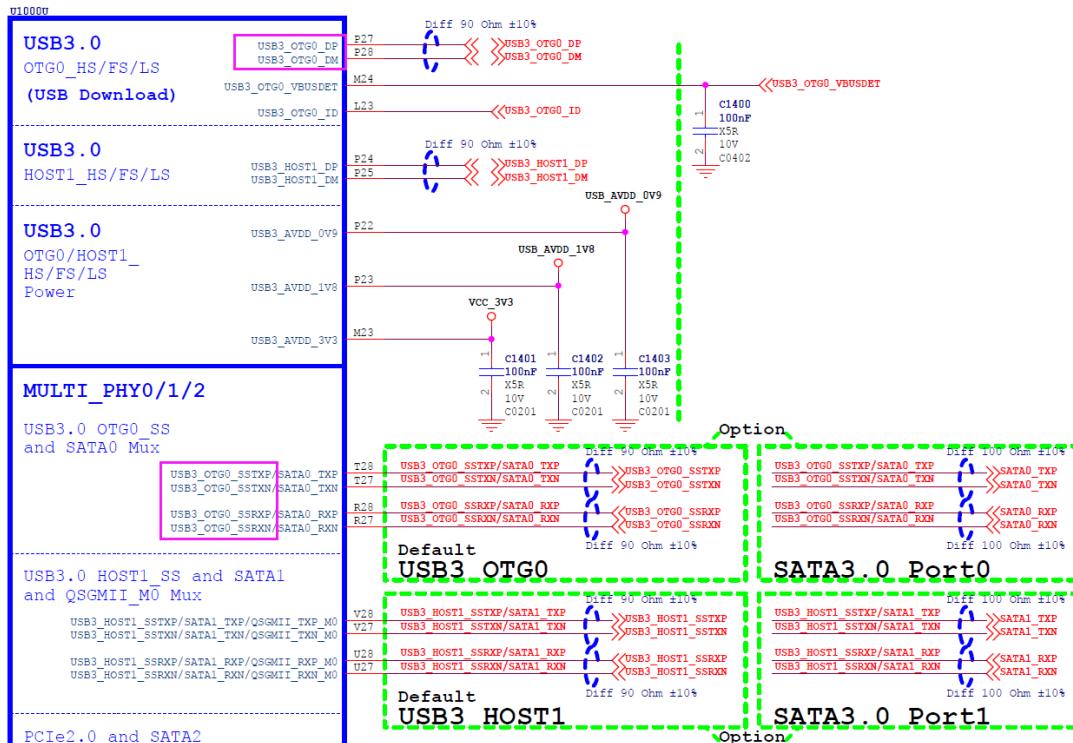


图 2 - 79 USB3.0 OTGO管脚



注意

仅USB3\_OTGO\_DP/USB3\_OTGO\_DM支持Download Firmware，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，注意：USB3\_OTGO\_VBUSDET也必须连接。

- USB3.0 HOST1控制器，其中USB LS/FS/HS模式信号使用USB2.0 HOST1 PHY，USB SS模式信号使用

MULTI\_PHY1（与SATA1控制器以及QSGMII控制器复用），下图框内信号组成一个完整的USB3.0 HOST1接口，不支持其它组合；如果只需要USB2.0接口，选择其中DP/DM信号即可，MULTI\_PHY1可配置成SATA1或QSGMII功能。

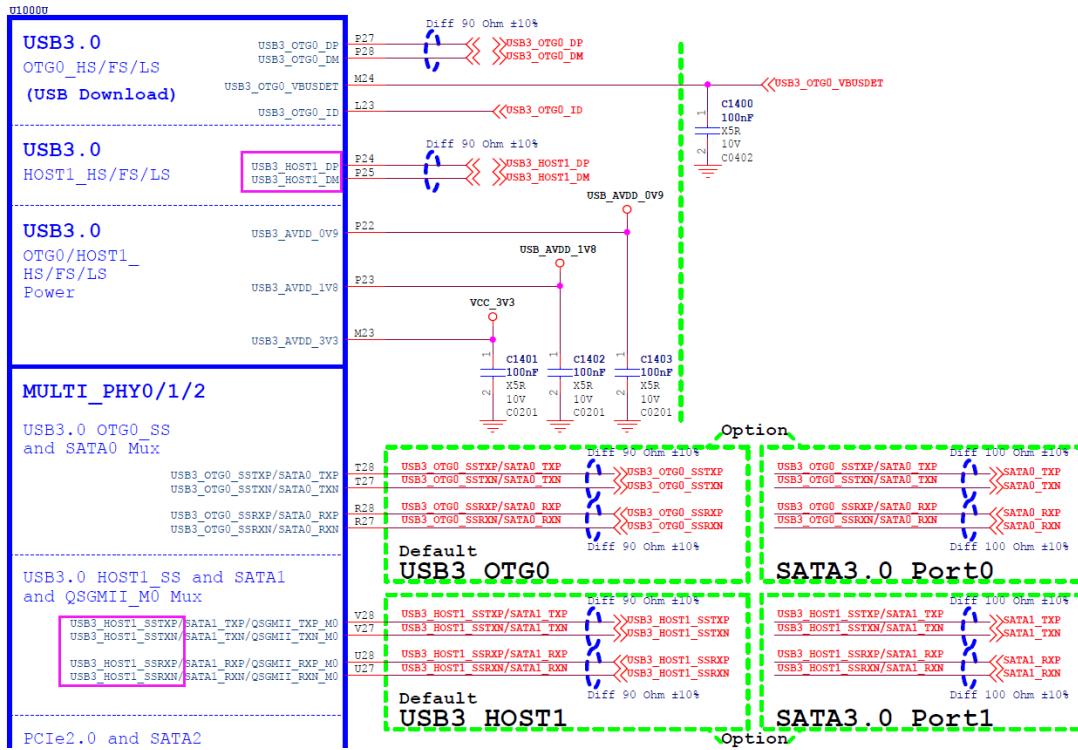


图 2 - 80 USB3.0 HOST1管脚

- USB2.0 HOST2控制器，使用USB2.0 HOST2 PHY，下图框内信号组成USB2.0 HOST2接口

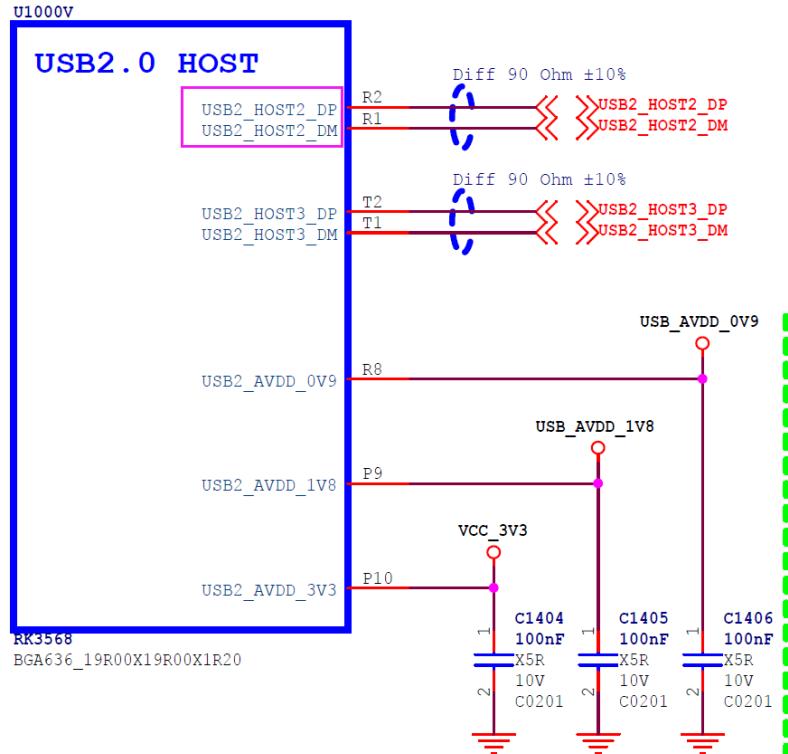


图 2 - 81 USB2.0 HOST2管脚

- USB2.0 HOST3控制器，使用USB2.0 HOST3 PHY，下图框内信号组成USB2.0 HOST3接口

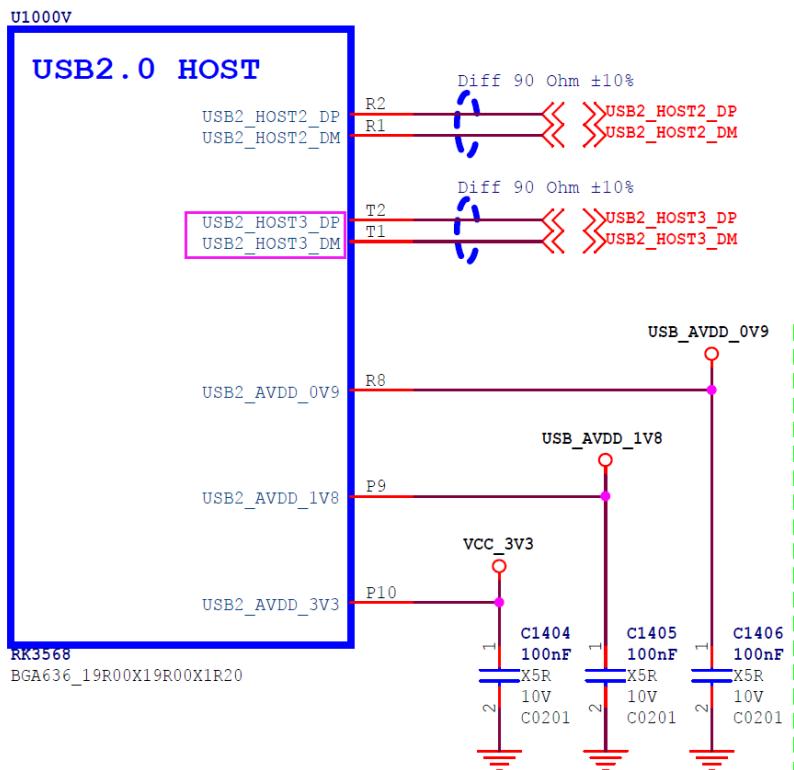
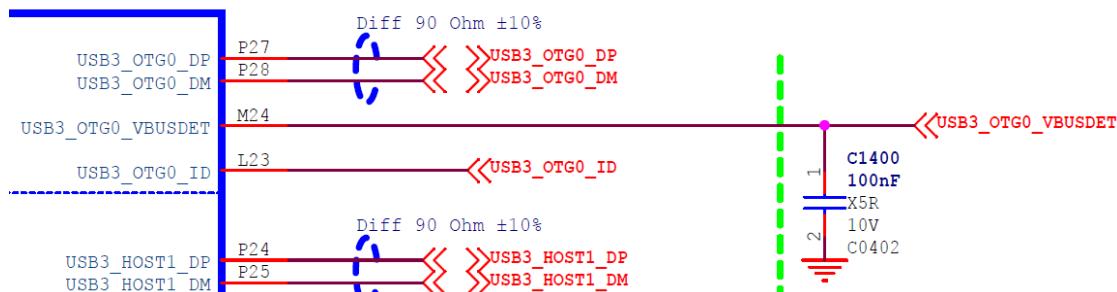


图 2 - 82 USB2.0 HOST3管脚

- USB2.0/USB3.0设计中请注意：

- 仅USB3\_OTG0\_DP/USB3\_OTG0\_DM是系统固件烧写口，如果产品不用这个接口，在调试与生产过程中必须要预留此接口，不然会无法调试及生产烧写固件；
- USB3\_OTG0\_ID内部有大概200Kohm电阻上拉到USB3\_AVDD\_1V8；
- USB3\_OTG0\_VBUSDET是OTG和Device模式检测脚，高有效，2.7~3.3V，TYP: 3.0V，建议在管脚放置一个100nF电容  
OTG模式可以设置以下三种模式：
  - ◆ OTG模式：根据ID脚状态自动切换是device模式或HOST模式，ID高为device，ID拉低为HOST，处在device模式时，还会判断VBUSDET脚是否为高，如果为高，才会拉高DP，开始枚举
  - ◆ Device模式：设置为这个模式时，无需ID脚，只需判断VBUSDET脚是否为高，如果为高，才会拉高DP，开始枚举
  - ◆ HOST模式：设置为这个模式时，ID和VBUSDET状态都无需要关心。（如果产品只需要HOST模式，但是由于仅USB3\_OTG0\_DP/USB3\_OTG0\_DM是系统固件烧写口，在调试与生产过程都需要用这个口，烧写和adb调试时，需要设置成device模式，因此USB3\_OTG0\_VBUSDET信号也必须接）
- ◆ 在uboot起来前默认为device模式，进uboot后，可根据实际需求配置这三种模式。



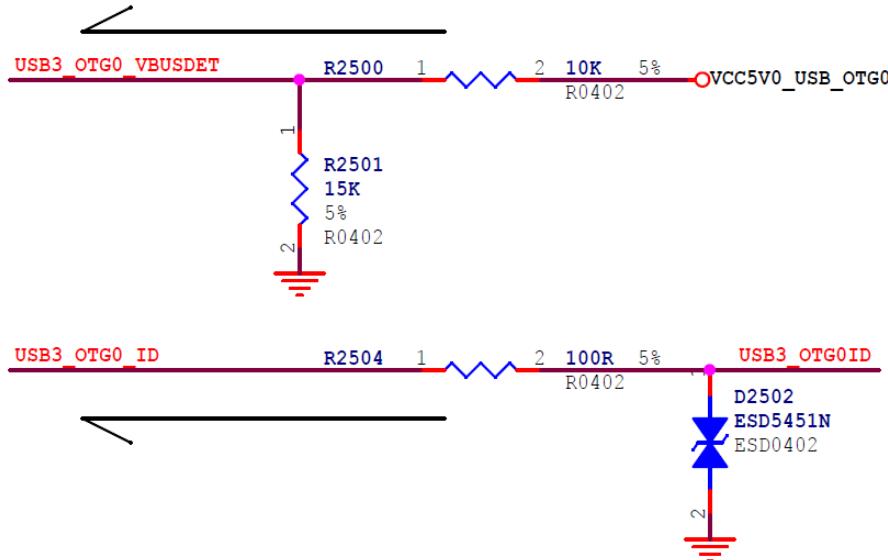


图 2-83 RK3568 VBUSDET和ID电路

- 要求USB3\_AVDD\_0V9, USB2\_AVDD\_0V9, USB3\_AVDD\_1V8, USB2\_AVDD\_1V8电源管脚和VDDA\_0V9, VCCA\_1V8用磁珠进行隔离, 具体电路请参照参考图;

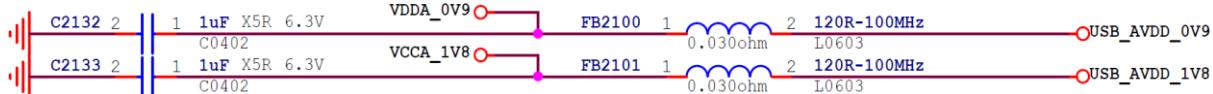


图 2-84 USB2.0 PHY电源磁珠隔离电路

- 为提高USB性能, PHY各路电源的去耦电容不得删除, 布局时请靠近管脚放置;
- 为加强抗静电和浪涌能力, 信号上必须预留ESD器件, USB2.0信号的ESD寄生电容不得超过3pF, 另外USB2.0信号的DP/DM串接2.2ohm电阻, 加强抗静电浪涌能力, 不得删减, 见下图, 举例USB2\_HOST2\_DP/DM, 其它USB2.0接口也需要同样处理;

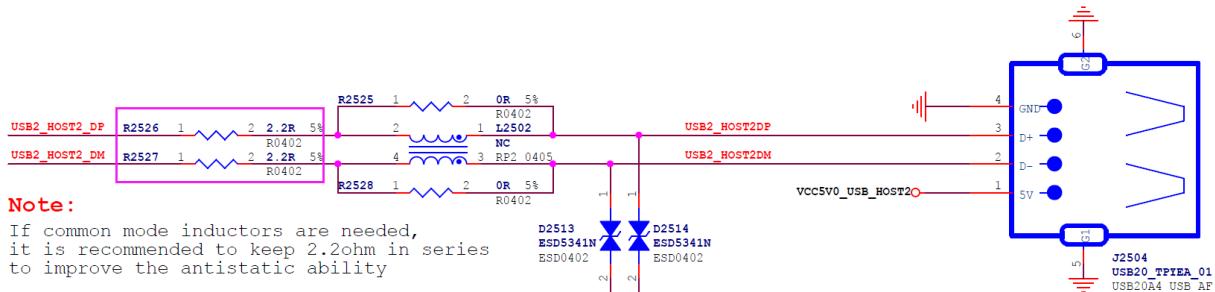


图 2-85 USB2.0 信号串接2.2ohm电阻电路

- 为抑制电磁辐射, 可以考虑在信号线上预留共模电感 (Common mode choke), 在调试过程中根据实际情况选择使用电阻或者共模电感, 见下图, 举例USB2\_HOST2\_DP/DM, 其它USB2.0接口也需要同样处理;

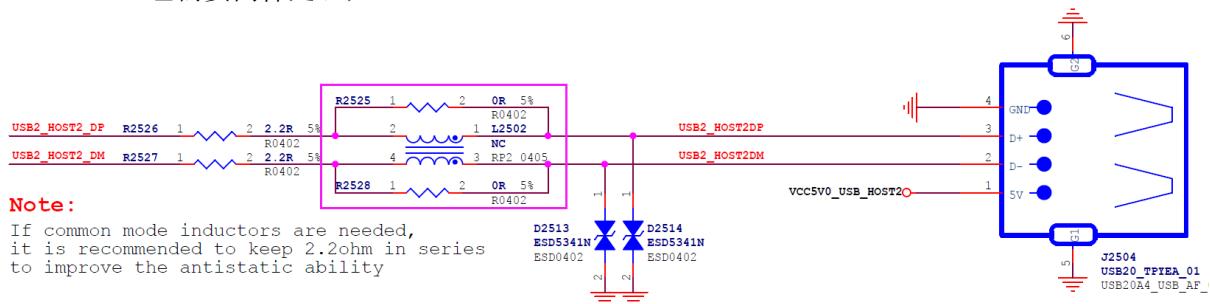
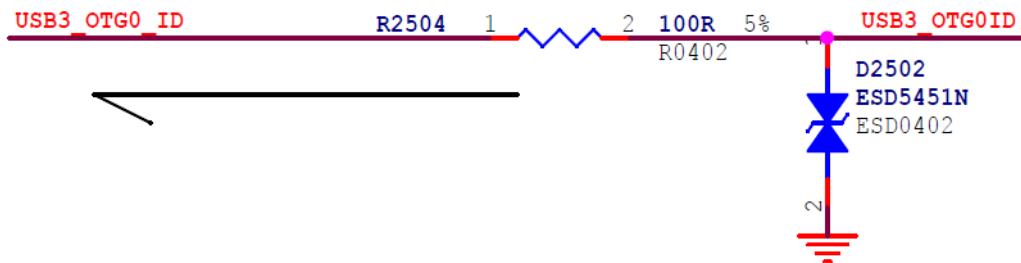
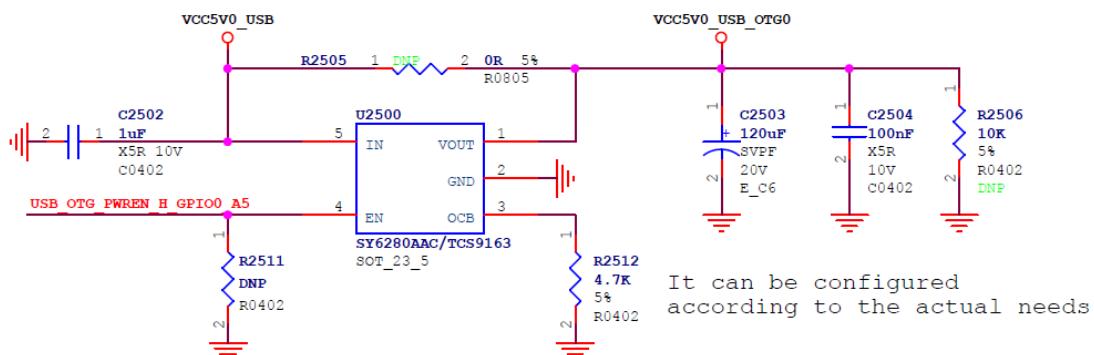


图 2-86 USB2.0 信号串共模电感电路

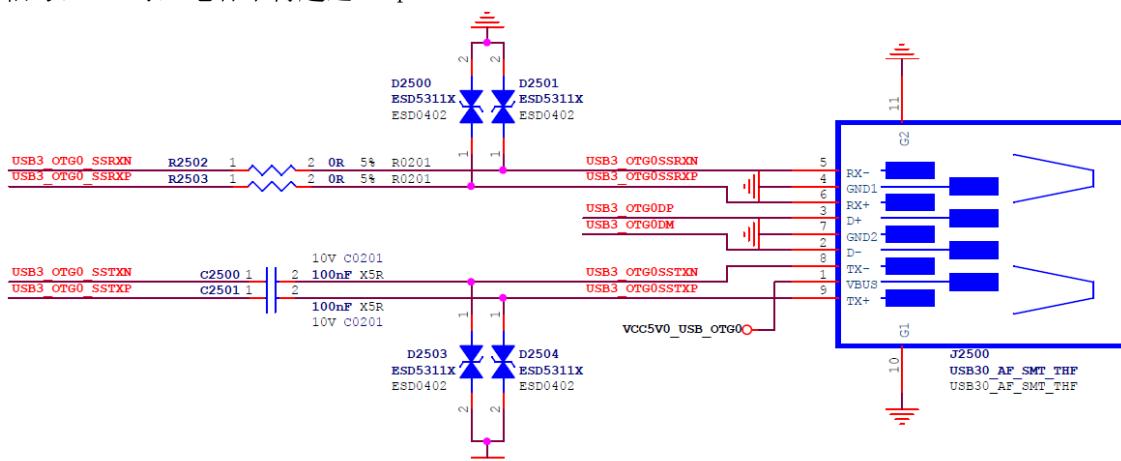
- 如果有用USB3\_OTGO\_ID信号, 为加强抗静电和浪涌能力, 信号上必须预留ESD器件, 而且串接100ohm电阻, 不得删减, 见下图



- 当HOST功能时，5V电源建议增加限流开关，限流大小根据应用需要可调整，限流开关使用GPIO控制，建议5V电源增加100uF以上和100nF电容。



- USB 3.0协议要求在SSTXP/N线上增加100nF交流耦合电容，AC耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化
- USB3座子所有信号都必须增加ESD器件，布局时靠近USB连接器放置。对于SSTXP/N，SSRXPN信号，ESD寄生电容不得超过0.4pF。



- MULTI\_PHY\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置。

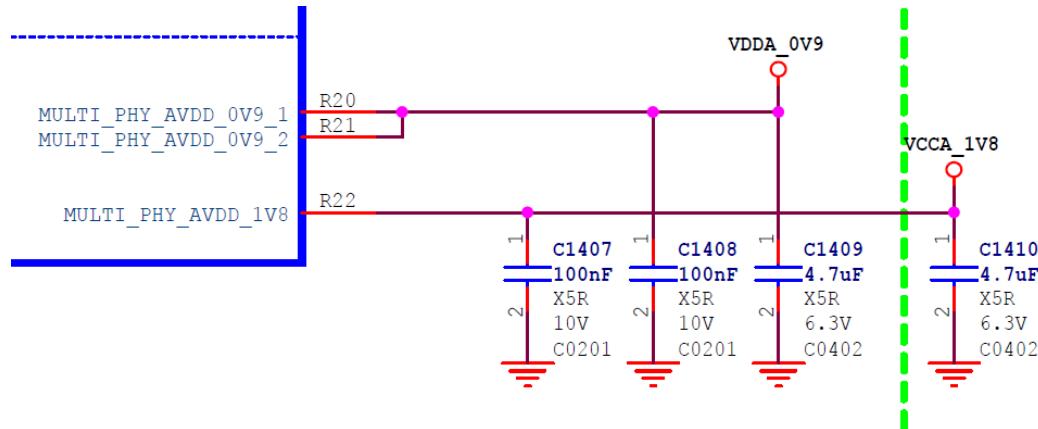


图 2-90 MULTI PHY电源去耦电路

- USB2.0/USB3.0接口匹配设计推荐如下表所示。

表 2-18 RK3568 USB2.0/USB3.0接口设计

信号	连接方式	说明
USB3_OTGO_DP/DM	串接2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出
USB3_OTGO_SSTXP/SSTXN	串接100nF电容（建议0201封装）	USB SS模式的数据输出
USB3_OTGO_SSRXP/SSRXN	串接0ohm电阻	USB SS模式的数据输入
USB3_OTGO_ID	串接100ohm电阻（外部要加强上电，电源需要接到和USB3_AVDD_1V8同一个电源上）	USB OTG ID识别，Micro-USB接口时需要使用
USB3_OTGO_VBUSDET	电阻分压检测	USB OTG 插入检测
USB3_HOST1_DP/DM	串联2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出
USB3_HOST1_SSTXP/SSTXN	串接100nF电容（建议0201封装）	USB SS模式的数据输出
USB3_HOST1_SSRXP/SSRXN	串接0ohm电阻	USB SS模式的数据输入
USB3_HOST2_DP/DM	串联2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出
USB3_HOST3_DP/DM	串联2.2ohm电阻	USB HS/FS/LS模式的数据输入/输出

### 2.3.5 SATA3.0电路

RK3568芯片拥有3个SATA3.0控制器，见下图的兰色方框，分别使用MULTI\_PHY0/1/2

- 支持SATA PM功能，每个port可以支持5个设备
- 支持SATA 1.5Gb/s, SATA 3.0Gb/s, SATA 6.0Gb/s speeds
- 支持eSATA

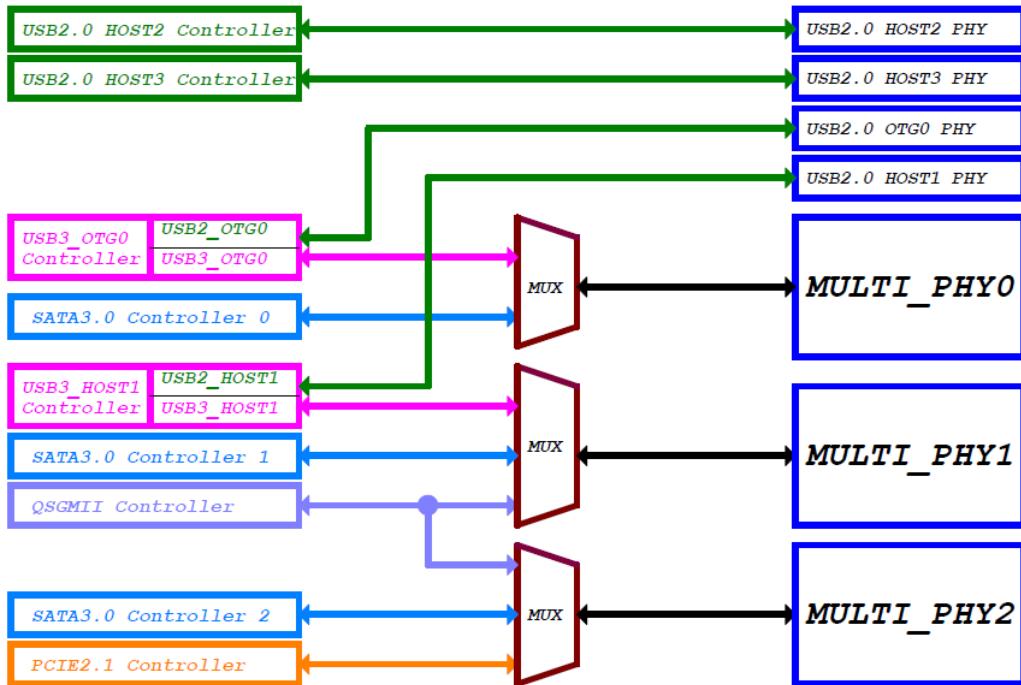
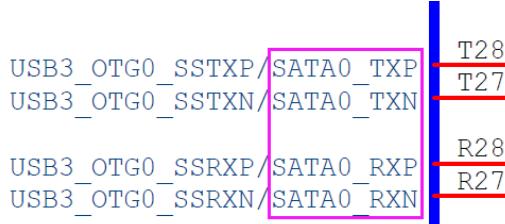


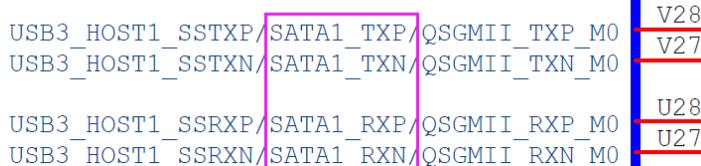
图 2 - 91 MULTI\_PHY0/1/2和SATA3.0控制器复用关系

- SATA0控制器使用MULTI\_PHY0（与USB3.0 OTGO控制器复用）



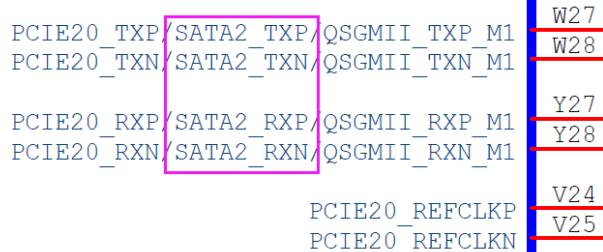
- SATA1控制器使用MULTI\_PHY1（与USB3.0 HOST1控制器以及QSGMII控制器复用）

#### USB3.0 HOST1\_SS and SATA1 and QSGMII\_M0 Mux



- SATA2控制器使用MULTI\_PHY2（与PCIe2.0控制器以及QSGMII控制器复用）

#### PCIe2.0 and SATA2 and QSGMII\_M1 Mux



- SATA0/1/2控制器相关控制IO有

SATA0\_ACT\_LED: SATA0接口有数据传输时LED闪烁控制输出

SATA1\_ACT\_LED: SATA1接口有数据传输时LED闪烁控制输出

SATA2\_ACT\_LED: SATA2接口有数据传输时LED闪烁控制输出

SATA\_CP\_DET: SATA热拔插设备的插拔检测输入

SATA\_MP\_SWITCH: SATA热拔插设备的开关检测输入

SATA\_CP POD: SATA控制热拔插设备电源开关输出

其中SATA\_CP\_DET、SATA\_MP\_SWITCH、SATA\_CP POD是SATA0/1/2共用接口，可通过寄存器配置是SATA0还是SATA1或是SATA2

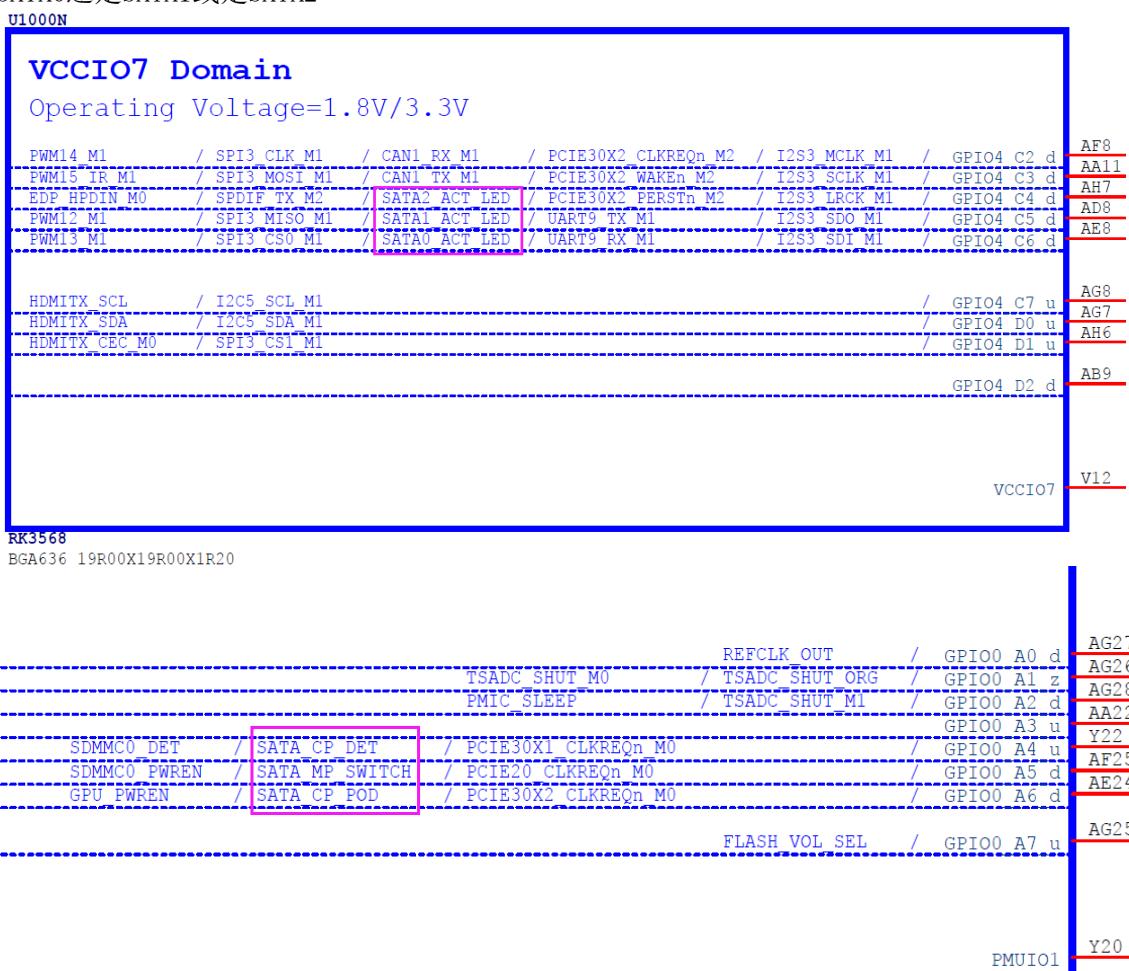
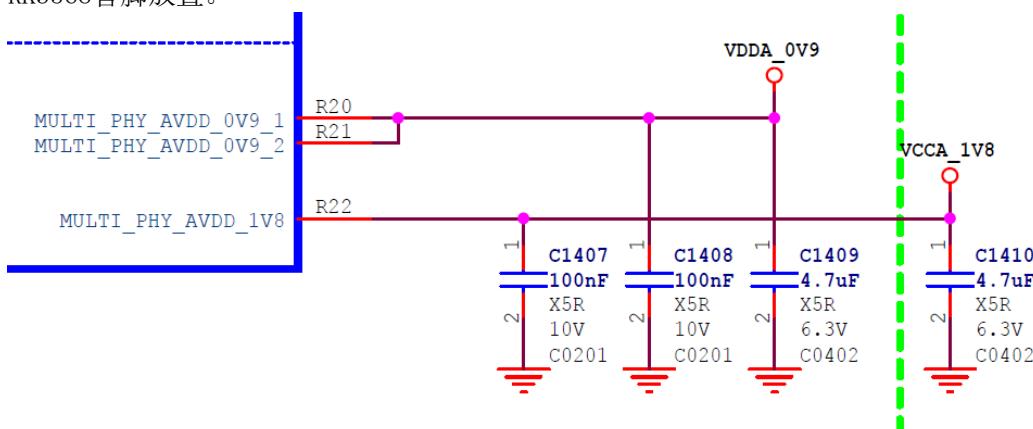


图 2 - 92 SATA0/1/2相关控制IO管脚

- SATA设计中请注意：

- Slot设计时，外围电路及电源需要满足Spec要求
- MULTI\_PHY\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置。



- SATA接口的TXP/N, RXP/N 差分信号上串接的10nF交流耦合电容，AC耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化
- eSATA接口座子所有信号都必须增加ESD器件，布局时靠近座子放置，ESD寄生电容不得超过0.4pF。
- SATA接口匹配设计推荐如下表所示。

表 2 - 19 RK3568 SATA接口设计

信号	连接方式	说明
----	------	----

SATA0_TXP/TXN	串接10nF电容（建议0201封装）	SATA数据输出
SATA0_RXP/RXN	串接10nF电容（建议0201封装）	SATA数据输入
SATA1_TXP/TXN	串接10nF电容（建议0201封装）	SATA数据输出
SATA1_RXP/RXN	串接10nF电容（建议0201封装）	SATA数据输入
SATA2_TXP/TXN	串接10nF电容（建议0201封装）	SATA数据输出
SATA2_RXP/RXN	串接10nF电容（建议0201封装）	SATA数据输入

### 2.3.6 QSGMII/SGMII电路

RK3568芯片拥有1个QSGMII/SGMII接口。

- SGMII (Serial Gigabit Media Independent Interface) 将千兆MAC和千兆PHY之间的RGMII或RMII接口转换成串行接口，使用SGMII接口以降低RGMII接口所需的Pin脚数，SGMII接口速率为1.25Gbps。
- QSGMII (Quad Serial Gigabit Media Independent Interface) 是SGMII扩展，QSGMII接口通过5Gbps速率运行的串行线路在4 Port千兆MAC和4 Port千兆PHY之间传输数据，每个Port都可以以10/100/1000Mbps的数据速率运行，但是RK3568内部只有两个千兆MAC，即通过QSGMII接口也只能支持2 Port的10/100/1000Mbps接口。
- RK3568的QSGMII接口兼容SGMII
- QSGMII/SGMII所用的GMAC0/GMAC1控制器和Mux到IO的RGMII/RMII接口是复用关系
- QSGMII/SGMII PCS接口复用到两个PHY接口上面，分别是MULTI\_PHY1和MULTI\_PHY2，只能使用其中一个PHY接口

GMAC0、GMAC1，QSGMII/SGMII PCS以及QSGMII/SGMII PHY的路径见下图，绿色线路

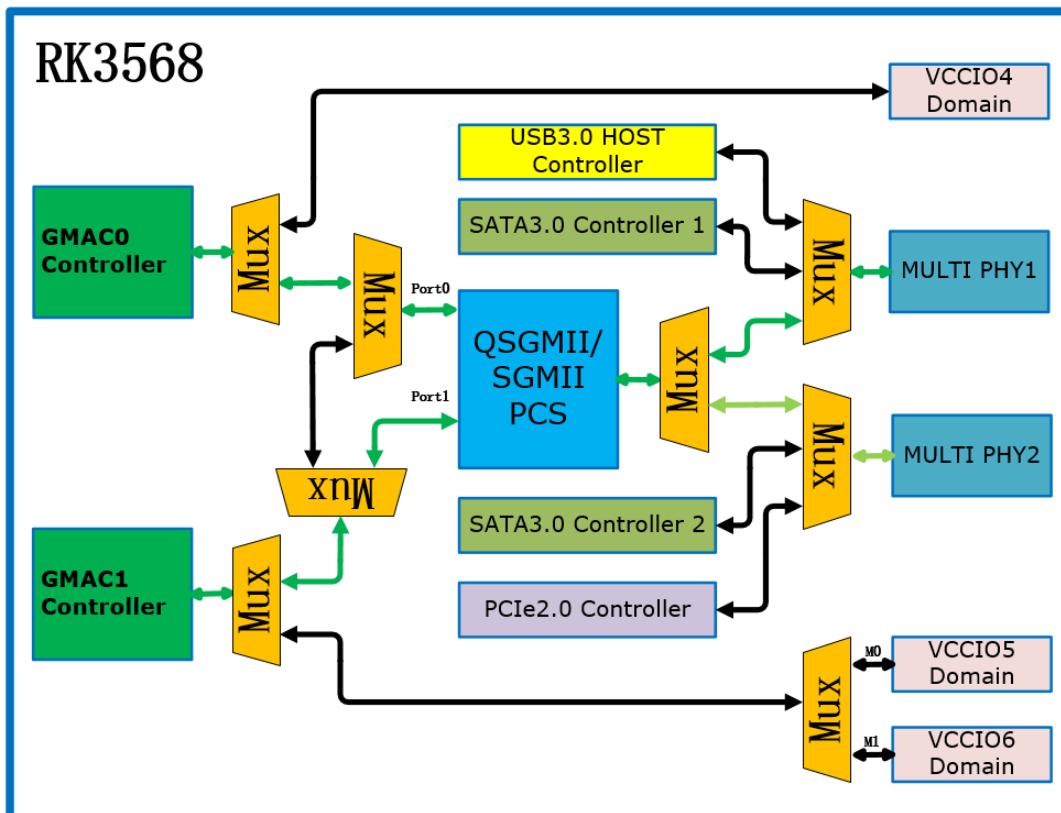


图 2 - 93 GMAC0、GMAC1，QSGMII/SGMII PCS以及QSGMII/SGMII PHY的路径

- QSGMII 使用MULTI\_PHY1的应用框图如下图（绿色线路），此时GMAC0, GMAC1控制器复用到VCCIO4/5/6的功能不能使用，MULTI\_PHY1复用的USB3.0 HOST1和SATA1功能不能使用；

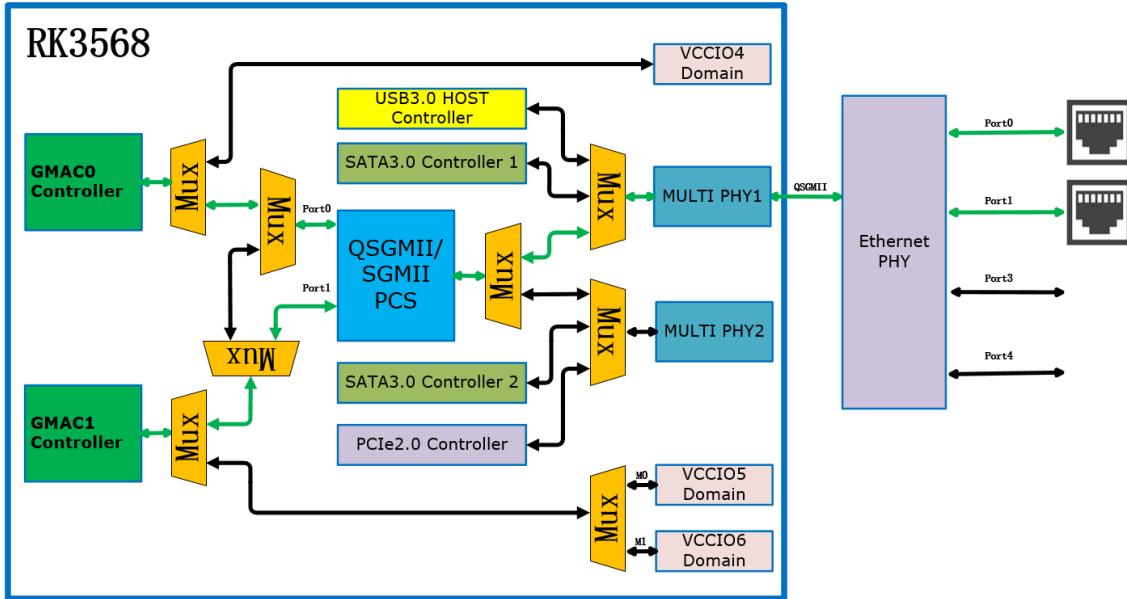


图 2-94 QSGMII-MULTI\_PHY1的应用框图

- QSGMII 使用 MULTI\_PHY2 的应用框图如下图 (绿色线路), 此时 GMAC0, GMAC1 控制器复用到 VCCI04/5/6 的功能不能使用, MULTI\_PHY2 复用的 SATA2 和 PCIe2.0 功能不能使用;

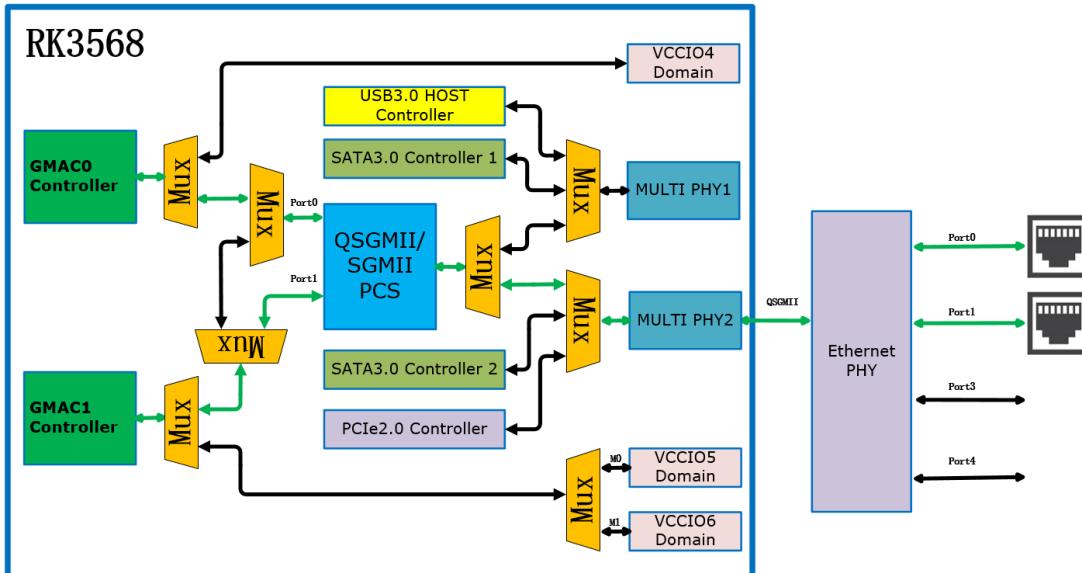


图 2-95 QSGMII-MULTI\_PHY2的应用框图

- SGMII 使用 MULTI\_PHY1 的应用框图如下图 (绿色线路), 可选择使用 GMAC0 控制器或 GMAC1 控制器
  - SGMII 选择 GMAC0 控制器, 此时 MULTI\_PHY1 复用的 USB3.0 HOST1 和 SATA1 功能不能使用, VCCI04 复用的 GMAC0 功能不能使用, GMAC1 控制器复用到 VCCI05 或 VCCI06 可以选择其中一个实现第二个以太网口;

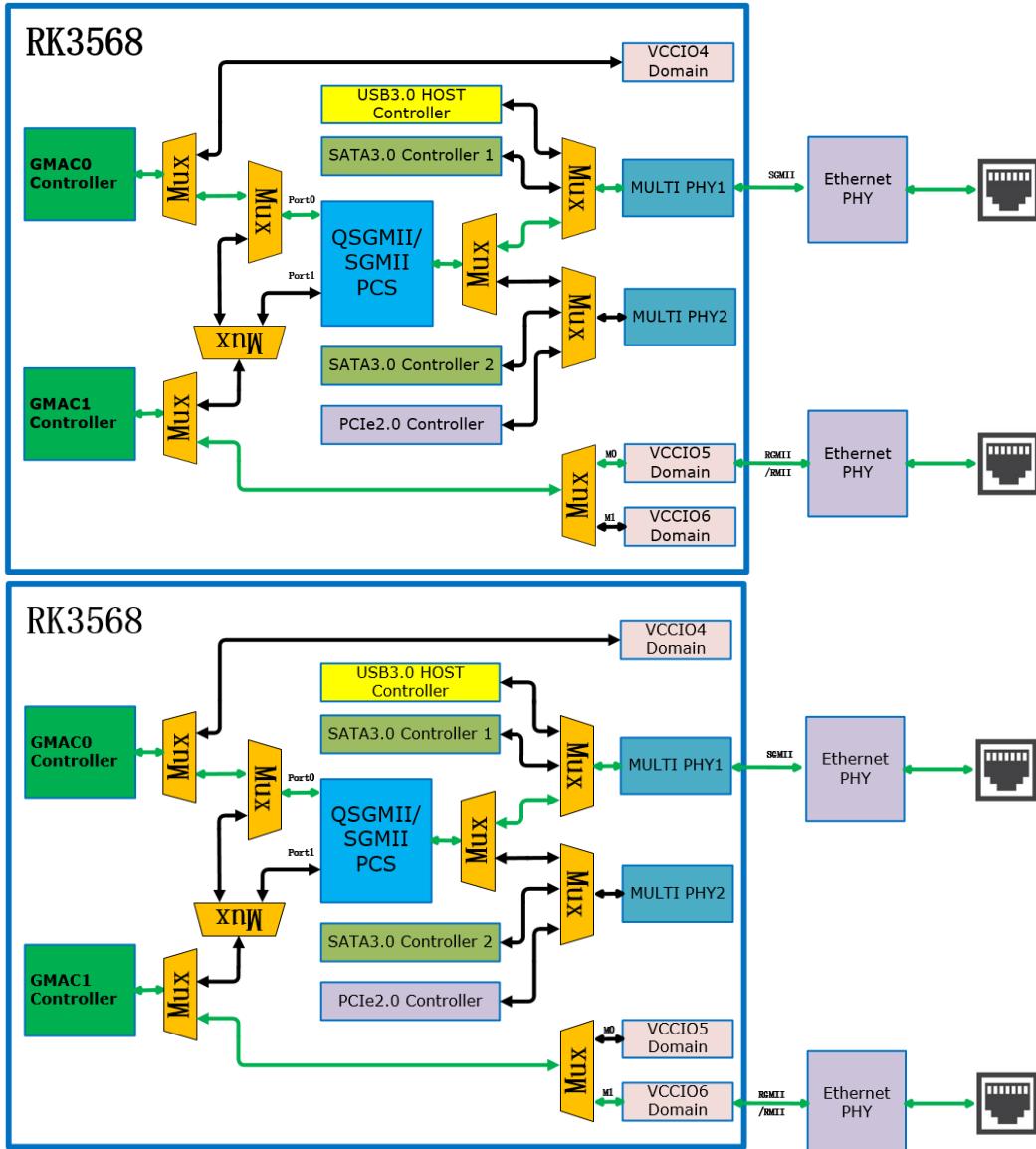


图 2 - 96 GMAC0-SGMII-MULTI\_PHY1的应用框图

- SGMII选择GMAC1控制器，此时MULTI\_PHY1复用的USB3.0 HOST1和SATA1功能不能使用，VCCI05或VCCI06复用的GMAC1功能不能使用，GMAC0控制器复用到VCCI04可以实现第二个以太网口，如下图（绿色线路）；

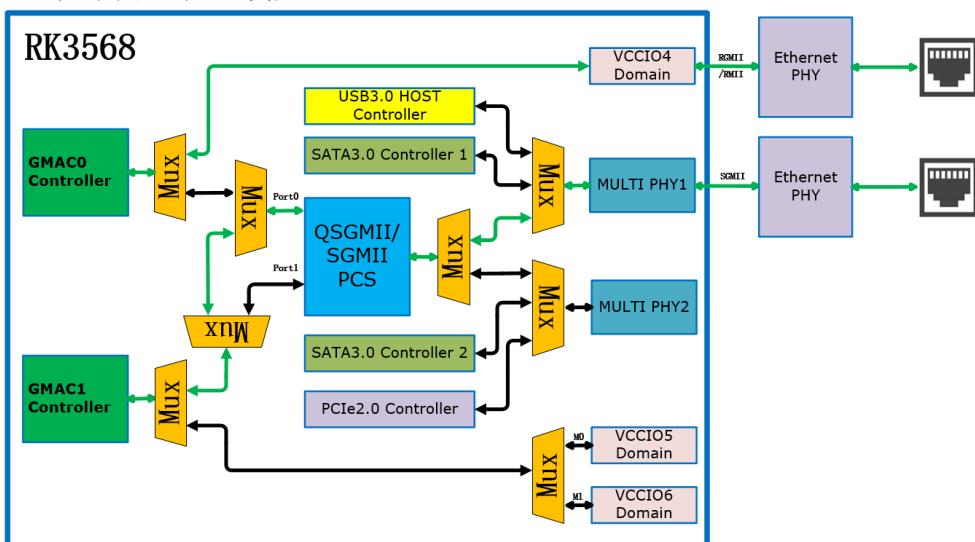


图 2 - 97 GMAC1-SGMII-MULTI\_PHY1的应用框图

- SGMII使用MULTI\_PHY2的应用框图如下图（绿色线路），可选择使用GMAC0控制器或GMAC1控制器
  - SGMII选择GMAC0控制器，此时MULTI\_PHY2复用的SATA2和PCIe2.0功能不能使用，VCCI04复用

的GMAC0功能不能使用，GMAC1控制器复用到VCCI05或VCCI06可以选择其中一个实现第二个以太网口；

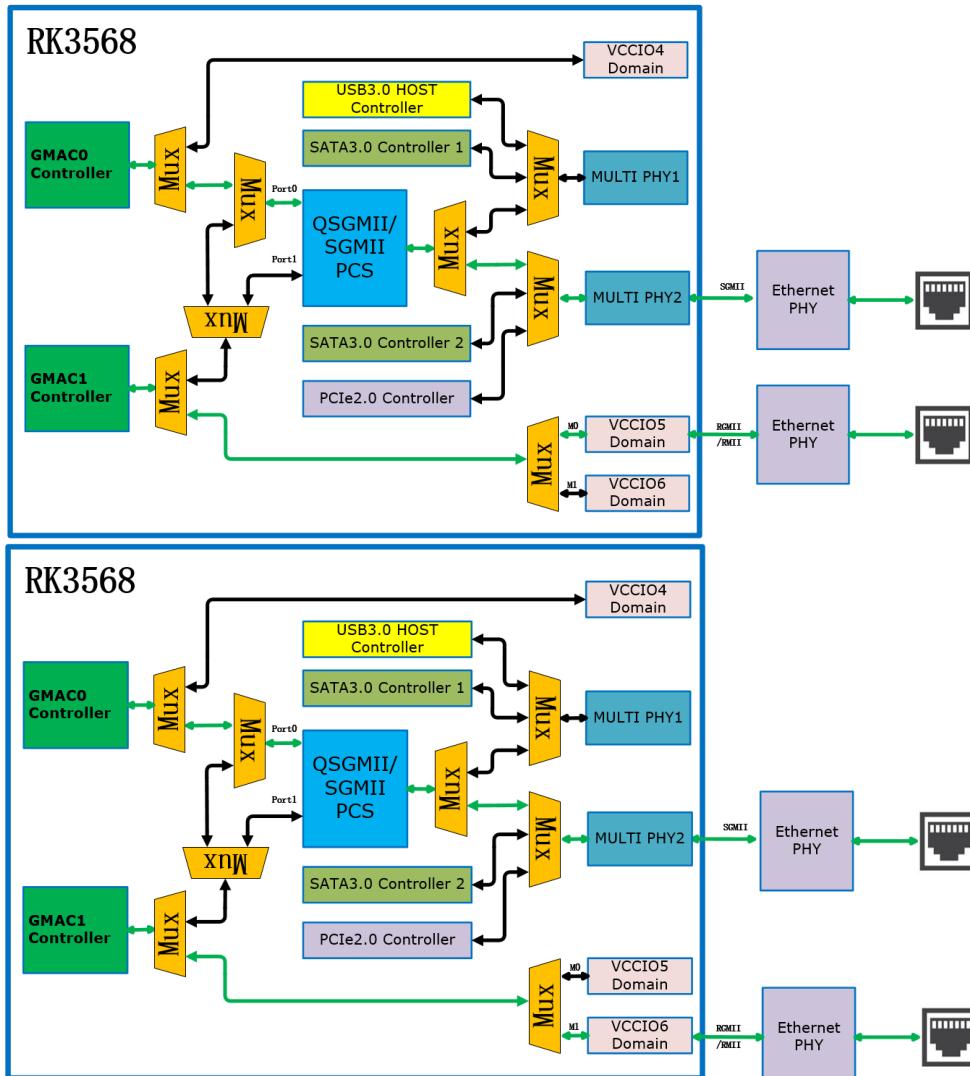


图 2 - 98 GMAC0-SGMII-MULTI\_PHY2的应用框图

- SGMII选择GMAC1控制器，此时MULTI\_PHY2复用的SATA2和PCIe2.0功能不能使用，VCCI05或VCCI06复用的GMAC1功能不能使用，GMAC0控制器复用到VCCI04可以实现第二个以太网口，如下图（绿色线路）；

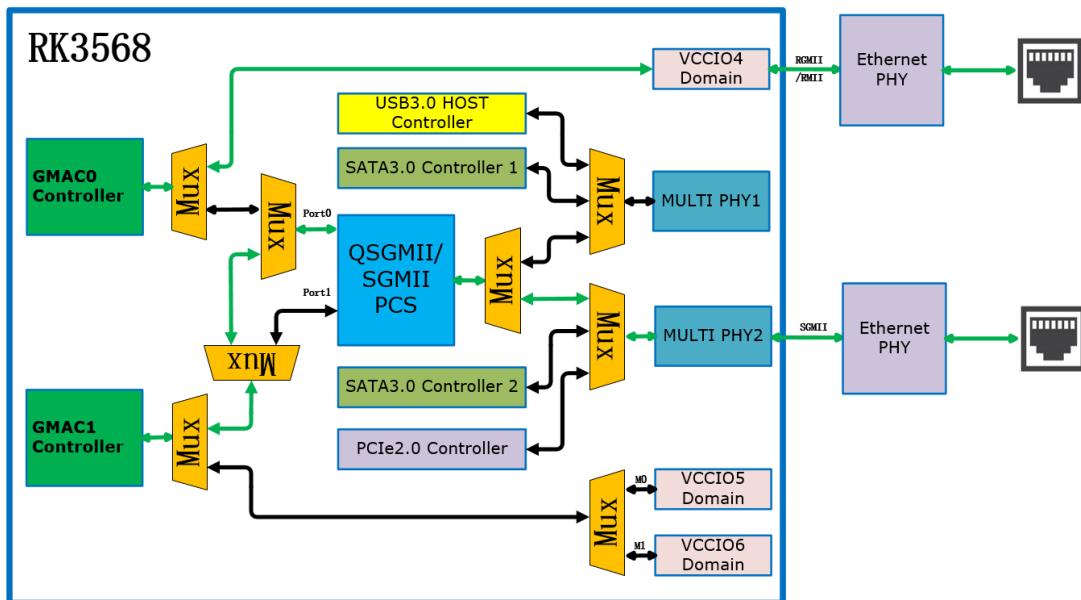
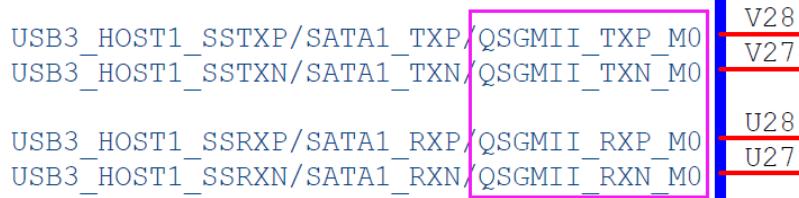


图 2 - 99 GMAC1-SGMII-MULTI\_PHY2的应用框图

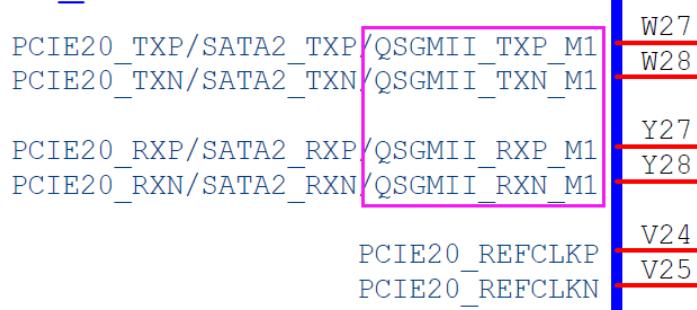
- QSGMII/SGMII使用MULTI\_PHY1，与USB3.0 HOST1和SATA1控制器复用，此时复用在MULTI\_PHY2的QSGMII功能不能使用

### USB3.0 HOST1\_SS and SATA1 and QSGMII\_M0 Mux



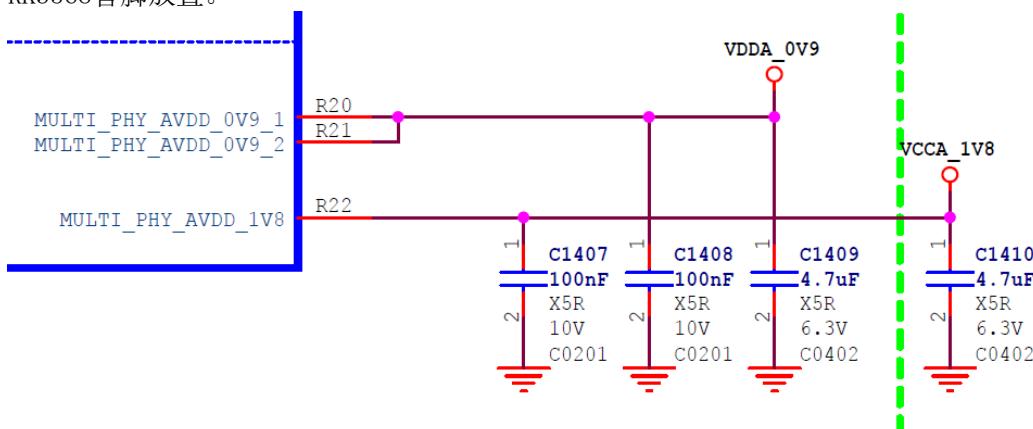
- QSGMII/SGMII使用MULTI\_PHY2，与SATA2和PCIe2.0控制器复用，此时复用在MULTI\_PHY1的QSGMII功能不能使用

### PCIe2.0 and SATA2 and QSGMII\_M1 Mux



- QSGMII/SGMII设计中请注意：

- 外设的外围电路及电源需要满足外设要求
- MULTI\_PHY\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置。



- QSGMII/SGMII接口的TXP/N, RXP/N 差分信号上串接的100nF交流耦合电容，AC耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化
- QSGMII/SGMII接口匹配设计推荐如下表所示。

表 2 - 20 RK3568 QSGMII/SGMII接口设计

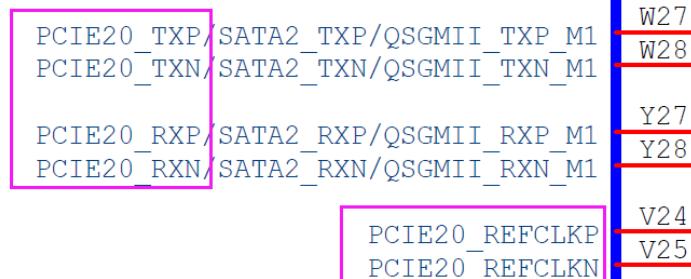
信号	连接方式	说明
QSGMII_TXP/TXN_M0	串接100nF电容（建议0201封装）	QSGMII复用在MULTI_PHY1数据输出
QSGMII_RXP/RXN_M0	串接100nF电容（建议0201封装）	QSGMII复用在MULTI_PHY1数据输入
QSGMII_TXP/TXN_M1	串接100nF电容（建议0201封装）	QSGMII复用在MULTI_PHY2数据输出
QSGMII_RXP/RXN_M1	串接100nF电容（建议0201封装）	QSGMII复用在MULTI_PHY2数据输入

### 2.3.7 PCIe2.0电路

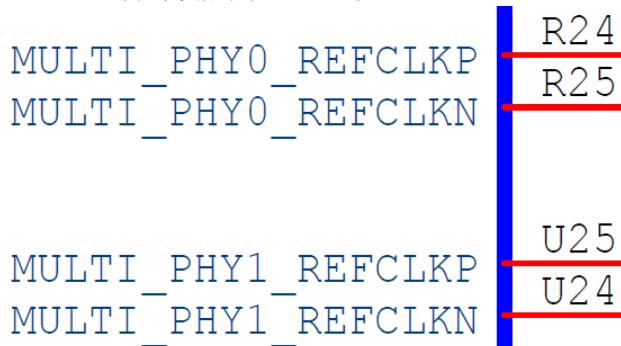
RK3568芯片拥有一个x1 Lane PCIe2.0 RC Mode控制器，只支持RC (Root Complex) 模式。

- PCIe2.0控制器使用MULTI\_PHY2，与SATA2和QSGMII\_M1控制器复用

#### PCIe2.0 and SATA2 and QSGMII\_M1 Mux

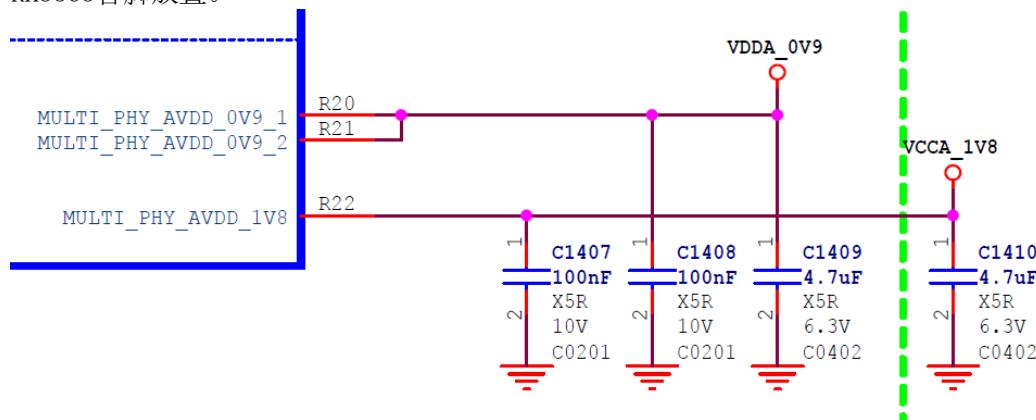


- PCIE20\_REFCLKP/N可支持输出也可支持输入，默认输出提供给EP设备
- MULTI\_PHY0/PHY1有两对REFCLK，暂时没启用，悬空即可



- PCIe2.0设计中请注意：

- Slot设计时，外围电路及电源需要满足Spec要求
- MULTI\_PHY\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置。



- PCIe2.0接口的TXP/N差分信号上串接的100nF交流耦合电容，AC耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化
- PCIE20\_CLKREQn和PCIE20\_WAKEn必须使用功能脚，不能用GPIO替代，特别说明：选择时，必须都是选择\_M0或\_M1或\_M2，不能一个\_M0一个\_M1
- PCIE20\_PERSTn可以选择功能脚也可以使用GPIO替代，选择功能脚时，必须和PCIE20\_CLKREQn和PCIE20\_WAKEn同一组\_Mx
- 标准的PCIe Slot：PCIE20\_CLKREQn, PCIE20\_WAKEn, PCIE20\_PERSTn为3.3V电平
- PCIE20\_PERSTn建议在Slot管脚增加一个100nF电容，加强抗静电能力。
- PCIE20\_PRSNT为Add In Card插入检测脚，可以使用GPIO。
- PCIe2.0接口匹配设计推荐如下表所示。

表 2 - 21 RK3568 PCIe2.0接口设计

信号	连接方式	说明
PCIE20_TXP/TXN	串接100nF电容（建议0201封装）	PCIe数据输出
PCIE20_RXP/RXN	直连	PCIe数据输入
PCIE20_REFCLKP/CLKN	直连	PCIe参考时钟
PCIE20_CLKREQn	串接22ohm电阻	PCIe参考时钟请求输入（RC模式）
PCIE20_WAKEEn	串接22ohm电阻	PCIe唤醒输入（RC模式）
PCIE20_PERSTn	串接22ohm电阻	PCIe全局复位输出（RC模式）
PCIE20_PRSNT	串接22ohm电阻	Add In Card插入检测输入（RC模式）

### 2.3.8 PCIe3.0电路

RK3568芯片拥有一个PCIe3.0 x2 Lane Dual Mode控制器，一个PCIe3.0 x1 Lane RC Mode控制器，一个PCIe3.0 x2 Lane PHY

- 支持PCIe3.0 x2 Lane RC模式，兼容PCIe3.0 x1 Lane RC模式
- 支持PCIe3.0 x2 Lane EP模式，兼容PCIe3.0 x1 Lane EP模式
- 支持PCIe3.0 x1 Lane RC模式 + PCIe3.0 x1 Lane RC模式
- PCIe3.0 x2 Lane Dual Mode控制器和PCIe3.0 x1 Lane RC Mode控制器都连接到PCIe3.0 x2 Lane PHY

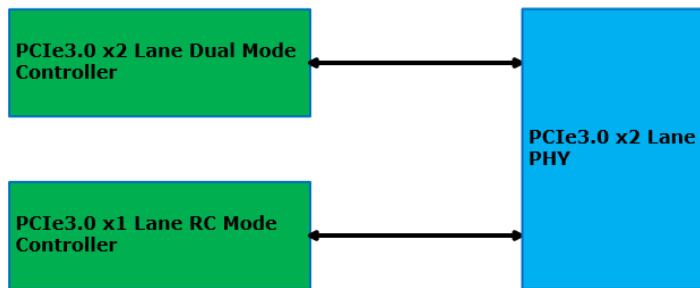


图 2 - 100 PCIe3.0 控制器/PCIe3.0 PHY 框图

- PCIe3.0 x2 Lane RC模式，兼容PCIe3.0 x1 Lane RC模式：  
使用PCIe3.0 x2 Lane Dual Mode控制器
  - PCIe3.0 x2 Lane Dual Mode控制器工作在PCIe3.0 x2 Lane RC模式时，对应的信号为PCIE30\_TXOP、PCIE30\_RXON、PCIE30\_RXOP、PCIE30\_RXON、PCIE30\_TX1P、PCIE30\_RX1N、PCIE30\_RX1P、PCIE30\_RX1N
  - PCIe3.0 x2 Lane Dual Mode控制器工作在PCIe3.0 x1 Lane RC模式时，对应的信号为PCIE30\_TXOP、PCIE30\_RXON、PCIE30\_RXOP、PCIE30\_RXON
- PCIe3.0 x2 Lane EP模式，兼容PCIe3.0 x1 Lane EP模式  
使用PCIe3.0 x2 Lane Dual Mode控制器
  - PCIe3.0 x2 Lane Dual Mode控制器工作在PCIe3.0 x2 Lane EP模式时，对应的信号为PCIE30\_TXOP、PCIE30\_RXON、PCIE30\_RXOP、PCIE30\_RXON、PCIE30\_TX1P、PCIE30\_RX1N、PCIE30\_RX1P、PCIE30\_RX1N
  - PCIe3.0 x2 Lane Dual Mode控制器工作在PCIe3.0 x1 Lane EP模式时，对应的信号为PCIE30\_TXOP、PCIE30\_RXON、PCIE30\_RXOP、PCIE30\_RXON
- PCIe3.0 x1 Lane RC模式 + PCIe3.0 x1 Lane RC模式时：  
其中一个使用PCIe3.0 x2 Lane Dual Mode控制器，另外一个使用PCIe3.0 x1 Lane RC Mode控制器
  - PCIe3.0 x2 Lane Dual Mode控制器工作在PCIe3.0 x1 Lane RC模式时，对应的信号为PCIE30\_TXOP、PCIE30\_RXON、PCIE30\_RXOP、PCIE30\_RXON
  - PCIe3.0 x1 Lane RC Mode控制器工作在PCIe3.0 x1 Lane RC模式时，对应的信号为PCIE30\_TX1P、PCIE30\_RX1N、PCIE30\_RX1P、PCIE30\_RX1N
- PCIE30\_REFCLKP/N仅支持输入
  - 需要提供HCSL电平时钟输入

- 必须提供满足PCIe3.0以上的时钟要求
- RK3568 PCIe3.0 x2 Lane RC模式，兼容PCIe3.0 x1 Lane RC模式，参考时钟路径如下图：

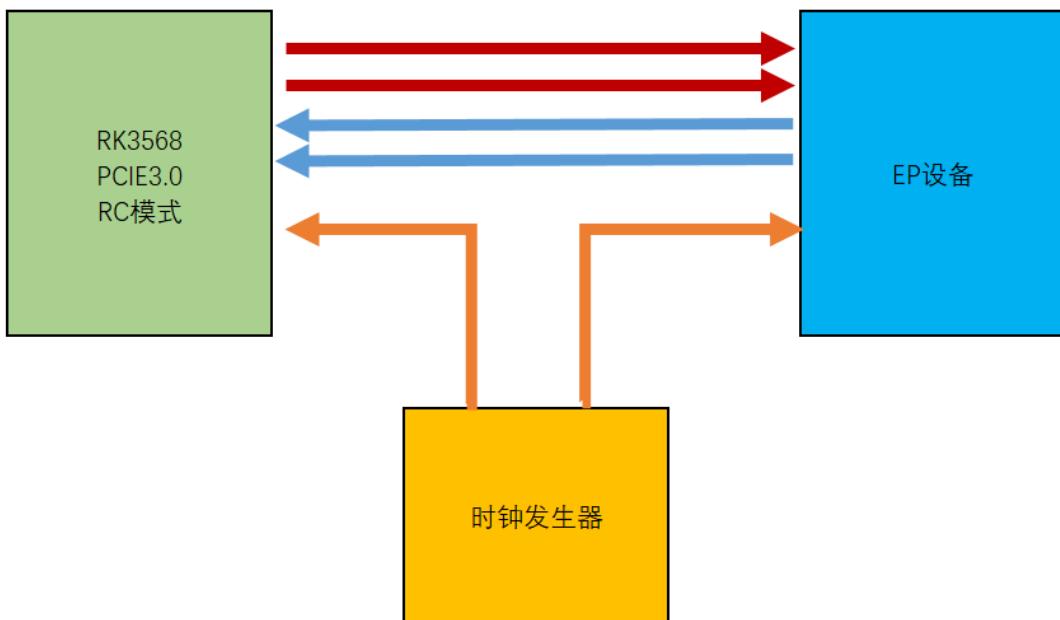


图 2 - 101 RK3568 PCIe3.0 x2 Lane RC模式，参考时钟路径图

- RK3568 PCIe3.0 x2 Lane EP模式，兼容PCIe3.0 x1 Lane EP模式，参考时钟路径如下图：

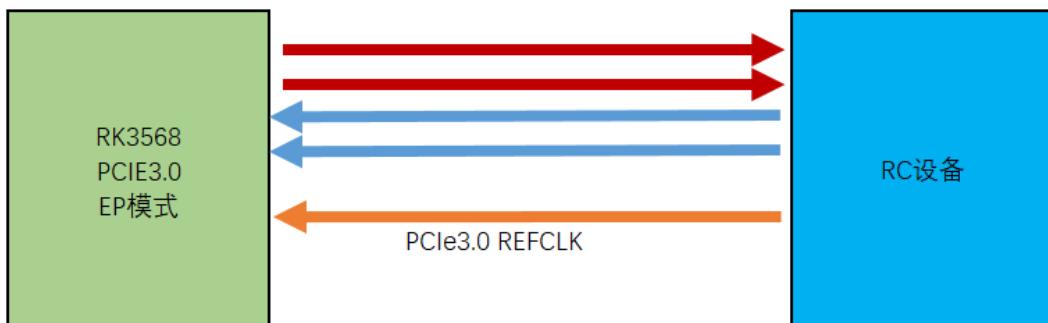


图 2 - 102 RK3568 PCIe3.0 x2 Lane EP模式，参考时钟路径图

- RK3568 PCIe3.0 x1 Lane RC模式 + PCIe3.0 x1 Lane RC模式时，参考时钟路径如下图：

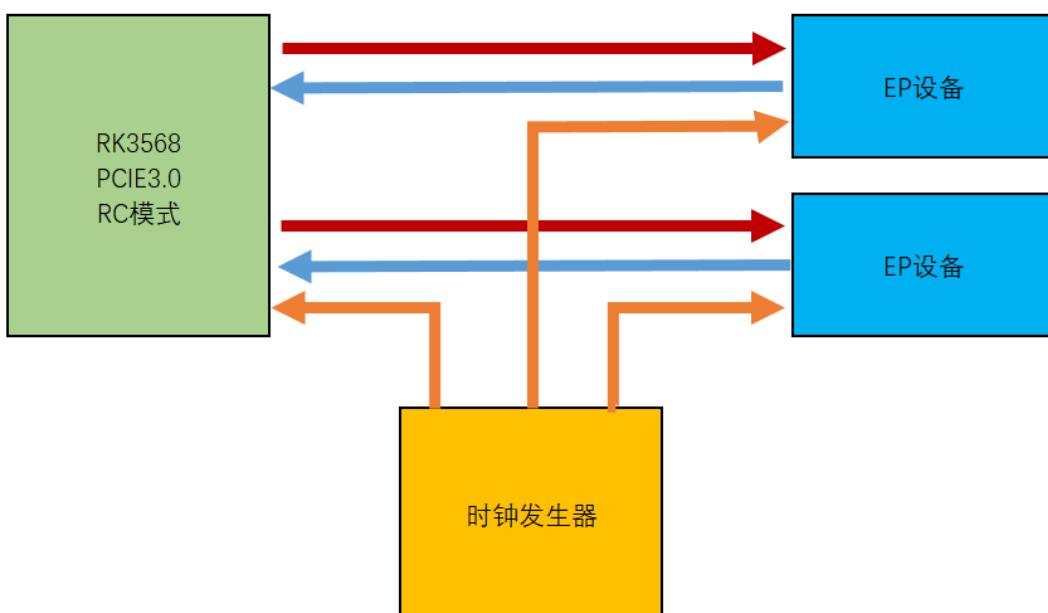


图 2 - 103 RK3568 PCIe3.0 x1 Lane RC模式 + PCIe3.0 x1 Lane RC模式，参考时钟路径图

- PCIe3.0设计中请注意：

- Slot设计时，外围电路及电源需要满足Spec要求
- PCIE30\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置。

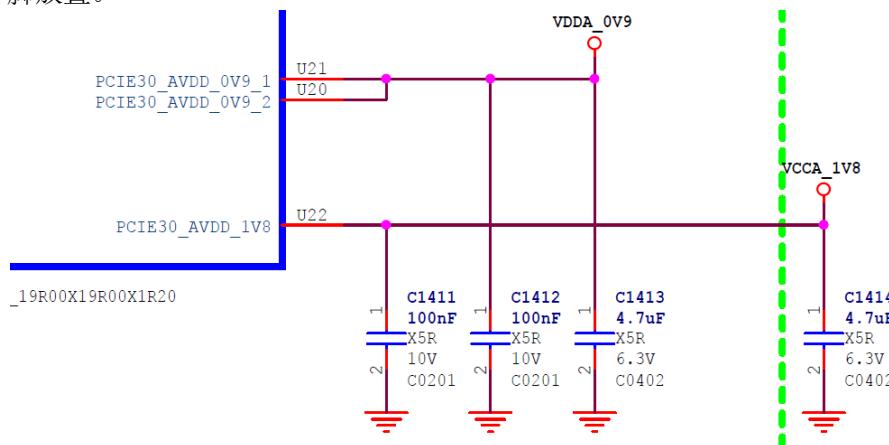


图 2 - 104 PCIe3.0 PHY电源去耦电容

- PCIe3.0接口的TXOP/N, TX1P/N差分信号上串接的220nF交流耦合电容，AC耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化
- PCIE\_RESREF是PCIe3.0 PHY的外置参考电阻管脚，外接对地200Ω精度为1%的电阻，不得更改电阻值，布局时靠近RK3568芯片管脚放置

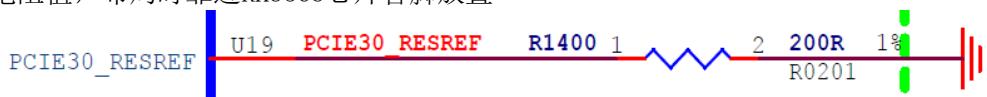


图 2 - 105 PCIe3.0 PHY RESREF管脚

- PCIE30X2\_CLKREQn, PCIE30X2\_WAKEEn, PCIE30X2\_PERSTn对应Lane PCIe3.0 x2 Dual Mode控制器
- PCIE30X1\_CLKREQn, PCIE30X1\_WAKEEn, PCIE30X1\_PERSTn对应Lane PCIe3.0 x1 RC Mode控制器

<b>Option1</b>	<b>PCIe3.0 x2Lane</b>	<b>PCIE30_REFCLK (RC/EP:input)</b>	<b>PCIE30_TX0 PCIE30_RX0 PCIE30_TX1 PCIE30_RX1</b>	<b>PCIE30X2_CLKREQn PCIE30X2_WAKEEn PCIE30X2_PERSTn PCIE30X2_BUTTONRSTn</b>	<b>RC or EP</b>
<b>Option2</b>	<b>PCIe3.0 x1Lane + PCIe3.0 x1Lane</b>	<b>PCIE30_REFCLK (RC:input)</b>	<b>PCIE30_TX0 PCIE30_RX0</b>	<b>PCIE30X2_CLKREQn PCIE30X2_WAKEEn PCIE30X2_PERSTn PCIE30X2_BUTTONRSTn</b>	<b>Only RC</b>
			<b>PCIE30_TX1 PCIE30_RX1</b>	<b>PCIE30X1_CLKREQn PCIE30X1_WAKEEn PCIE30X1_PERSTn PCIE30X1_BUTTONRSTn</b>	<b>Only RC</b>

- PCIE30X2\_CLKREQn、PCIE30X1\_CLKREQn、PCIE30X2\_WAKEEn、PCIE30X1\_WAKEEn必须使用功能脚，不能用GPIO替代，特别说明：选择时，必须都是选择\_M0或\_M1或\_M2，不能一个\_M0一个\_M1
- PCIE30X2\_PERSTn、PCIE30X1\_PERSTn可以选择功能脚也可以使用GPIO替代，选择功能脚时，必须和PCIE30X2\_CLKREQn、PCIE30X2\_WAKEEn和PCIE30X1\_CLKREQn、PCIE30X1\_WAKEEn同一组\_Mx
- 标准的PCIe Slot：PCIE30X2\_CLKREQn、PCIE30X1\_CLKREQn、PCIE30X2\_WAKEEn、PCIE30X1\_WAKEEn、PCIE30X2\_PERSTn、PCIE30X1\_PERSTn为3.3V电平
- PCIE30X2\_PERSTn、PCIE30X1\_PERSTn建议在Slot管脚增加一个100nF电容，加强抗静电能力。
- PCIE30\_PRSNT为Add In Card插入检测脚，可以使用GPIO。
- PCIe3.0接口匹配设计推荐如下表所示。

表 2 - 22 RK3568 PCIe3.0接口设计

信号	连接方式	说明
PCIE30_TXOP/TXON	串接220nF电容（建议0201封装）	PCIe数据输出
PCIE30_RXOP/RXON	直连	PCIe数据输入
PCIE30_TX1P/TX1N	串接220nF电容（建议0201封装）	PCIe数据输出

PCIE30_RX1P/RX1N	直连	PCIe数据输入
PCIE30_REFCLKP_IN/ PCIE30_REFCLKN_IN	直连	PCIe参考时钟输入
PCIE30_RESREF	对地200Ω精度为1%的电阻	PCIe3.0 PHY的外置参考电阻
PCIE30X2_CLKREQn	串接22ohm电阻	PCIe参考时钟请求输入（RC模式） PCIe参考时钟请求输出（EP模式）
PCIE30X2_WAKEn	串接22ohm电阻	PCIe唤醒输入（RC模式） PCIe唤醒输出（EP模式）
PCIE30X2_PERSTn	串接22ohm电阻	PCIe全局复位输出（RC模式） PCIe全局复位输入（EP模式）
PCIE30X2_PRSNT	串接22ohm电阻	Add In Card插入检测输入（RC模式）
PCIE30X1_CLKREQn	串接22ohm电阻	PCIe参考时钟请求输入（RC模式）
PCIE30X1_WAKEn	串接22ohm电阻	PCIe唤醒输入（RC模式）
PCIE30X1_PERSTn	串接22ohm电阻	PCIe全局复位输出（RC模式）
PCIE30X1_PRSNT	串接22ohm电阻	Add In Card插入检测输入（RC模式）

### 2.3.9 视频输入接口电路

- 2.3.9.1 MIPI CSI RX 接口

RK3568有一个MIPI CSI RX PHY，支持MIPI V1.2版本，总共4Lane，有两对时钟

**MIPI CSI RX**

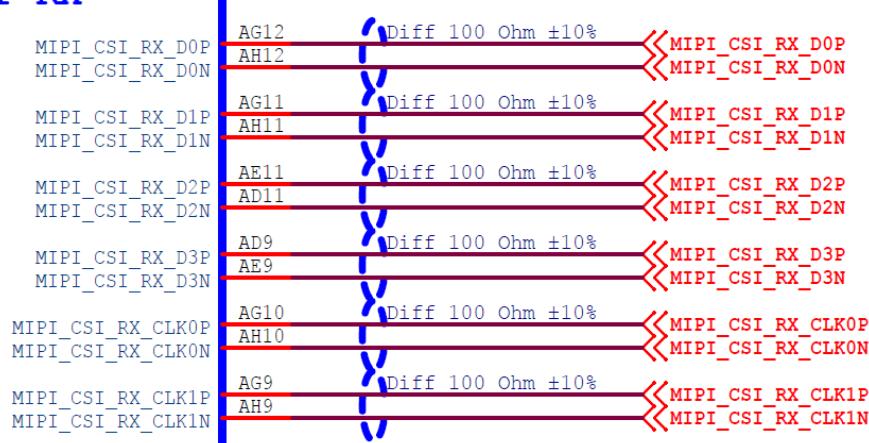


图 2 - 106 RK3568 MIPI CSI RX信号管脚

- 支持x4Lane模式，MIPI\_CSI\_RX\_D[3:0]数据参考MIPI\_CSI\_RX\_CLK0
- 支持x2Lane+x2Lane模式，  
MIPI\_CSI\_RX\_D[1:0]数据参考MIPI\_CSI\_RX\_CLK0，  
MIPI\_CSI\_RX\_D[3:2]数据参考MIPI\_CSI\_RX\_CLK1，

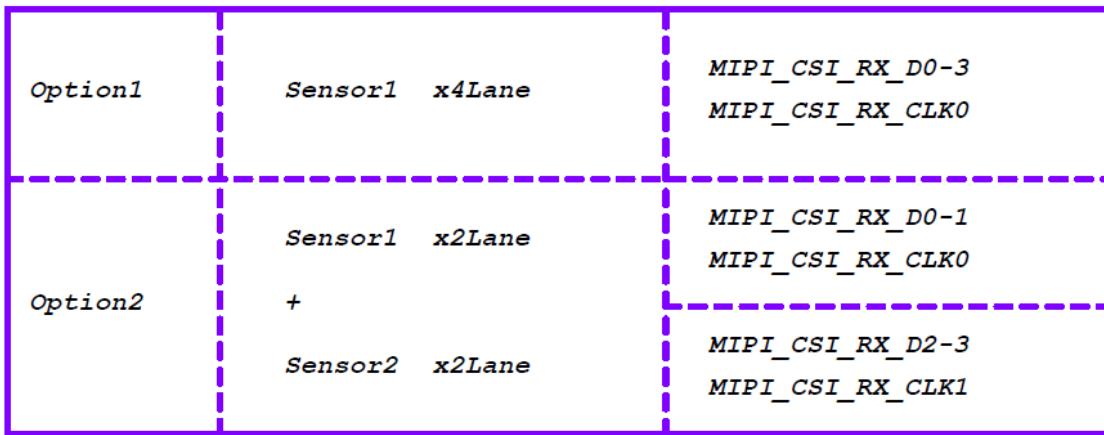


图 2 - 107 RK3568 MIPI-CSI 工作模式与数据、时钟分配

■ MIPI CSI RX 设计中请注意:

- ◆ 要求 MIPI\_CSIX\_RX\_AVDD\_0V9, MIPI\_CSIX\_RX\_AVDD\_1V8 电源管脚和 VDDAOV9\_IMAGE, VCCA1V8\_IMAGE 用磁珠进行隔离, 具体电路请参照参考图;

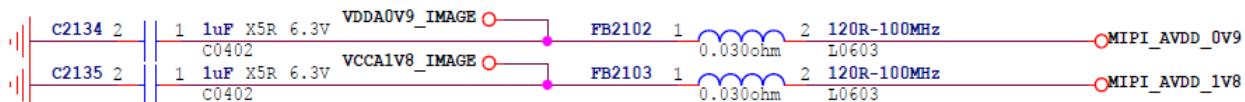


图 2 - 108 MIPI CSI PHY 电源磁珠隔离电路

- ◆ 为提高 MIPI CSI RX 性能, PHY 各路电源的去耦电容不得删除, 布局时请靠近管脚放置;

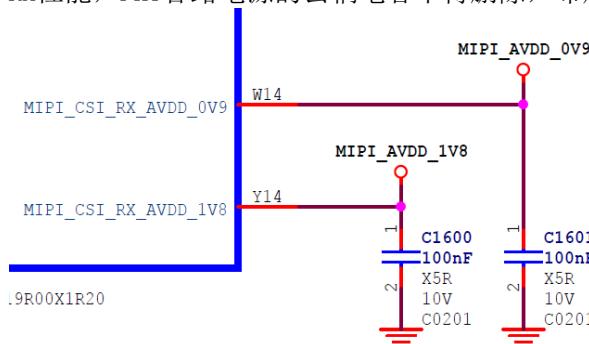


图 2 - 109 MIPI CSI RX PHY 电源去耦电容

- ◆ MIPI CSI RX 接口匹配设计推荐如下表所示。

表 2 - 23 RK3568 MIPI CSI RX 接口设计

信号	连接方式	说明
MIPI_CSIX_RX_DOP/DON	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 数据Lane0输入
MIPI_CSIX_RX_D1P/D1N	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 数据Lane1输入
MIPI_CSIX_RX_D2P/D2N	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 数据Lane2输入
MIPI_CSIX_RX_D3P/D3N	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 数据Lane3输入
MIPI_CSIX_RX_CLKOP/CLKON	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 时钟0输入
MIPI_CSIX_RX_CLK1P/CLK1N	直连, 为抑制电磁辐射, 预留共模电感	MIPI CSI 时钟1输入

### ● 2.3.9.2 CIF (DVP) 接口

CIF 接口电源域为 VCCI06 供电, 实际产品设计中, 需要根据产品 Camera 的实际 I/O 供电要求 (1.8V or 3.3V), 选择对应的供电, 同时 I2C 上拉电平必须与其保持一致, 否则会造成 Camera 工作异常或无法工作, 另外还要注意软件的 VCCI06 电源域驱动电压配置与 VCCI06 电源域的供电电压保持一致, 否则功能会异常, 而且可能会损坏 I/O。

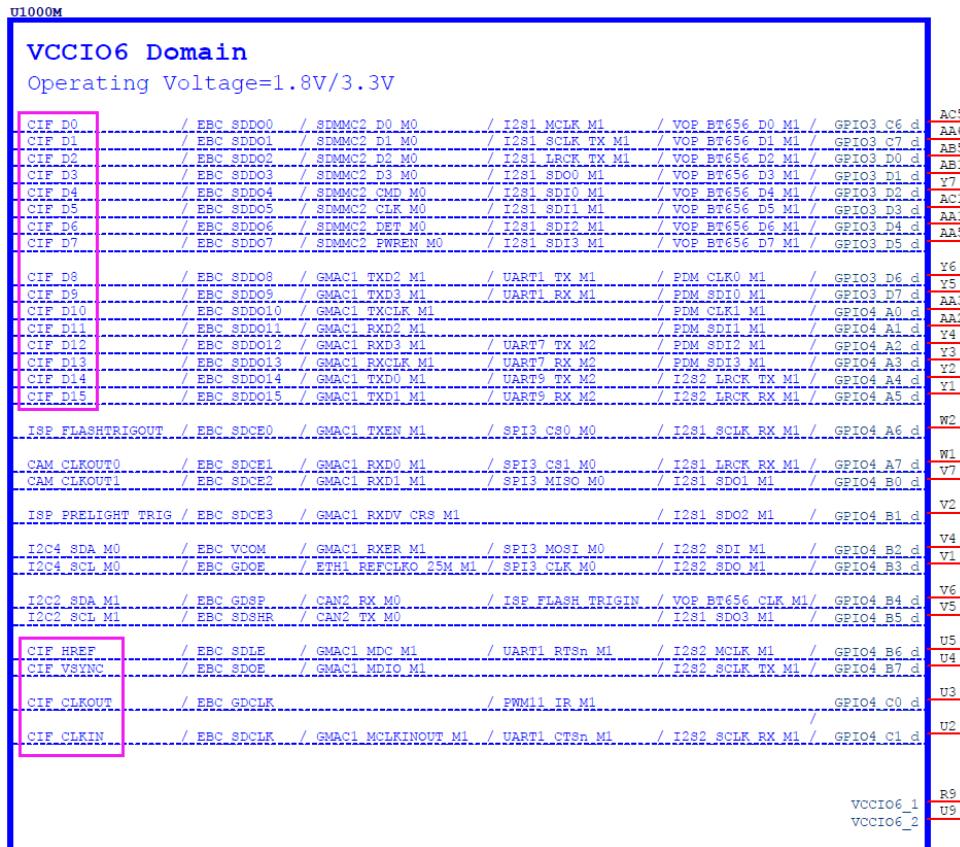


图 2 - 110 RK3568 CIF功能管脚

- CIF接口支持以下格式：
  - ◆ 支持BT601 YCbCr 422 8bit input
  - ◆ 支持BT656 YCbCr 422 8bit input
  - ◆ 支持RAW 8/10/12bit input
  - ◆ 支持BT1120 YCbCr 422 8/16bit input, single/dual-edge sampling
  - ◆ 支持2/4 mixed BT656/BT1120 YCbCr 422 8bit input
- CIF[15:0]的8/10/12/16bit数据对应关系如下表，采用高位对齐

Mode	16bit	12bit	10bit	8bit
CIF_D0	D0	--	--	--
CIF_D1	D1	--	--	--
CIF_D2	D2	--	--	--
CIF_D3	D3	--	--	--
CIF_D4	D4	D0	--	--
CIF_D5	D5	D1	--	--
CIF_D6	D6	D2	D0	--
CIF_D7	D7	D3	D1	--
CIF_D8	D8	D4	D2	D0
CIF_D9	D9	D5	D3	D1
CIF_D10	D10	D6	D4	D2
CIF_D11	D11	D7	D5	D3
CIF_D12	D12	D8	D6	D4
CIF_D13	D13	D9	D7	D5
CIF_D14	D14	D10	D8	D6
CIF_D15	D15	D11	D9	D7

图 2 - 111 RK3568 CIF数据对应关系

- BT1120 16bit模式数据对应关系，支持YC Swap

表 2 - 24 RK3568 BT1120 16bit模式数据对应关系表

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
CIF_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
CIF_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
CIF_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
CIF_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
CIF_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
CIF_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
CIF_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
CIF_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
CIF_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
CIF_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
CIF_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
CIF_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
CIF_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
CIF_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
CIF_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
CIF_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

- CIF接口上下拉和匹配设计推荐如表

表 2 - 25 RK3568 CIF接口设计

信号	内部上下拉	连接方式	描述（芯片端）
CIF_D[15:0]	下拉	直连, 建议靠近设备端预留串接电阻	CIF数据输入
CIF_HREF	下拉	直连, 建议靠近设备端预留串接电阻	CIF行同步输入
CIF_VSYNC	下拉	直连, 建议靠近设备端预留串接电阻	CIF场同步输入
CIF_CLKIN	下拉	串接22ohm电阻, 靠近设备端	CIF时钟输入
CIF_CLKOUT	下拉	串接22ohm电阻, 靠近芯片端	CIF时钟输出, 可提供给设备当MCLK工作时钟

- 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm-100ohm之间, 具体以能满足SI测试为准), 并预留TVS器件
- MIPI CSI RX/CIF设计时注意点
  - ◆ Camera的DVDD供电有1.2V/1.5V/1.8V等不同情况, 请根据Camera的规格书提供准确的电

- 源，参考电路默认是1.2V；
- ◆ 有些Camera的DVDD电流比较大，超过100mA建议使用DCDC供电；
  - ◆ Camera的几路电源有上电时序要求，请根据Camera的规格书相应调整上电时序，参考图默认上电时序为：1.8V→1.2V→2.8V；
  - ◆ 使用CIF接口的Camera时，要注意Camera 的DOVDD（IO电源）与VCCI06供电必须用相同的电压；
  - ◆ 使用两个Camera时，可根据需求实际情况电源分开或合并，参考图默认是分开；
  - ◆ 若Camera带AF功能，则VCC2V8\_AF需要单独供电；或是与AVCC2V8\_DVP共用，必须用磁珠隔离；
  - ◆ Camera的所有电源的去耦电容不得删减，必须保留，靠近座子放置；
  - ◆ Camera的PWDN信号必须使用GPIO控制，GPIO电平必须和Camera IO电平匹配；
  - ◆ Camera的Reset信号建议使用GPIO控制，GPIO电平必须和Camera IO电平匹配，Reset信号的100nF电容不得删除，靠近座子放置，加强抗静电能力；
  - ◆ Camera的MCLK可以从以下获取：
    - 1:CAM\_CLKOUT0
    - 2:CAM\_CLKOUT1
    - 3:CIF\_CLKOUT
    - 4:REFCLK\_OUT
 注意：时钟的电平必须和Camera IO电平匹配，如果不匹配，必须电平转换或电阻分压使电平匹配；
  - ◆ 如果两个Camera同型号，要注意I2C地址是否一样，如果地址也一样，那么需要两个I2C总线。

### 2.3.10 视频输出接口电路

RK3568芯片内置了VOP控制器，有三个Port输出，支持HDMI2.0 TX/MIPI DSI TX0/MIPI0 DSI TX1/LVDS TX/eDP TX/RGB/BT1120/BT656视频接口输出

VOP和视频接口输出路径图：

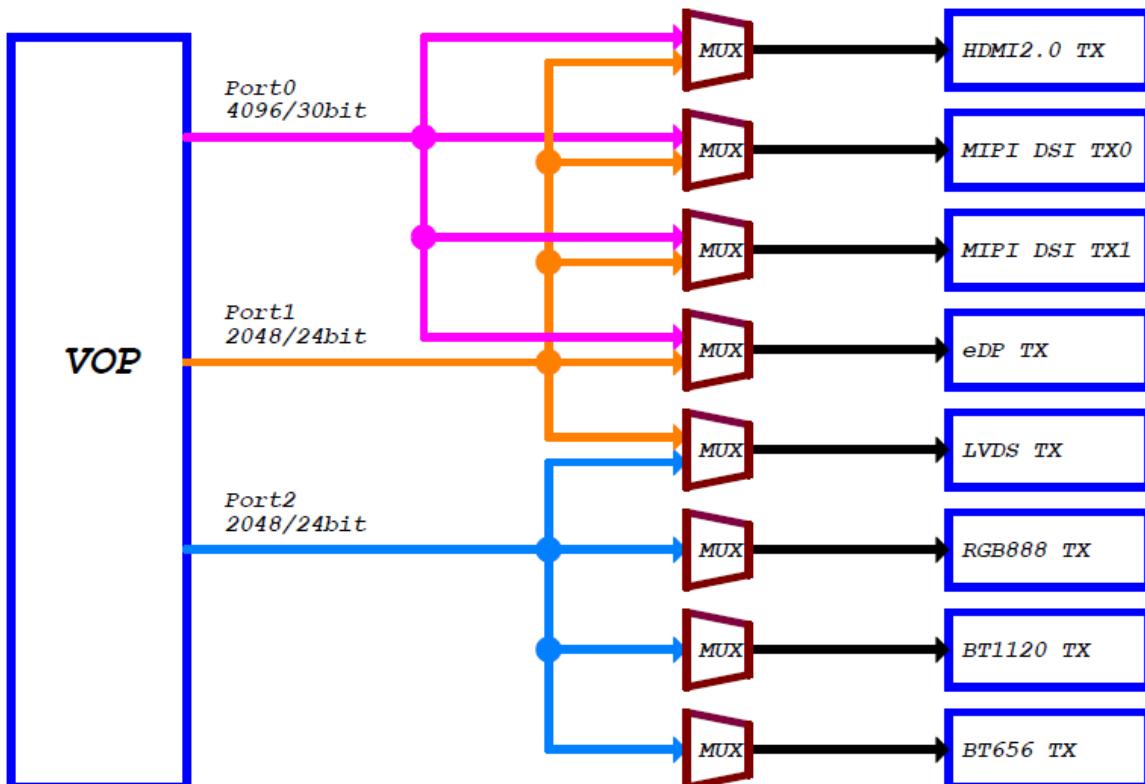


图 2 - 112 RK3568 VOP和视频接口输出路径图

#### 2.3.10.1 HDMI2.0 TX接口

RK3568内置一个HDMI2.0 TX PHY，最大输出分辨率可达4096X2160@60Hz

- TMDS信号如下图，要求靠近RK3568端串接2.2ohm电阻，不得删除，提高信号质量以及加强抗静电浪涌能力

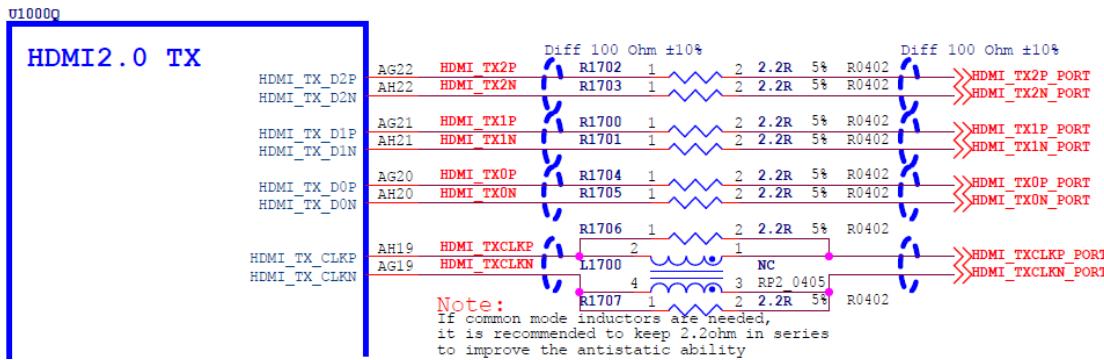


图 2-113 RK3568 HDMI2.0 TX PHY TMDS管脚

- HDMI\_TX\_AVDD\_0V9/1V8电源管脚需放置4.7uF和100nF去耦电容，不得删减，布局时，靠近RK3568管脚放置

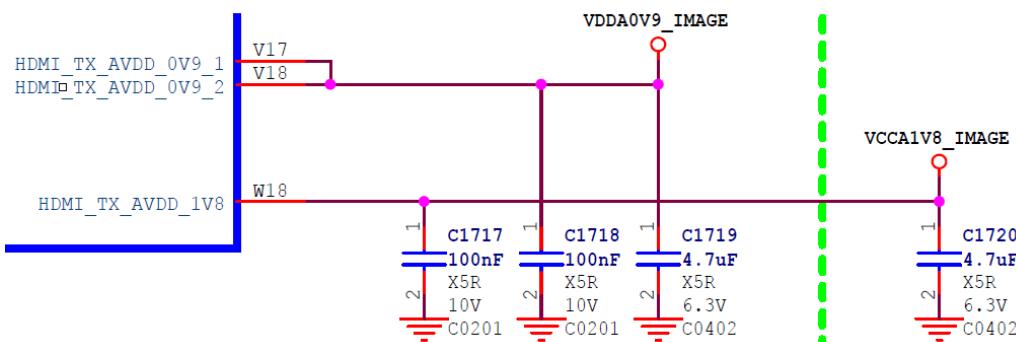


图 2-114 RK3568 HDMI2.0 TX PHY 电源去耦电容

- HDMI\_TX\_REXT是HDMI2.0 TX PHY的外置参考电阻管脚，外接对地1620Ω精度为1%的电阻，不得更改电阻值，布局时靠近RK3568芯片管脚放置



图 2-115 RK3568 HDMI2.0 TX PHY REXT管脚

- HDMI\_TX\_HPDIN是HDMI2.0 TX PHY自带的功能，支持5V电平，检测有效电平为2.4-5.3V，建议靠近RK3568芯片管脚放置一个100nF电容消抖



图 2-116 RK3568 HDMI2.0 TX PHY HPD管脚

- HDMI座子端，需要串接1Kohm电阻，加强抗静电浪涌能力，预留对地100Kohm电阻，

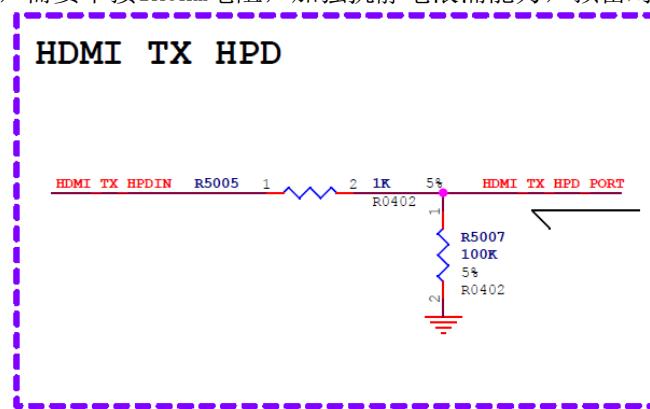


图 2-117 RK3568 HDMI2.0 TX PHY HPD电路

- HDMI\_TX\_CEC功能复用两个位置，一个在VCCI07电源域的IO上面，一个在PMUI02电源域的IO上面；CEC协议规定是3.3V电平，但是协议要求，往CEC管脚通过27K电阻加3.3V电压，漏电不允许超过1.8uA

#### Test ID 7-15: CEC Line Degradation

Reference	Requirement
[HDMI: Table 4-40] CEC line Electrical Specifications for all Configurations	A device with power removed (from the CEC circuitry) shall not degrade communication between other CEC devices (e.g. the line shall not be pulled down by the powered off device).  Maximum CEC line leakage current must be $\leq 1.8\mu A$

图 2 - 118 HDMI CEC协议要求

RK3568 IO Domain在未上电时，如果IO上有电压，IO会存在漏电，比如RK3568已经断电了，然后HDMI线还连接着Sink端（电视或显示器），此时Sink端的CEC有电，会通过HDMI线漏电到RK3568 IO上，会造成CEC漏电超过1.8uA，因此外部需要增加一个隔离电路，R5006阻值不得随意修改，需要使用27Kohm，Q5002默认选择2SK3018，如果要换其它型号，结电容必须相当，如果用结电容过大，不仅会影响工作，认证也会过不了。

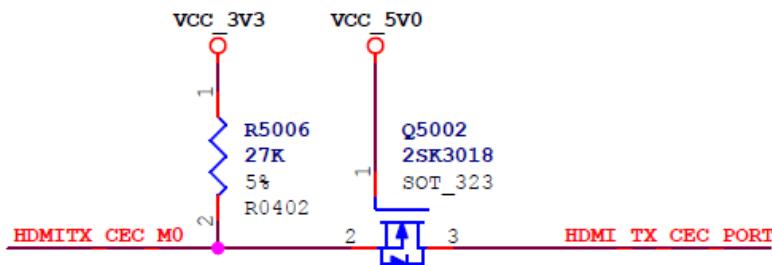


图 2 - 119 HDMI CEC隔离电路

- HDMI\_TX\_DDC\_SCL/DDC\_SDA是HDMI TX控制器的I2C/DDC总线，功能复用到VCCI07电源域的IO上面，DDC\_SCL/DDC\_SDA协议规定是5V电平，RK3568 IO不支持5V电平，必须增加电平转换电路，不得删减，默认使用MOS管电平转换，MOS型号默认选择2SK3018，如果要换其它型号，结电容必须相当，如果用结电容过大，不仅影响工作，认证也会过不了。  
上拉电阻建议参考照默认值，不要随意修改。

D5000二极管不得删减，用来防止Sink端漏电到VCC\_5V0

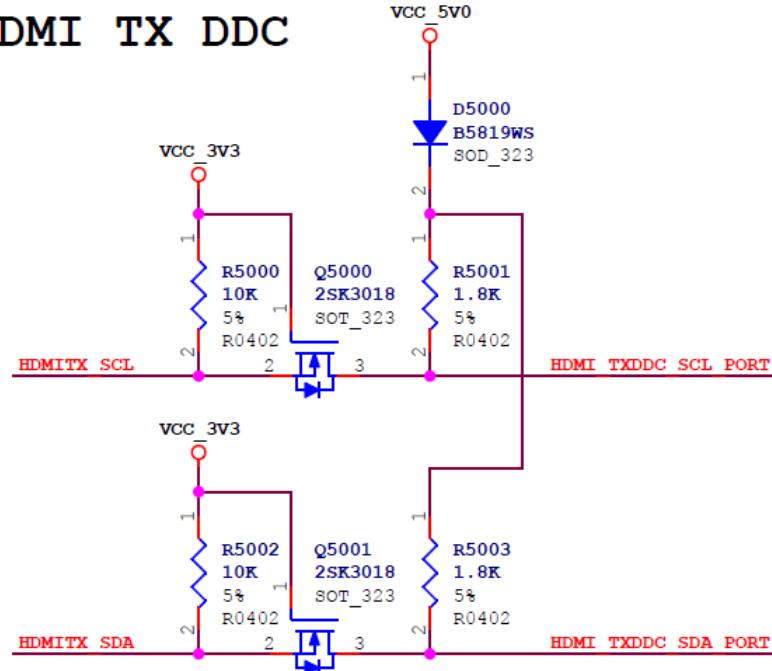


图 2 - 120 HDMI DDC电平转换电路

- HDMI座子的Pin18电压需保证在4.8–5.3V之间，管脚需放置1uF去耦电容，不得删减，布局时，靠近HDMI座子管脚放置

- 为加强抗静电能力,信号上必须预留ESD器件, HDMI TMDS信号的ESD寄生电容不得超过0.4pF,其它信号的ESD寄生电容建议使用不超过1pF

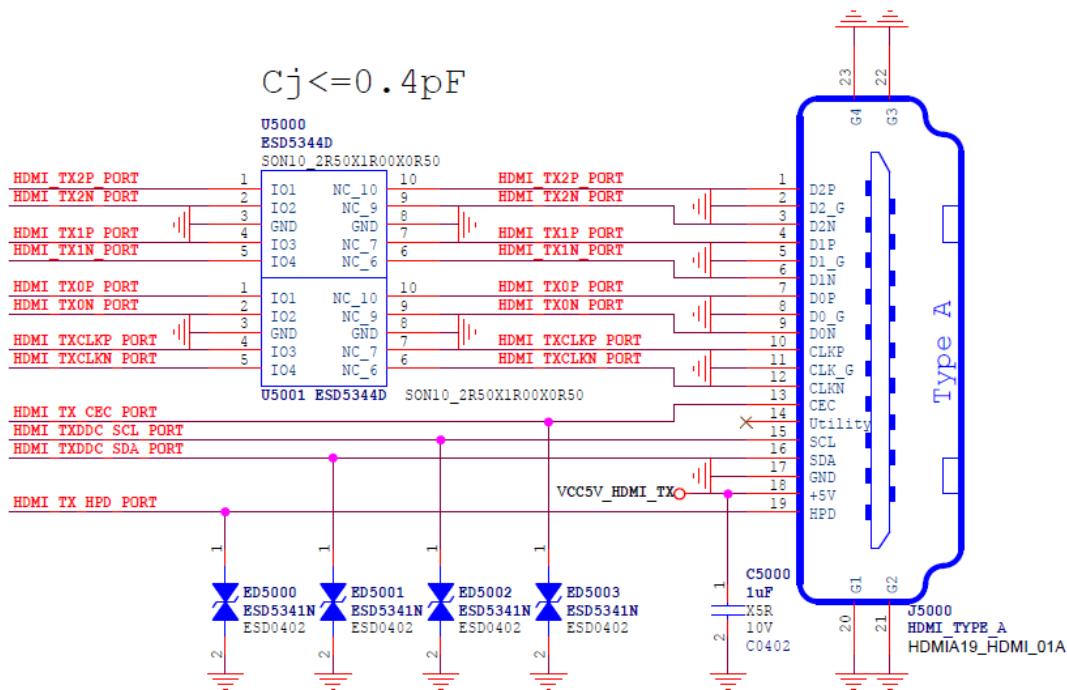


图 2 - 121 HDMI 座子ESD电路

- HDMI2.0 TX接口匹配设计推荐如下表所示。

表 2 - 26 RK3568 HDMI2.0 TX接口设计

信号	连接方式	说明
HDMI_TX_D2P/D2N	串联2.2ohm电阻	TMDS 数据Lane2输出
HDMI_TX_D1P/D1N	串联2.2ohm电阻	TMDS 数据Lane1输出
HDMI_TX_DOP/DON	串联2.2ohm电阻	TMDS 数据Lane1输出
HDMI_TX_CLKP/CLKN	串联2.2ohm电阻, 为抑制电磁辐射, 预留共模电感	TMDS 时钟输出
HDMI_TX_REXT	对地1620 ohm精度为1%的电阻	HDMI2.0 TX PHY的外置参考电阻
HDMI_TX_HPDIN	串联1000 ohm电阻	HDMI插入检测
HDMITX_CEC	MOS隔离	HDMI CEC信号
HDMITX_SCL	MOS电平转换	HDMI DDC 时钟
HDMITX_SDA	MOS电平转换	HDMI DDC 数据输入输出

### ● 2.3.10.2 MIPI DSI TX0/LVDS TX接口

RK3568内置一个MIPI DSI TX0和LVDS TX Combo PHY, 支持MIPI V1.2版本, 总共4Lane, MIPI DSI TX0最大输出分辨率可达1920X1080@60Hz, LVDS TX最大输出分辨率可达1280X800@60Hz

### MIPI DSI TX0/LVDS TX0

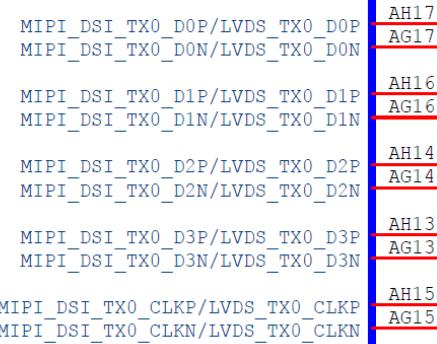


图 2 - 122 RK3568 MIPI DSI TX0/LVDS TX Combo PHY管脚

MIPI DSI TX0和LVDS TX Combo PHY设计中请注意：

- 要求MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_OV9, MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_1V8电源管脚和VDDAOV9\_IMAGE, VCCA1V8\_IMAGE用磁珠进行隔离, 具体电路请参照参考图;

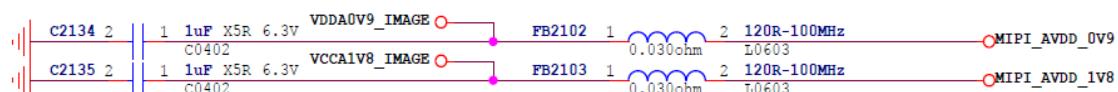


图 2 - 123 MIPI DSI PHY电源磁珠隔离电路

- 为提高MIPI DSI TX0和LVDS TX Combo PHY性能, PHY各路电源的去耦电容不得删除, 布局时请靠近管脚放置;

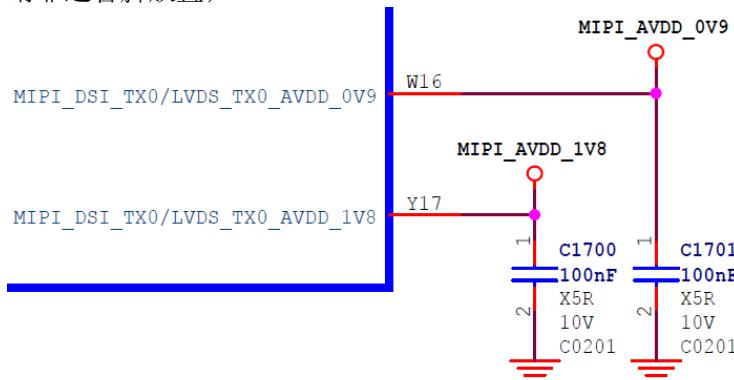


图 2 - 124 RK3568 MIPI DSI TX0/LVDS TX Combo PHY电源去耦电容

- MIPI DSI TX0和LVDS TX Combo PHY接口匹配设计推荐如下表所示。

表 2 - 27 RK3568 MIPI DSI TX0和LVDS TX Combo PHY接口设计

信号	连接方式	说明
MIPI_DSI_TX0_DOP/LVDS_TX0_DOP	直连, 为抑制电磁辐射, 预留共模电感	MIPI DSI 数据Lane0输出或LVDS 数据Lane0输出
MIPI_DSI_TX0_DON/LVDS_TX0_DON		
MIPI_DSI_TX0_D1P/LVDS_TX0_D1P	直连, 为抑制电磁辐射, 预留共模电感	MIPI DSI 数据Lane1输出或LVDS 数据Lane1输出
MIPI_DSI_TX0_D1N/LVDS_TX0_D1N		
MIPI_DSI_TX0_D2P/LVDS_TX0_D2P	直连, 为抑制电磁辐射, 预留共模电感	MIPI DSI 数据Lane2输出或LVDS 数据Lane2输出
MIPI_DSI_TX0_D2N/LVDS_TX0_D2N		
MIPI_DSI_TX0_D3P/LVDS_TX0_D3P	直连, 为抑制电磁辐射, 预留共模电感	MIPI DSI 数据Lane3输出或LVDS 数据Lane3输出
MIPI_DSI_TX0_D3N/LVDS_TX0_D3N		
MIPI_DSI_TX0_CLKP/LVDS_TX0_CLKP	直连, 为抑制电磁辐射, 预留共模电感	MIPI DSI 时钟输出或LVDS 时钟输出
MIPI_DSI_TX0_CLKN/LVDS_TX0_CLKN		

- 2.3.10.3 MIPI DSI TX1接口

RK3568的MIPI DSI TX1 PHY，支持MIPI V1.2版本，总共4Lane，MIPI DSI TX1最大输出分辨率可达1920X1080@60Hz；

MIPI DSI TX0和MIPI DSI TX1可以组合起来支持Dual MIPI，最大输出分辨率可达2048X1536@60Hz

### MIPI DSI TX1

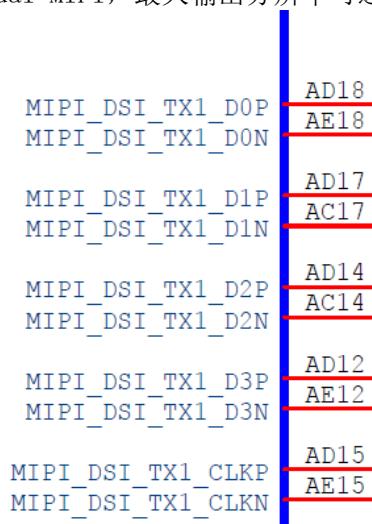


图 2 - 125 RK3568 MIPI DSI TX1 PHY管脚

MIPI DSI TX1 PHY设计中请注意：

- 要求MIPI\_DSI\_TX1\_AVDD\_0V9, MIPI\_DSI\_TX1\_AVDD\_1V8电源管脚和VDDAOV9\_IMAGE, VCCA1V8\_IMAGE用磁珠进行隔离，具体电路请参照参考图：

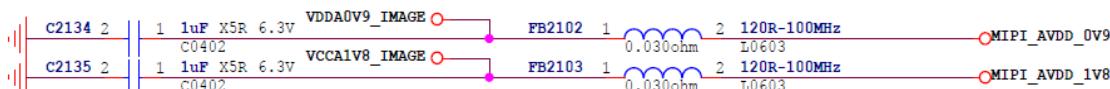


图 2 - 126 MIPI DSI TX1 PHY电源磁珠隔离电路

- 为提高MIPI DSI TX1 PHY性能，PHY各路电源的去耦电容不得删除，布局时请靠近管脚放置；

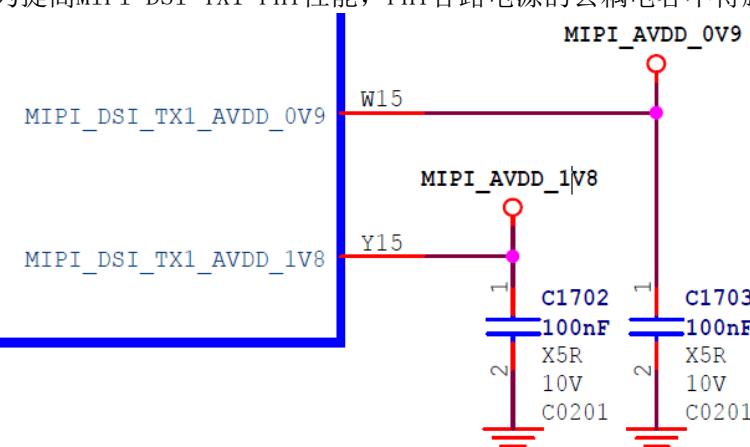


图 2 - 127 RK3568 MIPI DSI TX1 PHY电源去耦电容

- MIPI DSI TX1 PHY接口匹配设计推荐如下表所示。

表 2 - 28 RK3568 MIPI DSI TX1 PHY接口设计

信号	连接方式	说明
MIPI_DSI_TX1_DOP/DON	直连，为抑制电磁辐射，预留共模电感	MIPI DSI 数据Lane0输出
MIPI_DSI_TX1_D1P/D1N	直连，为抑制电磁辐射，预留共模电感	MIPI DSI 数据Lane1输出
MIPI_DSI_TX1_D2P/D2N	直连，为抑制电磁辐射，预留共模电感	MIPI DSI 数据Lane2输出
MIPI_DSI_TX1_D3P/D3N	直连，为抑制电磁辐射，预留共模电感	MIPI DSI 数据Lane3输出
MIPI_DSI_TX1_CLKP/CLKN	直连，为抑制电磁辐射，预留共模电感	MIPI DSI 时钟输出

- 2.3.10.4 eDP TX接口

RK3568的eDP TX PHY，支持eDP V1.3版本，总共4Lane，eDP TX最大输出分辨率可达2560X1600@60Hz

- 每个Lane速率可支持1.62/2.7Gbps，
- 支持1Lane或2Lane或4Lane模式
- 支持AUX通道，速率可达1Mbps

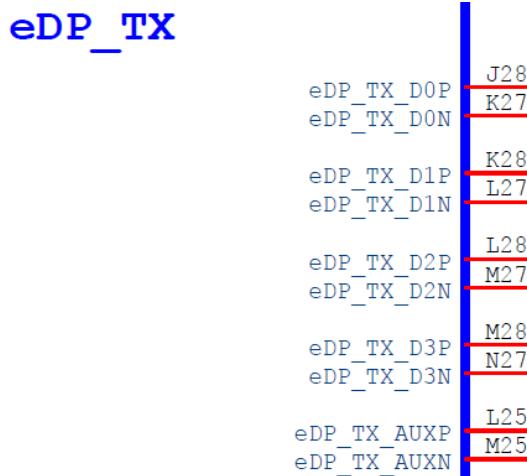


图 2 - 128 RK3568 eDP TX PHY管脚

eDP TX PHY设计中请注意：

- 为提高eDP TX PHY性能，PHY各路电源的去耦电容不得删除，布局时请靠近管脚放置；

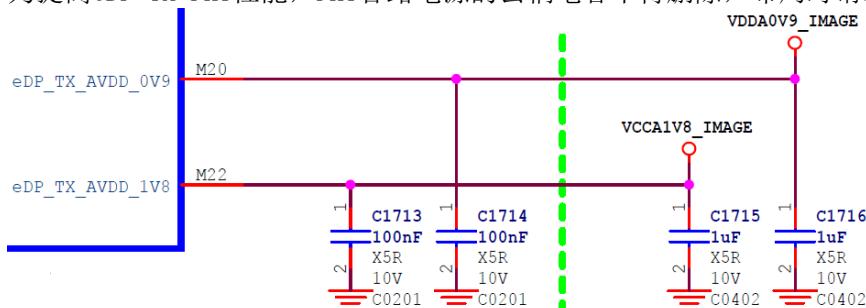


图 2 - 129 RK3568 eDP TX PHY电源去耦电容

- eDP\_TX\_DOP/DON、eDP\_TX\_D1P/D1N、eDP\_TX\_D2P/D2N、eDP\_TX\_D3P/D3N需要串接的100nF交流耦合电容，交流耦合电容建议使用0201封装，更低的ESR和ESL，也可减少线路上的阻抗变化，布局时，靠近RK3568管脚放置

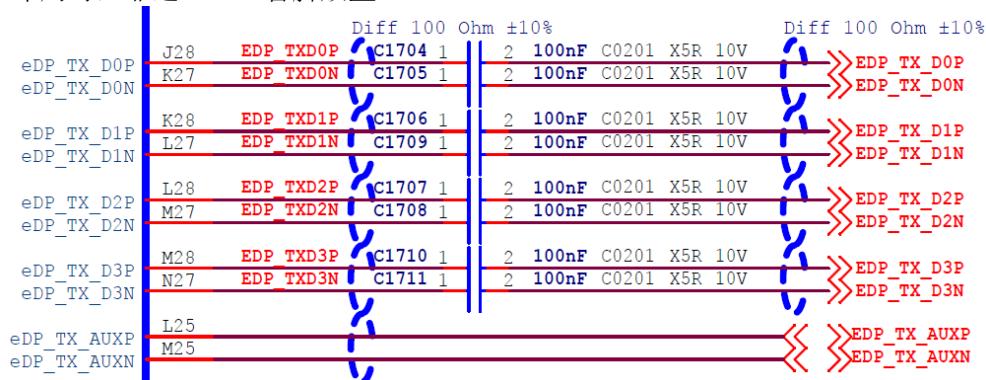


图 2 - 130 RK3568 eDP TX 信号交流耦合电容

- eDP\_TX\_AUXP/AUXN需要靠近接口端串接的100nF交流耦合电容，AUXP需要预留对地100K电阻，AUXN预留100K电阻上拉到3.3V

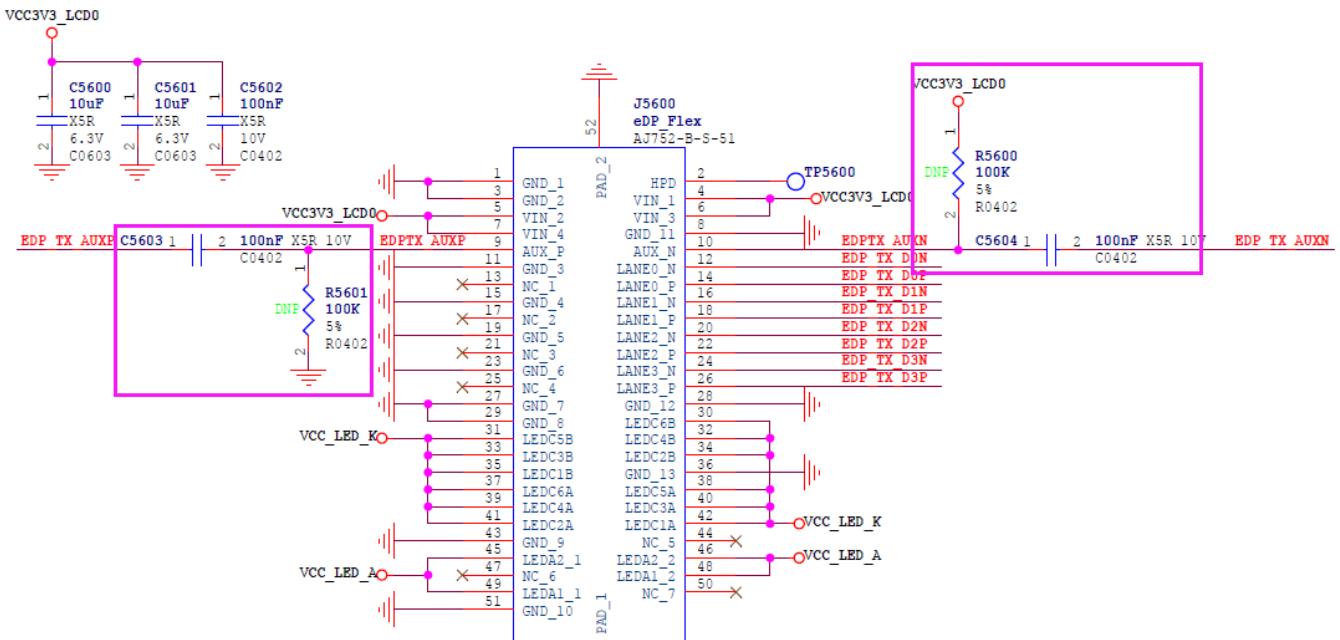


图 2 - 131 RK3568 eDP AUX信号交流耦合电容

■ eDP TX PHY接口匹配设计推荐如下表所示。

表 2 - 29 RK3568 eDP TX PHY接口设计

信号	连接方式	说明
eDP_TX_DOP/DON	串接100nF电容（建议0201封装）	eDP数据Lane0输出
eDP_TX_D1P/D1N	串接100nF电容（建议0201封装）	eDP数据Lane1输出
eDP_TX_D2P/D2N	串接100nF电容（建议0201封装）	eDP数据Lane2输出
eDP_TX_D3P/D3N	串接100nF电容（建议0201封装）	eDP数据Lane3输出
eDP_TX_AUXP/AUXN	串接100nF电容	eDP AUX通道

- 2.3.10.5 RGB TX 接口

RK3568支持并行24bit RGB输出，最大输出分辨率可达1920X1080@60Hz；  
并行RGB接口可支持以下格式

表 2 - 30 RK3568 并行RGB接口格式列表

Interface	RGB888 格式	RGB666 格式	RGB565 格式
LCDC_CLK	LCDC_CLK	LCDC_CLK	LCDC_CLK
LCDC_HSYNC	LCDC_HSYNC	LCDC_HSYNC	LCDC_HSYNC
LCDC_VSYNC	LCDC_VSYNC	LCDC_VSYNC	LCDC_VSYNC
LCDC_DEN	LCDC_DEN	LCDC_DEN	LCDC_DEN
LCDC_D23	R7	R5	R4
LCDC_D22	R6	R4	R3
LCDC_D21	R5	R3	R2
LCDC_D20	R4	R2	R1
LCDC_D19	R3	R1	R0
LCDC_D18	R2	R0	×
LCDC_D17	R1	×	×
LCDC_D16	R0	×	×
LCDC_D15	G7	G5	G5
LCDC_D14	G6	G4	G4
LCDC_D13	G5	G3	G3
LCDC_D12	G4	G2	G2
LCDC_D11	G3	G1	G1
LCDC_D10	G2	G0	G0
LCDC_D9	G1	×	×
LCDC_D8	G0	×	×
LCDC_D7	B7	B5	B4
LCDC_D6	B6	B4	B3
LCDC_D5	B5	B3	B2
LCDC_D4	B4	B2	B1
LCDC_D3	B3	B1	B0
LCDC_D2	B2	B0	×
LCDC_D1	B1	×	×
LCDC_D0	B0	×	×

U1000L

## VCCIO5 Domain

Operating Voltage=1.8V/3.3V

LCDC D0	/ VOP_BT656_D0_M0	/ SPI0_MISO_M1	/ PCIE20_CLKREQn_M1	/ I2S1_MCLK_M2	/ GPIO2_D0_d	AG6
LCDC D1	/ VOP_BT656_D1_M0	/ SPI0_MOSI_M1	/ PCIE20_WAKEn_M1	/ I2S1_SCLK_TX_M2	/ GPIO2_D1_d	AD7
LCDC D2	/ VOP_BT656_D2_M0	/ SPI0_CS0_M1	/ PCIE30X1_CLKREQn_M1	/ I2S1_LRCK_TX_M2	/ GPIO2_D2_d	AC8
LCDC D3	/ VOP_BT656_D3_M0	/ SPI0_CLK_M1	/ PCIE30X1_WAKEn_M1	/ I2S1_SD10_M2	/ GPIO2_D3_d	AC7
LCDC D4	/ VOP_BT656_D4_M0	/ SPI2_CS1_M1	/ PCIE30X2_CLKREQn_M1	/ I2S1_SD11_M2	/ GPIO2_D4_d	AF5
LCDC D5	/ VOP_BT656_D5_M0	/ SPI2_CS0_M1	/ PCIE30X2_WAKEn_M1	/ I2S1_SD12_M2	/ GPIO2_D5_d	AF6
LCDC D6	/ VOP_BT656_D6_M0	/ SPI2_MOSI_M1	/ PCIE30X2_PERSTn_M1	/ I2S1_SD13_M2	/ GPIO2_D6_d	AD6
LCDC D7	/ VOP_BT656_D7_M0	/ SPI2_MISO_M1	/ UART8_TX_M1	/ I2S1_SD00_M2	/ GPIO2_D7_d	AH5
LCDC CLK	/ VOP_BT656_CLK_M0	/ SPI2_CLK_M1	/ UART8_RX_M1	/ I2S1_SD01_M2	/ GPIO3_A0_d	AH4
LCDC D8	/ VOP_BT1120_D0	/ SPI1_CS0_M1	/ PCIE30X1_PERSTn_M1	/ SDMMC2_D0_M1	/ GPIO3_A1_d	AB8
LCDC D9	/ VOP_BT1120_D1	/ GMAC1_RXD2_M0	/ I2S3_MCLK_M0	/ SDMMC2_D1_M1	/ GPIO3_A2_d	AE5
LCDC D10	/ VOP_BT1120_D2	/ GMAC1_RXD3_M0	/ I2S3_SCLK_M0	/ SDMMC2_D2_M1	/ GPIO3_A3_d	AG4
LCDC D11	/ VOP_BT1120_D3	/ GMAC1_RXD2_M0	/ I2S3_LRCK_M0	/ SDMMC2_D3_M1	/ GPIO3_A4_d	AF4
LCDC D12	/ VOP_BT1120_D4	/ GMAC1_RXD3_M0	/ I2S3_SDO_M0	/ SDMMC2_CMD_M1	/ GPIO3_A5_d	AH3
LCDC D13	/ VOP_BT1120_CLK	/ GMAC1_TXCLK_M0	/ I2S3_SD1_M0	/ SDMMC2_CLK_M1	/ GPIO3_A6_d	AG3
LCDC D14	/ VOP_BT1120_D5	/ GMAC1_RXCLK_M0	/ I2S3_SD2_M0	/ SDMMC2_DET_M1	/ GPIO3_A7_d	AH2
LCDC D15	/ VOP_BT1120_D6	/ ETH1_REFCLK_25M_M0		/ SDMMC2_FWREN_M1	/ GPIO3_B0_d	AG2
LCDC D16	/ VOP_BT1120_D7	/ GMAC1_RXD0_M0	/ UART4_RX_M1	/ PWM8_M0	/ GPIO3_B1_d	AG1
LCDC D17	/ VOP_BT1120_D8	/ GMAC1_RXD1_M0	/ UART4_TX_M1	/ PWM9_M0	/ GPIO3_B2_d	AF2
LCDC D18	/ VOP_BT1120_D9	/ GMAC1_RXDV_CRS_M0	/ I2C3_SCL_M0	/ PDM_SD10_M2	/ GPIO3_B3_d	AF1
LCDC D19	/ VOP_BT1120_D10	/ GMAC1_RXER_M0	/ I2C5_SDA_M0	/ PDM_SD11_M2	/ GPIO3_B4_d	AE1
LCDC D20	/ VOP_BT1120_D11	/ GMAC1_RXD0_M0	/ I2C3_SCL_M1	/ PWM10_M0	/ GPIO3_B5_d	AE2
LCDC D21	/ VOP_BT1120_D12	/ GMAC1_RXD1_M0	/ I2C3_SDA_M1	/ PWM11_IR_M0	/ GPIO3_B6_d	AE3
LCDC D22	/ PWM12_M0	/ GMAC1_RXEN_M0	/ UART3_RX_M1	/ PDM_SD12_M2	/ GPIO3_B7_d	AD4
LCDC D23	/ PWM13_M0	/ GMAC1_MCIKINOUT_M0	/ UART3_RX_M1	/ PDM_SD13_M2	/ GPIO3_C0_d	AD2
LCDC HSYNC	/ VOP_BT1120_D13	/ SPI1_MOSI_M1	/ PCIE20_PERSTn_M1	/ I2S1_SD02_M2	/ GPIO3_C1_d	AD1
LCDC VSYNC	/ VOP_BT1120_D14	/ SPI1_MISO_M1	/ UART5_RX_M1	/ I2S1_SD03_M2	/ GPIO3_C2_d	AA7
LCDC DEN	/ VOP_BT1120_D15	/ SPI1_CLK_M1	/ UART5_RX_M1	/ I2S1_SCLK_RX_M2	/ GPIO3_C3_d	AC4
PWM14_M0	/ VOP_PWM_M1	/ GMAC1_MDC_M0	/ UART7_TX_M1	/ PDM_CLK1_M2	/ GPIO3_C4_d	AC3
PWM15_IR_M0	/ SEDIF_TX_M1	/ GMAC1_MDIO_M0	/ UART7_RX_M1	/ I2S1_LRCK_RX_M2	/ GPIO3_C5_d	AC2
					V10	V11
					VCCIO5_1	VCCIO5_2

RK3568  
BGA636\_19R00X19R00X1R20

图 2 - 132 RK3568 LCDC功能管脚

并行RGB接口设计中请注意：

- 并行RGB接口电源域为VCCIO5供电，实际产品设计中，需要根据外设的实际I/O供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致，另外还要注意软件的VCCIO5电源域驱动电压配置与VCCIO5电源域的供电电压保持一致，否则功能会异常，而且可能会损坏I/O。
- 为提高并行RGB接口性能，VCCIO5电源的去耦电容不得删除，布局时请靠近管脚放置；

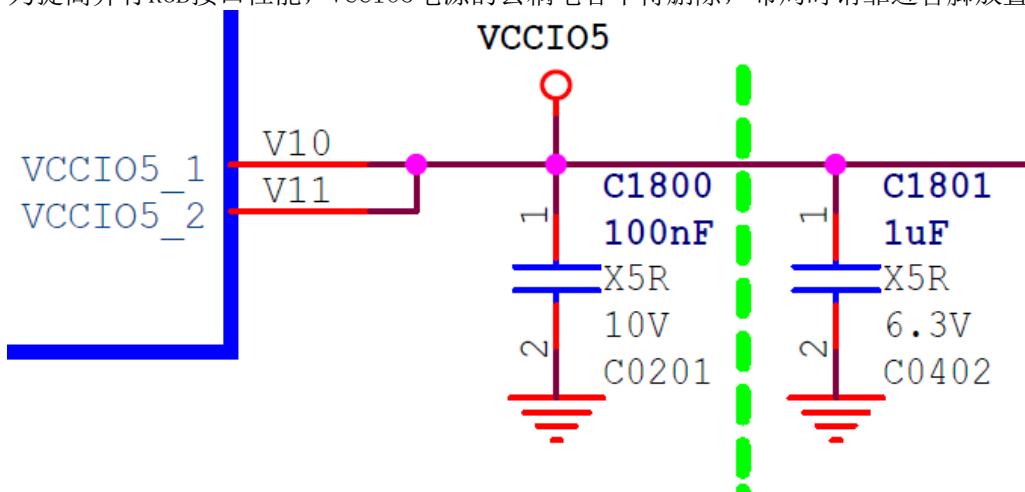


图 2 - 133 RK3568 VCCIO5电源去耦电容

- 并行RGB接口上下拉和匹配设计推荐如表

表 2 - 31 RK3568 并行RGB接口设计

信号	内部上下拉	连接方式	描述（芯片端）
LCDC_D[23:0]	下拉	直连,有条件建议靠近芯片端预留串接电阻	LCDC数据输出
LCDC_HSYNC	下拉	直连,有条件建议靠近芯片端预留串接电阻	LCDC行同步输出
LCDC_VSYNC	下拉	直连,有条件建议靠近芯片端预留串接电阻	LCDC场同步输出
LCDC_DEN	下拉	直连,有条件建议靠近芯片端预留串接电阻	LCDC数据使能输出
LCDC_CLK	下拉	串接22ohm电阻, 靠近设备端	LCDC时钟输出

- 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm~100ohm之间, 具体以能满足SI测试为准), 并预留TVS器件。
- 2.3.10.6 BT1120 TX接口

RK3568支持16bit BT1120输出接口, 最大输出分辨率可达1920X1080@60Hz;

- BT1120输出接口数据对应关系, 支持YC Swap

表 2 - 32 RK3568 BT1120输出格式列表

Pin Name	默认模式		Swap打开	
	Pixel #0	Pixel #1	Pixel #0	Pixel #1
BT1120_D0	Y0[0]	Y1[0]	Cb0[0]	Cr0[0]
BT1120_D1	Y0[1]	Y1[1]	Cb0[1]	Cr0[1]
BT1120_D2	Y0[2]	Y1[2]	Cb0[2]	Cr0[2]
BT1120_D3	Y0[3]	Y1[3]	Cb0[3]	Cr0[3]
BT1120_D4	Y0[4]	Y1[4]	Cb0[4]	Cr0[4]
BT1120_D5	Y0[5]	Y1[5]	Cb0[5]	Cr0[5]
BT1120_D6	Y0[6]	Y1[6]	Cb0[6]	Cr0[6]
BT1120_D7	Y0[7]	Y1[7]	Cb0[7]	Cr0[7]
BT1120_D8	Cb0[0]	Cr0[0]	Y0[0]	Y1[0]
BT1120_D9	Cb0[1]	Cr0[1]	Y0[1]	Y1[1]
BT1120_D10	Cb0[2]	Cr0[2]	Y0[2]	Y1[2]
BT1120_D11	Cb0[3]	Cr0[3]	Y0[3]	Y1[3]
BT1120_D12	Cb0[4]	Cr0[4]	Y0[4]	Y1[4]
BT1120_D13	Cb0[5]	Cr0[5]	Y0[5]	Y1[5]
BT1120_D14	Cb0[6]	Cr0[6]	Y0[6]	Y1[6]
BT1120_D15	Cb0[7]	Cr0[7]	Y0[7]	Y1[7]

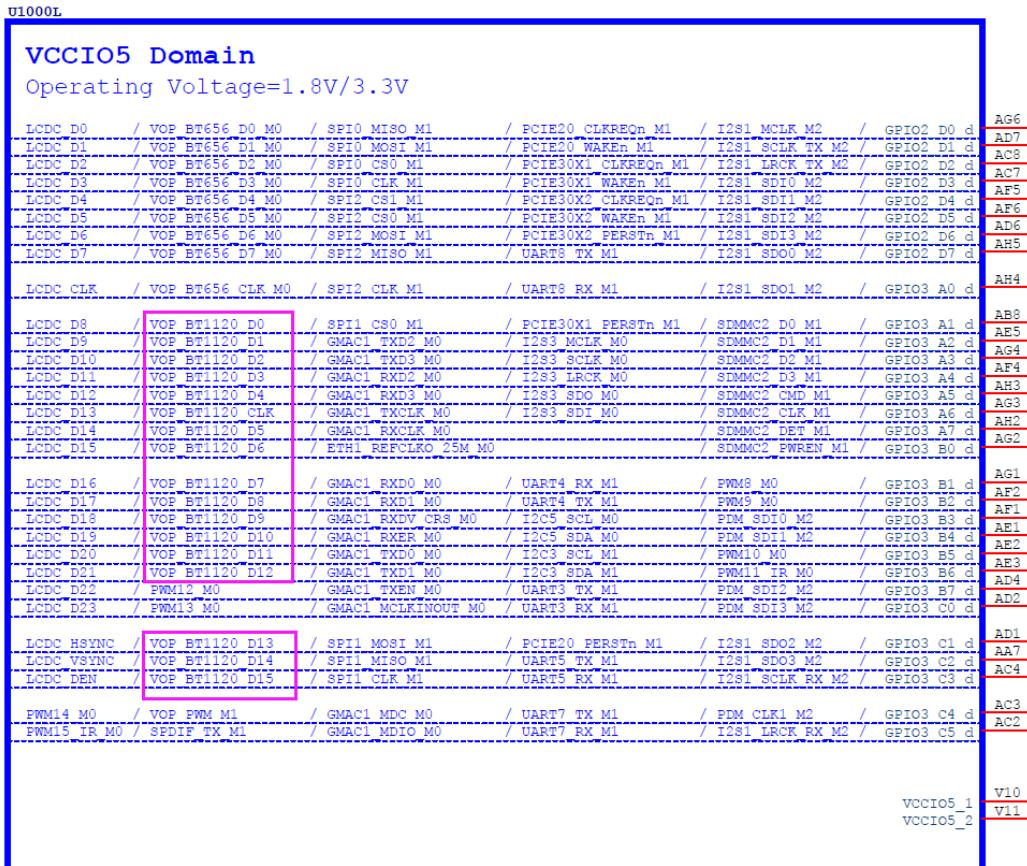
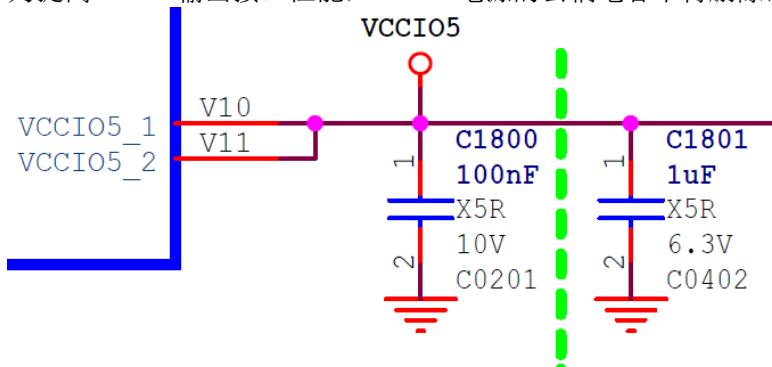
RK3568  
BGA636\_19R00X19R00X1R20

图 2 - 134 RK3568 VOP\_BT1120功能管脚

BT1120输出接口设计中请注意：

- BT1120输出接口电源域为VCCIO5供电，实际产品设计中，需要根据外设的实际I/O供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致，另外还要**注意软件的VCCIO5电源域驱动电压配置与VCCIO5电源域的供电电压保持一致，否则功能会异常，而且可能会损坏I/O。**
- 为提高BT1120输出接口性能，VCCIO5电源的去耦电容不得删除，布局时请靠近管脚放置；



- BT1120输出接口上下拉和匹配设计推荐如表

表 2 - 33 RK3568 BT1120输出接口设计

信号	内部上下拉	连接方式	描述(芯片端)
VOP_BT1120_D[15:0]	下拉	直连，有条件建议靠近芯片端预留串接电阻	BT1120数据输出
VOP_BT1120_CLK	下拉	串接22ohm电阻，靠近设备端	BT1120时钟输出

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

- 2.3.10.7 BT656 TX接口

RK3568支持8bit BT656输出接口，支持PAL和NTSC，VOP\_BT656接口复用在两个电源域，分别VCCI05的\_M0, VCCI06的\_M1，选择时，要么整组M0，要么整组M1，不支持混用

- VOP\_BT656复用在VCCI05电源域的接口

VCCI05 Domain Operating Voltage=1.8V/3.3V					
LCDC D0	/ VOP_BT656_D0_M0	/ SPI0_MISO_M1	/ PCIE20_CLKREQn_M1	/ I2S1_MCLK_M2	/ GPIO2_D0_d
LCDC D1	/ VOP_BT656_D1_M0	/ SPI0_MOSI_M1	/ PCIE30_WAKEn_M1	/ I2S1_SCLK_RX_M2	/ GPIO2_D1_d
LCDC D2	/ VOP_BT656_D2_M0	/ SPI0_CS0_M1	/ PCIE30XL1_CLKREQn_M1	/ I2S1_LRCK_TX_M2	/ GPIO2_D2_d
LCDC D3	/ VOP_BT656_D3_M0	/ SPI0_CLK_M1	/ PCIE30XL1_WAKEn_M1	/ I2S1_SD10_M2	/ GPIO2_D3_d
LCDC D4	/ VOP_BT656_D4_M0	/ SPI2_CS1_M1	/ PCIE30XL2_CLKREQn_M1	/ I2S1_SD11_M2	/ GPIO2_D4_d
LCDC D5	/ VOP_BT656_D5_M0	/ SPI2_CS0_M1	/ PCIE30XL2_WAKEn_M1	/ I2S1_SD12_M2	/ GPIO2_D5_d
LCDC D6	/ VOP_BT656_D6_M0	/ SPI2_MOSI_M1	/ PCIE30XL2_PERSTn_M1	/ I2S1_SD13_M2	/ GPIO2_D6_d
LCDC D7	/ VOP_BT656_D7_M0	/ SPI2_MISO_M1	/ UART8_RX_M1	/ I2S1_SD00_M2	/ GPIO2_D7_d
LCDC CLK	/ VOP_BT656_CLK_M0	/ SPI2_CLK_M1	/ UART8_RX_M1	/ I2S1_SD01_M2	/ GPIO3_A0_d
LCDC D8	/ VOP_BT1120_D0	/ SPI1_CS0_M1	/ PCIE30XL1_PERSTn_M1	/ SDMMC2_D0_M1	/ GPIO3_A1_d
LCDC D9	/ VOP_BT1120_D1	/ GMAC1_RXD2_M0	/ I2S3_MCLK_M0	/ SDMMC2_D1_M1	/ GPIO3_A2_d
LCDC D10	/ VOP_BT1120_D2	/ GMAC1_RXD3_M0	/ I2S3_SCLK_M0	/ SDMMC2_D2_M1	/ GPIO3_A3_d
LCDC D11	/ VOP_BT1120_D3	/ GMAC1_RXD0_M0	/ I2S3_LRCK_M0	/ SDMMC2_D3_M1	/ GPIO3_A4_d
LCDC D12	/ VOP_BT1120_D4	/ GMAC1_RXD3_M0	/ I2S3_SD0_M0	/ SDMMC2_CMD_M1	/ GPIO3_A5_d
LCDC D13	/ VOP_BT1120_CLK	/ GMAC1_TXCLK_M0	/ I2S3_SD1_M0	/ SDMMC2_CLK_M1	/ GPIO3_A6_d
LCDC D14	/ VOP_BT1120_D5	/ GMAC1_RXCLK_M0	/ I2S3_SD2_M0	/ SDMMC2_DET_M1	/ GPIO3_A7_d
LCDC D15	/ VOP_BT1120_D6	/ ETH1_REFCLK0_25M_M0		/ SDMMC2_PNREN_M1	/ GPIO3_B0_d
LCDC D16	/ VOP_BT1120_D7	/ GMAC1_RXD0_M0	/ UART4_RX_M1	/ PWM8_M0	/ GPIO3_B1_d
LCDC D17	/ VOP_BT1120_D8	/ GMAC1_RXD1_M0	/ UART4_TX_M1	/ PWM9_M0	/ GPIO3_B2_d
LCDC D18	/ VOP_BT1120_D9	/ GMAC1_RXDV_CRS_M0	/ I2C3_SCI_M0	/ PDM_SD10_M2	/ GPIO3_B3_d
LCDC D19	/ VOP_BT1120_D10	/ GMAC1_RXER_M0	/ I2C5_SDA_M0	/ PDM_SD11_M2	/ GPIO3_B4_d
LCDC D20	/ VOP_BT1120_D11	/ GMAC1_RXDC_M0	/ I2C5_SCL_M0	/ PWM10_M0	/ GPIO3_B5_d
LCDC D21	/ VOP_BT1120_D12	/ GMAC1_RXDI_M0	/ I2C3_SDA_M1	/ PWM11_IR_M0	/ GPIO3_B6_d
LCDC D22	/ PWM12_M0	/ GMAC1_TXEN_M0	/ UART3_TX_M1	/ PDM_SD12_M2	/ GPIO3_B7_d
LCDC D23	/ PWM13_M0	/ GMAC1_MCLRINOUT_M0	/ UART3_RX_M1	/ PDM_SD13_M2	/ GPIO3_C0_d
LCDC HSYNC	/ VOP_BT1120_D13	/ SPI1_MOSI_M1	/ PCIE20_PERSTn_M1	/ I2S1_SD02_M2	/ GPIO3_C1_d
LCDC VSYNC	/ VOP_BT1120_D14	/ SPI1_MISO_M1	/ UART5_RX_M1	/ I2S1_SD03_M2	/ GPIO3_C2_d
LCDC DEN	/ VOP_BT1120_D15	/ SPI1_CLK_M1	/ UART5_TX_M1	/ I2S1_SCLK_RX_M2	/ GPIO3_C3_d
PWM14_M0	/ VOP_PWM_M1	/ GMAC1_MDC_M0	/ UART7_RX_M1	/ PDM_CLK1_M2	/ GPIO3_C4_d
PWM15_IR_M0	/ SPdif_TX_M1	/ GMAC1_MDIO_M0	/ UART7_TX_M1	/ I2S1_LRCK_RX_M2	/ GPIO3_C5_d

VCCIO5\_1  
VCCIO5\_2

图 2 - 135 RK3568 VOP\_BT656 M0功能管脚

- VOP\_BT656复用在VCCI06电源域的接口

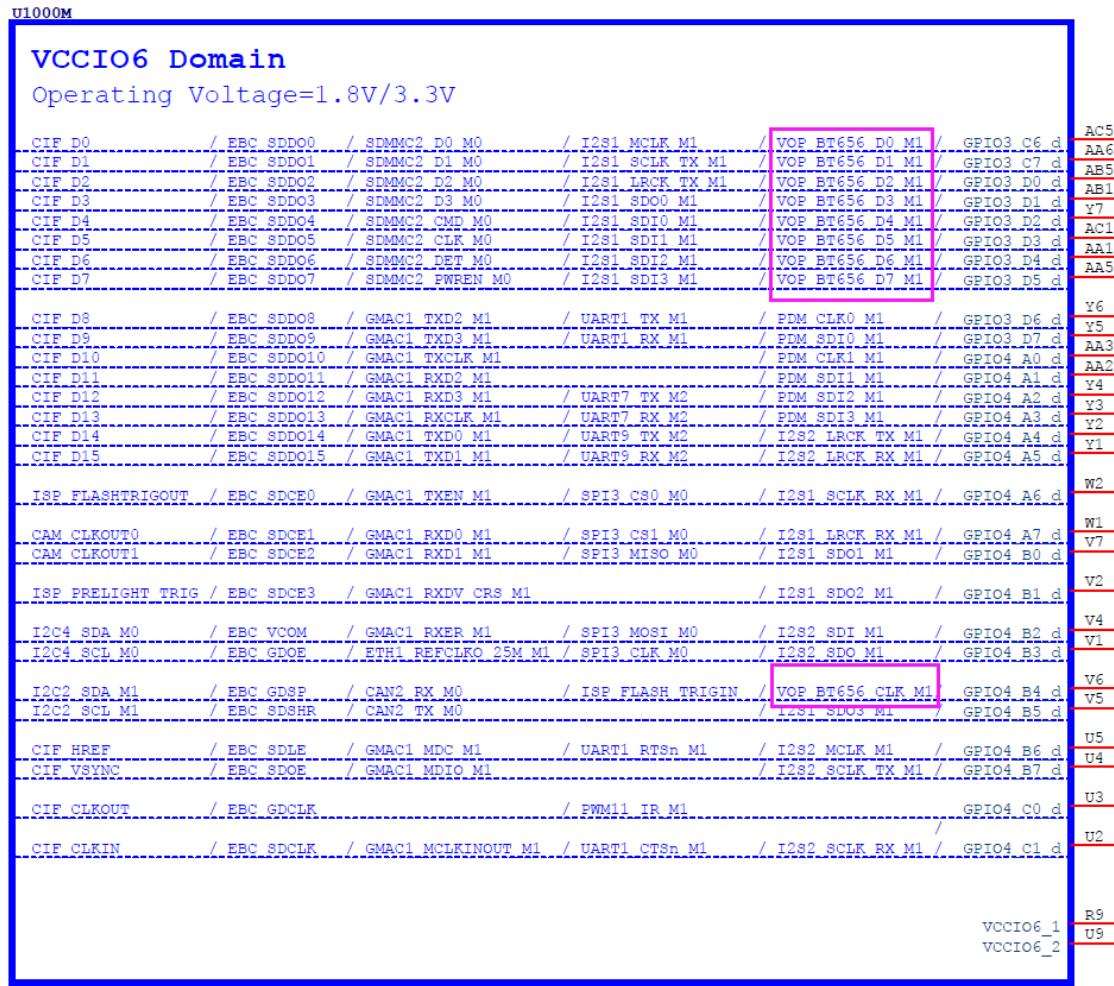
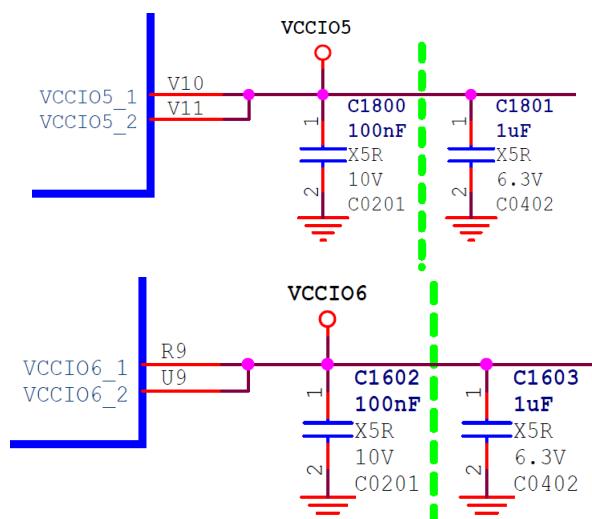


图 2 - 136 RK3568 VOP\_BT656\_M1 功能管脚

BT656输出接口设计中请注意：

- BT656 M0输出接口电源域为VCCI05供电，实际产品设计中，需要根据外设的实际IO供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致，另外还要**注意软件的VCCI05电源域驱动电压配置与VCCI05电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。**
- BT656 M1输出接口电源域为VCCI06供电，实际产品设计中，需要根据外设的实际IO供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致，另外还要**注意软件的VCCI06电源域驱动电压配置与VCCI06电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。**
- 为提高BT656输出接口性能，VCCI05或VCCI06电源的去耦电容不得删除，布局时请靠近管脚放置；



- BT656输出接口上下拉和匹配设计推荐如表

表 2 - 34 RK3568 BT656输出接口设计

信号	内部上下拉	连接方式	描述（芯片端）
VOP_BT656_D[7:0]	下拉	直连,有条件建议靠近芯片端预留串接电阻	BT656数据输出
VOP_BT656_CLK	下拉	串接22ohm电阻, 靠近设备端	BT656时钟输出

- 当通过连接器实现板对板连接时, 建议串接一定阻值的电阻(22ohm~100ohm之间, 具体以能满足SI测试为准), 并预留TVS器件。

### ● 2.3.10.8 EBC TX接口

RK3568芯片拥有一个EBC接口, EBC是用于驱动E-ink电子墨水屏的TCON模块, 支持8bit/16bit输出EBC接口复用在VCCI06电源域

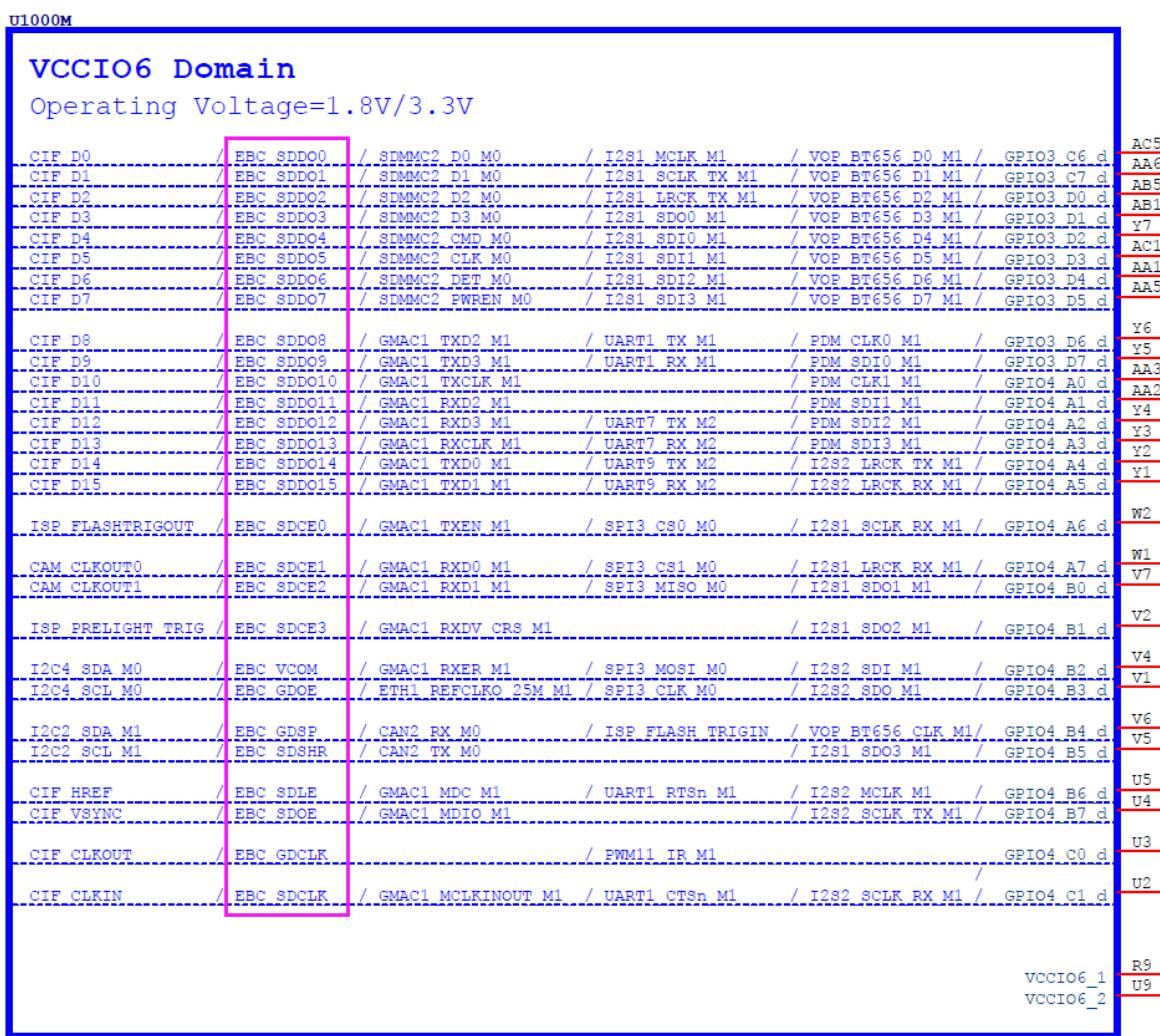


图 2 - 137 RK3568 EBC功能管脚

EBC输出接口设计中请注意:

- EBC输出接口电源域为VCCI06供电, 实际产品设计中, 需要根据外设的实际IO供电要求(1.8V or 3.3V)选择对应的供电, 必须保持一致, 另外还要注意软件的VCCI06电源域驱动电压配置与VCCI06电源域的供电电压保持一致, 否则功能会异常, 而且可能会损坏IO。
- 为提高EBC输出接口性能, VCCI06电源的去耦电容不得删除, 布局时请靠近管脚放置;

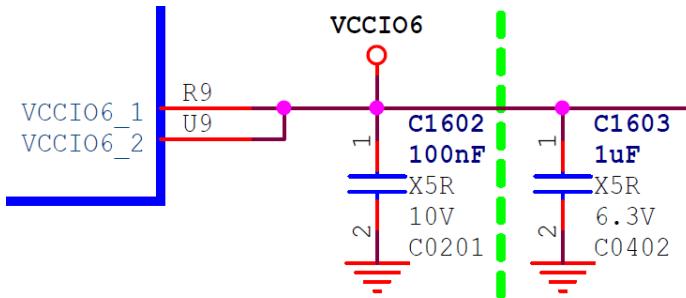


图 2 - 138 RK3568 VCCI06电源去耦电容

- EBC输出接口上下拉和匹配设计推荐如表

表 2 - 35 RK3568 EBC输出接口设计

信号	内部上下拉	连接方式	描述 (芯片端)
EBC_SDDO[15:0]	下拉	直连	Source driver data output
EBC_SDCE[3:0]	下拉	直连	Source chip select/ Start pulse source driver
EBC_VCOM	下拉	直连	Com voltage control
EBC_GDOE	下拉	直连	Gate output enable
EBC_GDSP	下拉	直连	Gate start pulse
EBC_SDSHR	下拉	直连	Source driven shift register
EBC_SDLE	下拉	直连	Source data latch enable
EBC_SDOE	下拉	直连	Source data output enable
EBC_GDCLK	下拉	直连	Gate driver clock
EBC_SDCLK	下拉	直连	Source driver clock

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### 2.3.10.9 LCD屏和触摸屏设计注意点

- LED背光升压IC的FB端限流电阻，请选用1%精度电阻，并按功率需求选择合适的封装尺寸。
- LED背光升压IC的EN/PWM管脚，选择内部下拉的GPIO，外接下拉电阻，避免上电时出现闪屏现象。
- LED背光的驱动电压输出，请选择合适额定电压的滤波电容。
- LED背光升压电路的肖特基二极管请根据工作电流选择合适的型号，并注意二极管的反向击穿电压，避免在空载时反向击穿。
- LED背光升压电路的电感请根据实际型号匹配感量，饱和电流，DCR等
- 屏和触摸屏的信号电平要与芯片的IO驱动电平匹配，如RST/Stand by等信号。
- 屏的电源必须可控制，上电时，默认不提供
- 屏和触摸屏的去耦电容不得删减，必须保留。
- TP的I2C总线必须加2.2K上拉到VCC3V3\_TP电源，建议不和其它设备共用总线，如果一定要共用，注意上拉电源和地址是否冲突。
- 带Charge pump的TP IC，请注意电容的额定电压。
- 对于屏，当通过FPC与板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。
- 串行接口的屏在接口处建议预留共模电感。

- 2.3.10 VGA接口设计注意点

RK3568本身不支持直接VGA OUT，需要外部转换芯片，可以选择RGB888, HDMI, MIPI, eDP等接口转VGA输出，这里主要描述使用RTD2166的相关注意点。

- 各电源管脚的去耦电容不得删减，必须保留。
- 注意上电时序要求。
- 如果转换芯片有Reset信号必须使用RK3568 GPIO控制，RK3568 GPIO电平必须和转换芯片IO电平匹配，Reset信号的100nF电容不得删除，靠近转换芯片管脚放置，加强抗静电能力。
- RTD2166 Pin32 HPD, 100Kohm对地电阻不得删除
- RTD2166外围电路必须直接参照参考设计电路
- VGA\_HSYNC/VSYNC要支持5V电平，Pin17必须提供5V电源
- VGA\_R/G/B需要接下拉75ohm 电阻，精度为1%，不得删减
- VGA\_R/G/B滤波电路需要参考各转换芯片要求。
- VGA座子所有信号都必须增加TVS管，TVS器件尽可能靠近VGA连接器放置。

### 2.3.11 音频接口电路

RK3568芯片拥有4个I2S控制器

- I2S0控制器:
  - ◆ 支持8 channels TX and 8 channels RX
  - ◆ 比特率从16bits到32bits
  - ◆ 最高采样率192KHz
  - ◆ 支持master或slave模式
  - ◆ I2S格式支持常规、左对齐、右对齐
  - ◆ 芯片内部给HDMI2.0 TX PHY使用，没复用到IO给外部使用
- I2S1控制器:
  - ◆ 支持8 channels TX and 8 channels RX
  - ◆ 比特率从16bits到32bits
  - ◆ 最高采样率192KHz
  - ◆ 支持master或slave模式
  - ◆ 支持I2S, PCM, TDM模式
  - ◆ I2S格式支持常规、左对齐、右对齐
  - ◆ PCM格式支持early, late1, late2, late3
  - ◆ TDM格式支持normal, 1/2 cycle left shift , 1 cycle left shift, 2 cycle left shift, right shift mode
  - ◆ I2S、PCM和TDM模式不能同时使用
- I2S2控制器:
  - ◆ 支持2 channels TX and 2 channels RX
  - ◆ 比特率从16bits到32bits
  - ◆ 最高采样率192KHz
  - ◆ 支持master或slave模式
  - ◆ 支持I2S, PCM模式
  - ◆ I2S格式支持常规、左对齐、右对齐
  - ◆ PCM格式支持early, late1, late2, late3
  - ◆ I2S和PCM模式不能同时使用
- I2S3控制器:
  - ◆ 支持2 channels TX and 2 channels RX
  - ◆ 比特率从16bits到32bits
  - ◆ 最高采样率192KHz
  - ◆ 支持master或slave模式
  - ◆ 支持I2S, PCM模式
  - ◆ I2S格式支持常规、左对齐、右对齐
  - ◆ PCM格式支持early, late1, late2, late3
  - ◆ I2S和PCM模式不能同时使用

RK3568芯片拥有1个PDM控制器

- ◆ 最大支持8 channels
- ◆ 比特率从16bits到24bits
- ◆ 最高采样率192KHz
- ◆ 支持master接收模式

RK3568芯片拥有1个S/PDIF控制器

- ◆ 支持两个16bit音频数据存储在一个32位宽的位置
- ◆ 支持双相位格式立体声音频数据输出
- ◆ 支持32位宽采样数据缓冲区中的左或右对齐16至31位音频数据
- ◆ 支持线性PCM模式下的16, 20和24位音频数据传输
- ◆ 支持非线性PCM传输

I2S放音和录音Master、 slave模式连接示意图

- ◆ RK3568当Master模式

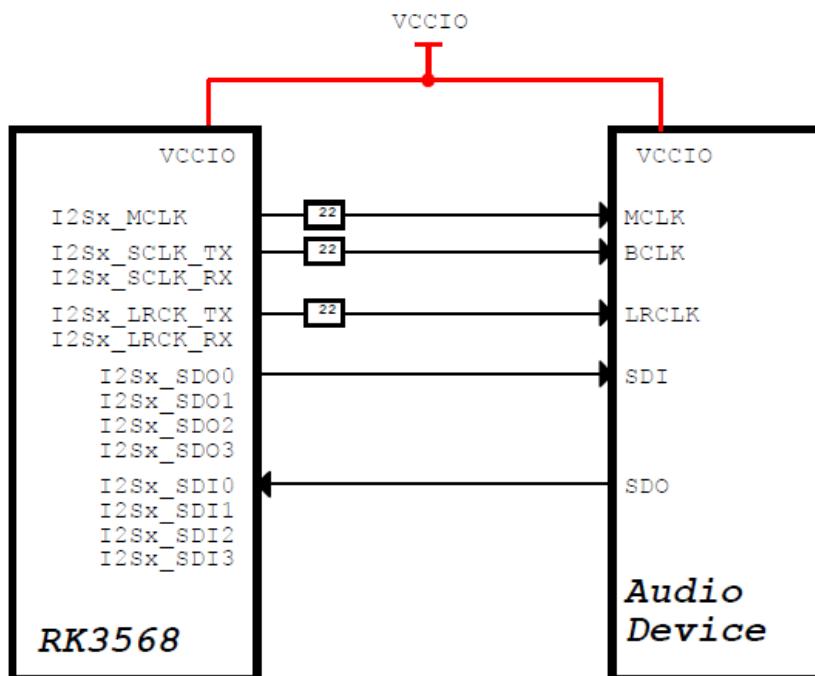


图 2 - 139 RK3568 I2S当Master模式连接示意图

- ◆ RK3568当Slave模式

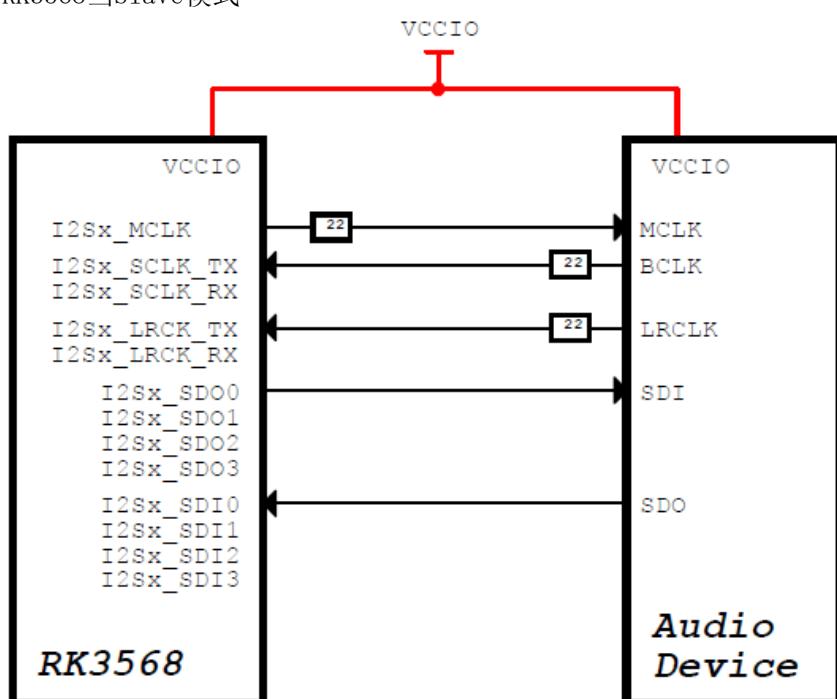


图 2 - 140 RK3568 I2S当Slave模式连接示意图

### ● 2.3.11.1 I2S1接口

I2S1接口包含独立的8通道输出和8通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLK\_TX\LRCK\_TX, SCLK\_RX\LRCK\_RX)；需要注意的是，对于SD0x和SDIx只参考一组位/帧时钟的情形，优先使用SCLK\_TX\LRCK\_TX作为它们的共同时钟。

I2S1接口引脚复用在三个不同的电源域：

- ◆ I2S1\_M0复用在VCCI01电源域，根据常用场景，优化了复用关系，其中有三个SD0x和SDIx信号存在复用在一起，根据实际需求场景分配。

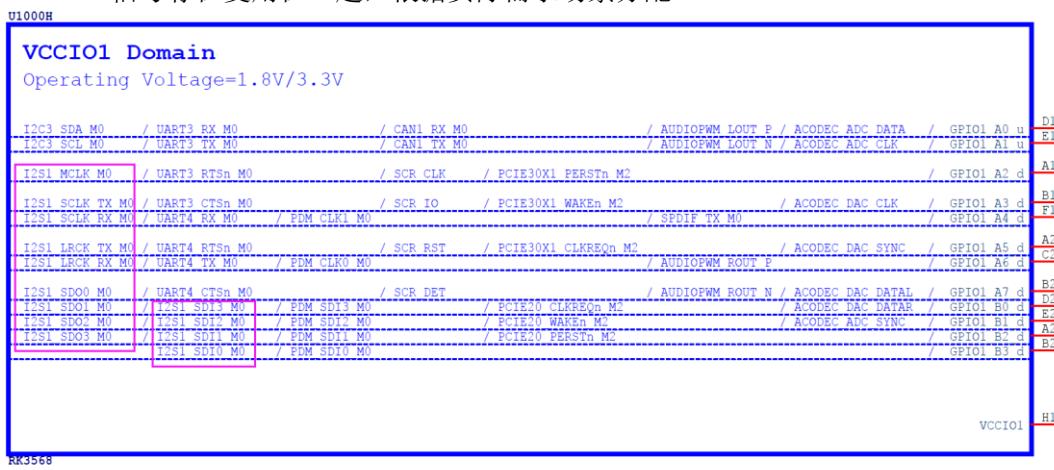


图 2 - 141 RK3568 I2S1 M0功能管脚

- ◆ I2S1\_M1复用在VCCI06电源域，可支持完整的8CH TX和8CH RX

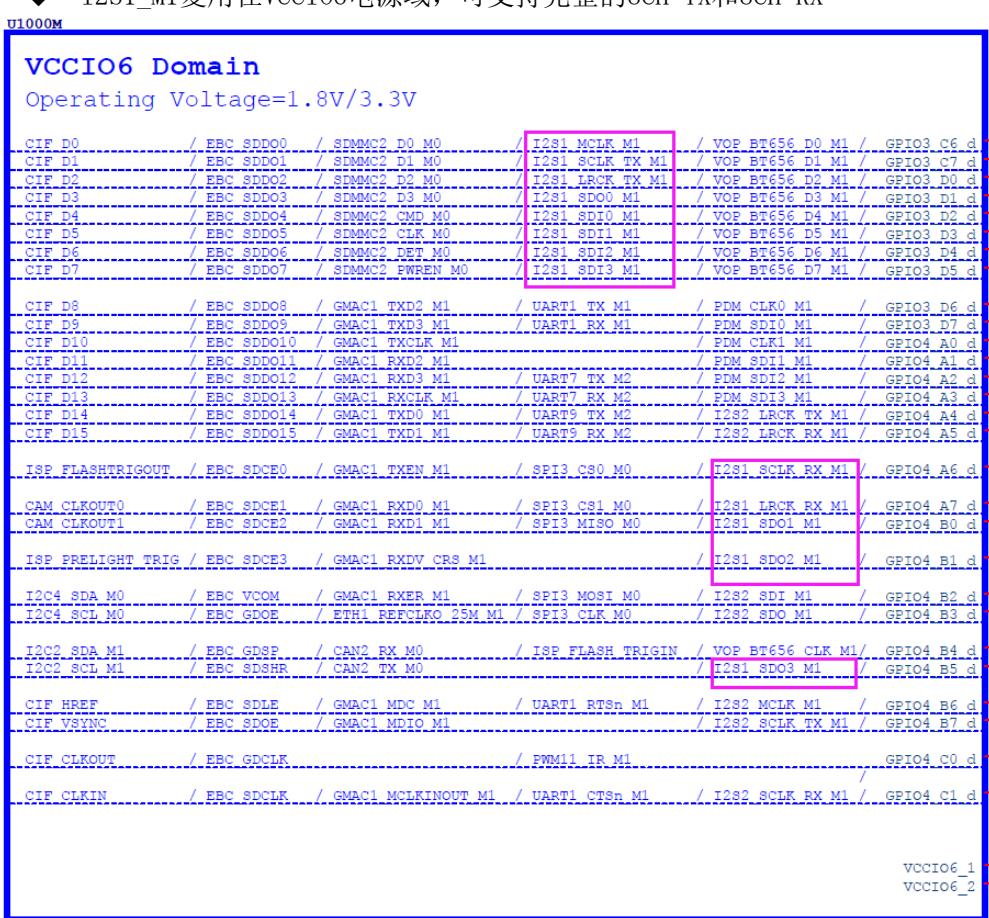
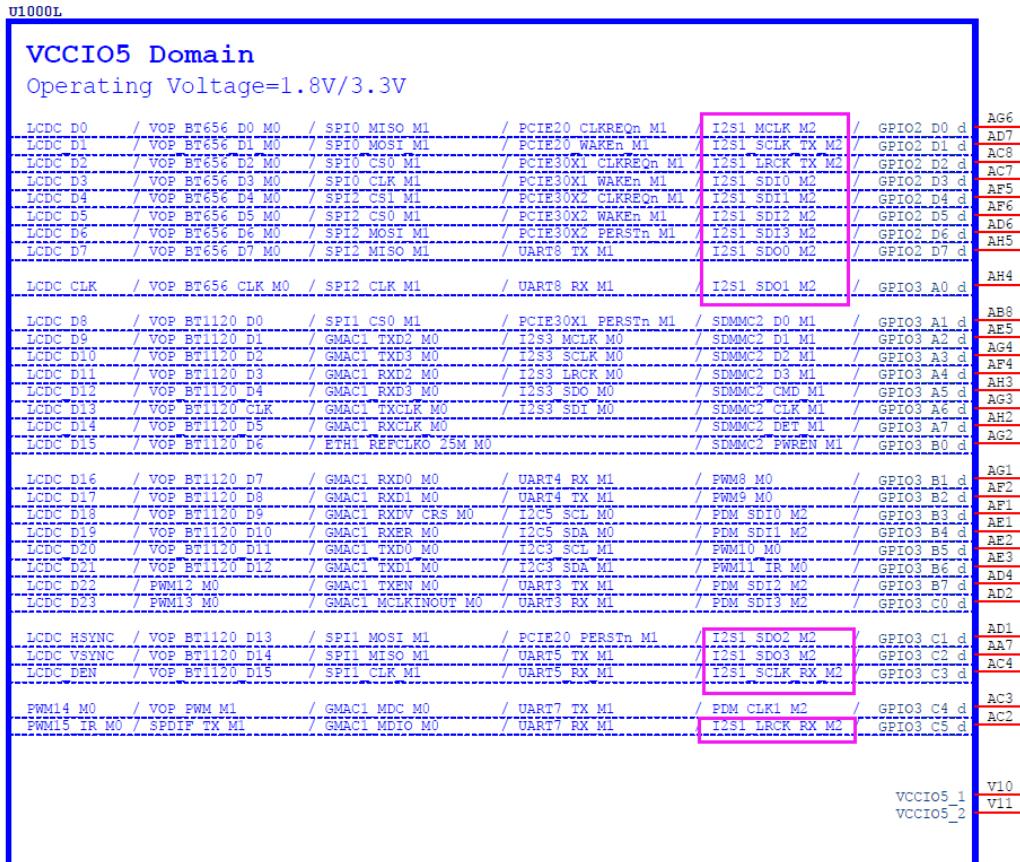


图 2 - 142 RK3568 I2S1 M1功能管脚

- ◆ I2S1\_M2复用在VCCI05电源域，可支持完整的8CH TX和8CH RX



RK3568  
EGA636\_19R00X19R00X1R20

图 2 - 143 RK3568 I2S1 M2功能管脚

I2S1接口设计中请注意：

- I2S1\_M0, I2S1\_M1和I2S1\_M2不能同时使用，每次只能选择其中一组，不能有些信号选择M0，有些选择M1，有些选择M2，这个功能不支持。
- 根据I2S外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 为提高I2S1接口性能，VCCIOx电源域的去耦电容不得删除，布局时请靠近管脚放置；
- I2S1接口上下拉和匹配设计推荐如表

表 2 - 36 RK3568 I2S1接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S1_MCLK	下拉	串接22ohm电阻	I2S系统时钟输出
I2S1_SCLK_TX	下拉	串接22ohm电阻	I2S连续串行时钟 (TX, 关联AudioPlay)
I2S1_LRCK_TX	下拉	串接22ohm电阻	I2S帧时钟，用于声道选择 (TX, 关联AudioPlay)
I2S1_SDO[3:0]	下拉	直连	I2S串行数据
I2S1_SCLK_RX	下拉	串接22ohm电阻	I2S连续串行时钟 (RX, 关联AudioRecord)
I2S1_LRCK_RX	下拉	串接22ohm电阻	I2S帧时钟，用于声道选择 (RX, 关联AudioRecord)
I2S1_SDI[3:0]	下拉	直连	I2S串行数据

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

- 2.3.11.2 I2S2接口

I2S2接口包含独立的2通道输出和2通道输入，为满足播放和录音的异采样率的需求，位时钟和帧时钟也对应提供两组(SCLK\_TX\LRCK\_TX, SCLK\_RX\LRCK\_RX)；需要注意的是，对于SD0x和SDIx只参考一组位/帧时钟的情形，优先使用SCLK\_TX\LRCK\_TX作为它们的共同时钟。

I2S2接口引脚复用在两个不同的电源域：

- I2S2\_M0复用在VCCI04电源域

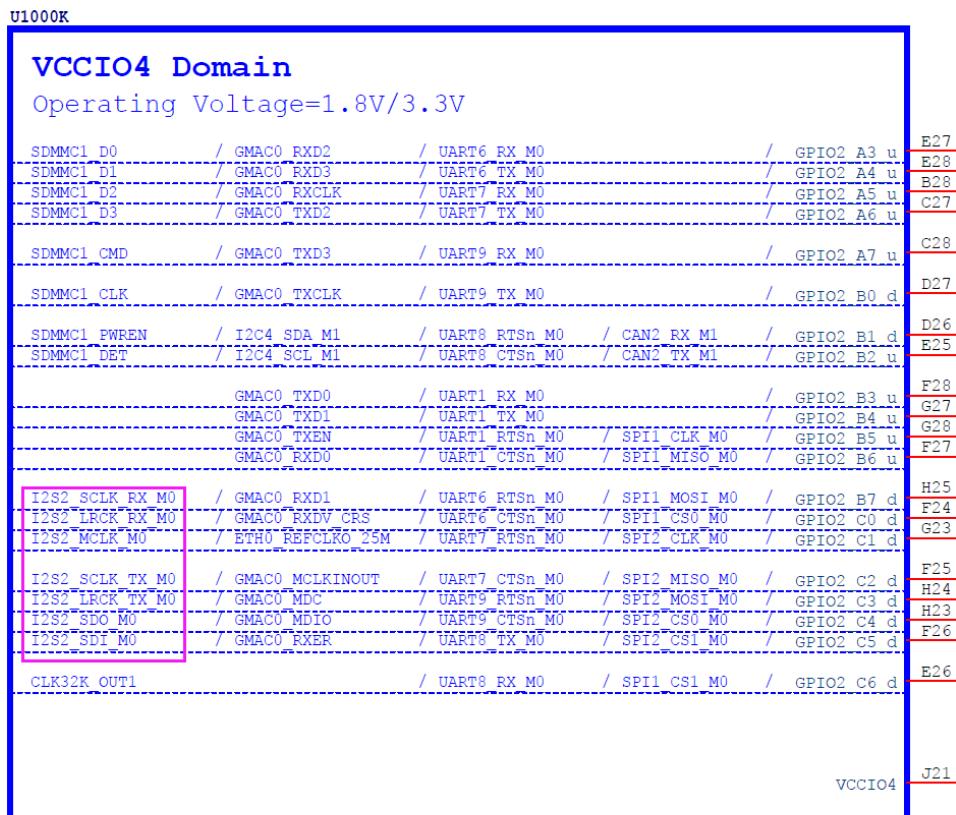


图 2 - 144 RK3568 I2S2 M0功能管脚

- I2S2\_M1复用在VCCI06电源域

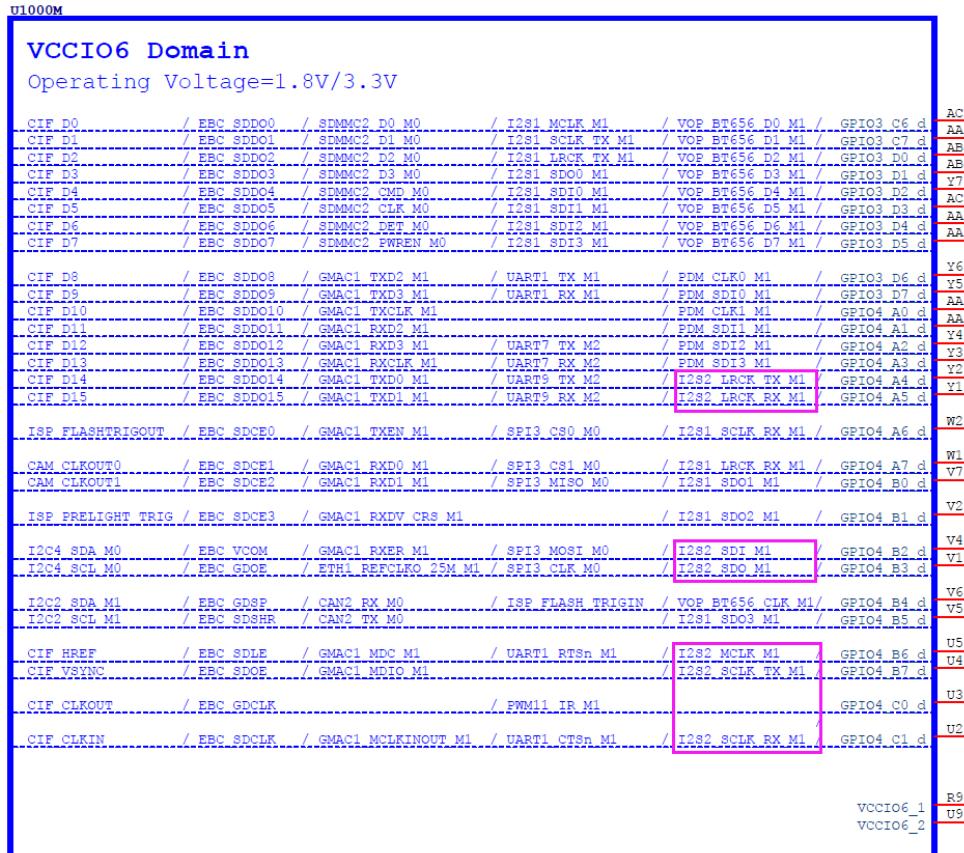


图 2 - 145 RK3568 I2S2 M1功能管脚

I2S2接口设计中请注意：

- I2S2\_M0和I2S2\_M1不能同时使用，每次只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。
- 根据I2S外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 为提高I2S2接口性能，VCCIOx电源域的去耦电容不得删除，布局时请靠近管脚放置；
- I2S2接口上下拉和匹配设计推荐如表

表 2 - 37 RK3568 I2S2接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S2_MCLK	下拉	串接22ohm电阻	I2S系统时钟输出
I2S2_SCLK_TX	下拉	串接22ohm电阻	I2S连续串行时钟 (TX, 关联AudioPlay)
I2S2_LRCK_TX	下拉	串接22ohm电阻	I2S帧时钟，用于声道选择 (TX, 关联AudioPlay)
I2S2_SDO	下拉	直连	I2S串行数据
I2S2_SCLK_RX	下拉	串接22ohm电阻	I2S连续串行时钟 (RX, 关联AudioRecord)
I2S2_LRCK_RX	下拉	串接22ohm电阻	I2S帧时钟，用于声道选择 (RX, 关联AudioRecord)
I2S2_SDI	下拉	直连	I2S串行数据

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间)，具体以能满足

足SI测试为准)，并预留TVS器件。

### ● 2.3.11.3 I2S3接口

I2S3接口包含独立的2通道输出和2通道输入，这一组只支持播放和录音采样率相同  
I2S3接口引脚复用在两个不同的电源域：

- ◆ I2S3\_M0复用在VCCI05电源域

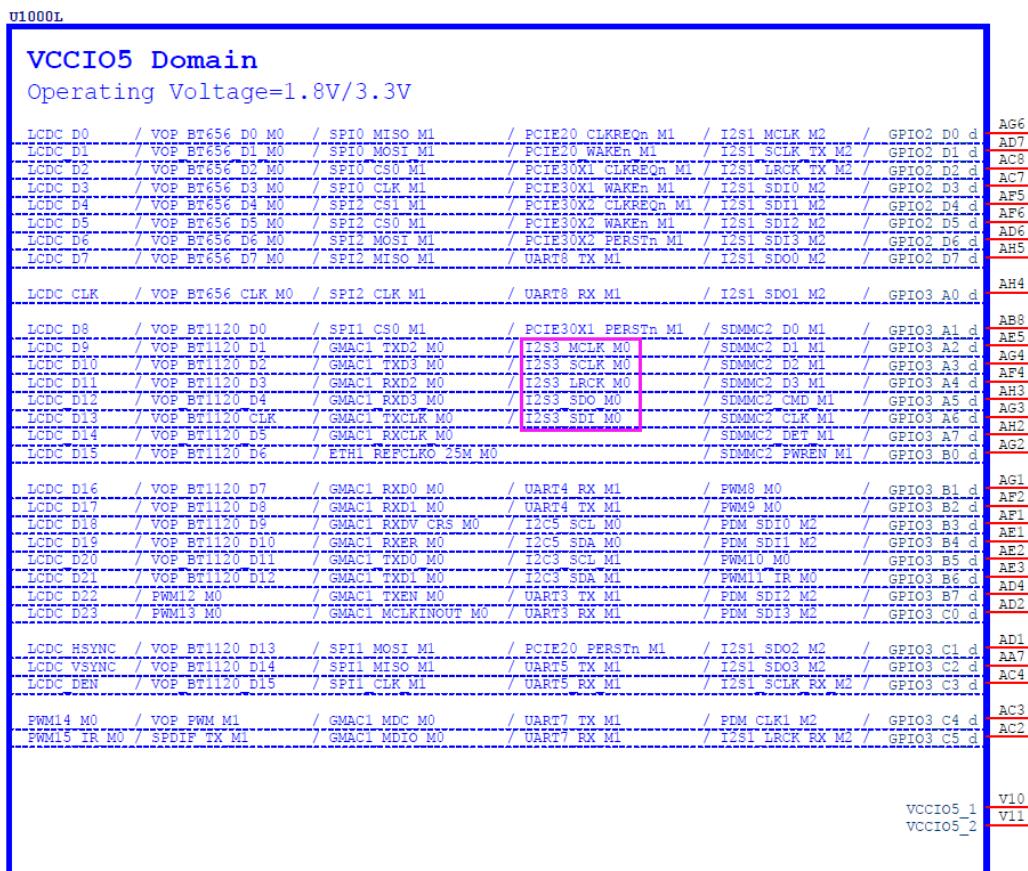


图 2 - 146 RK3568 I2S3 M0功能管脚

- ◆ I2S3\_M1复用在VCCI07电源域

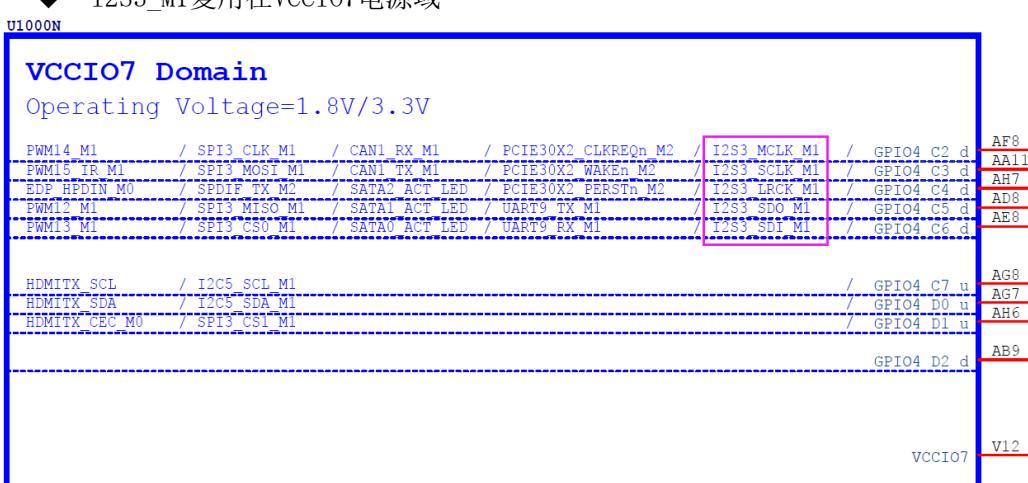


图 2 - 147 RK3568 I2S3 M1功能管脚

I2S3接口设计中请注意：

- I2S3\_M0和I2S3\_M1不能同时使用，每次只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

- 根据I2S外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 为提高I2S3接口性能，VCCIOx电源域的去耦电容不得删除，布局时请靠近管脚放置；
- I2S3接口上下拉和匹配设计推荐如表

表 2 - 38 RK3568 I2S3接口设计

信号	内部上下拉	连接方式	描述（芯片端）
I2S3_MCLK	下拉	串接22ohm电阻	I2S系统时钟输出
I2S3_SCLK	下拉	串接22ohm电阻	I2S连续串行时钟
I2S3_LRCK	下拉	串接22ohm电阻	I2S帧时钟，用于声道选择
I2S3_SDO	下拉	直连	I2S串行数据
I2S3_SD1	下拉	直连	I2S串行数据

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### ● 2.3.11.4 PDM接口

RK3568提供一组PDM数字音频接口，最多支持8路PDM格式音频输入，最高采样率至192kHz，比特率从16bits到32bits，为了改善时钟PCB走线带来的影响，有两个同源同相的PDM时钟  
PDM接口引脚复用在三个不同的电源域：

- ◆ PDM\_M0复用在VCCIO1电源域

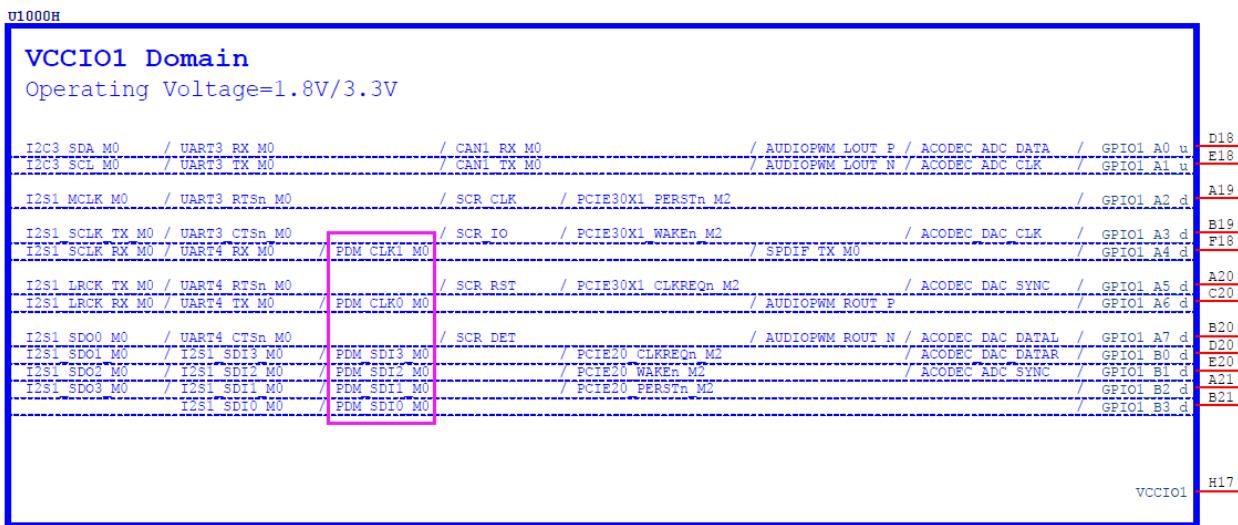


图 2 - 148 RK3568 PDM M0功能管脚

- ◆ PDM\_M1复用在VCCIO6电源域

U1000M

## VCCIO6 Domain

Operating Voltage=1.8V/3.3V

CIF D0	/ EBC_SDD00	/ SDRAM2_D0_M0	/ I2S1_MCLK_M1	/ VOP_BT656_D0_M1	/ GPIO3_C6_d
CIF D1	/ EBC_SDD01	/ SDRAM2_D1_M0	/ I2S1_SCLK_RX_M1	/ VOP_BT656_D1_M1	/ GPIO3_C7_d
CIF D2	/ EBC_SDD02	/ SDRAM2_D2_M0	/ I2S1_LRCK_RX_M1	/ VOP_BT656_D2_M1	/ GPIO3_D0_d
CIF D3	/ EBC_SDD03	/ SDRAM2_D3_M0	/ I2S1_SD00_M1	/ VOP_BT656_D3_M1	/ GPIO3_D1_d
CIF D4	/ EBC_SDD04	/ SDRAM2_D4_M0	/ I2S1_SD01_M1	/ VOP_BT656_D4_M1	/ GPIO3_D2_d
CIF D5	/ EBC_SDD05	/ SDRAM2_CLK_M0	/ I2S1_SD11_M1	/ VOP_BT656_D5_M1	/ GPIO3_D3_d
CIF D6	/ EBC_SDD06	/ SDRAM2_DET_M0	/ I2S1_SD12_M1	/ VOP_BT656_D6_M1	/ GPIO3_D4_d
CIF D7	/ EBC_SDD07	/ SDRAM2_FWREN_M0	/ I2S1_SD13_M1	/ VOP_BT656_D7_M1	/ GPIO3_D5_d
CIF D8	/ EBC_SDD08	/ GMAC1_RXD2_M1	/ UART1_TX_M1	/ PDM_CLK0_M1	/ GPIO3_D6_d
CIF D9	/ EBC_SDD09	/ GMAC1_RXD3_M1	/ UART1_RX_M1	/ PDM_SD10_M1	/ GPIO3_D7_d
CIF D10	/ EBC_SDD10	/ GMAC1_RXCLK_M1		/ PDM_CLK1_M1	/ GPIO4_A0_d
CIF D11	/ EBC_SDD11	/ GMAC1_RXD2_M1		/ PDM_SD11_M1	/ GPIO4_A1_d
CIF D12	/ EBC_SDD12	/ GMAC1_RXD3_M1	/ UART7_RX_M2	/ PDM_SD12_M1	/ GPIO4_A2_d
CIF D13	/ EBC_SDD13	/ GMAC1_RXCLK_M1	/ UART7_RX_M2	/ PDM_SD13_M1	/ GPIO4_A3_d
CIF D14	/ EBC_SDD14	/ GMAC1_RXD0_M1	/ UART9_RX_M2	/ I2S2_LRCK_RX_M1	/ GPIO4_A4_d
CIF D15	/ EBC_SDD15	/ GMAC1_RXD1_M1	/ UART9_RX_M2	/ I2S2_LRCK_RX_M1	/ GPIO4_A5_d
ISP_FLASHTRIGOUT	/ EBC_SDCE0	/ GMAC1_TXEN_M1	/ SPI3_CS0_M0	/ I2S1_SCLK_RX_M1	/ GPIO4_A6_d
CAM_CLKOUT0	/ EBC_SDCE1	/ GMAC1_RXD0_M1	/ SPI3_CS1_M0	/ I2S1_LRCK_RX_M1	/ GPIO4_A7_d
CAM_CLKOUT1	/ EBC_SDCE2	/ GMAC1_RXD1_M1	/ SPI3_MISO_M0	/ I2S1_SD01_M1	/ GPIO4_B0_d
ISP_PRELIGHT_TRIG	/ EBC_SDCE3	/ GMAC1_RXDV_CRS_M1		/ I2S1_SD02_M1	/ GPIO4_B1_d
I2C4_SDA_M0	/ EBC_VCOM	/ GMAC1_RXER_M1	/ SPI3_MOSI_M0	/ I2S2_SD1_M1	/ GPIO4_B2_d
I2C4_SCL_M0	/ EBC_GDOE	/ ETH1_REFCLKO_25M_M1	/ SPI3_CLK_M0	/ I2S2_SD0_M1	/ GPIO4_B3_d
I2C2_SDA_M1	/ EBC_GDSP	/ CAN2_RX_M0	/ ISP_FLASH_TRIGIN	/ VOP_BT656_CLK_M1	/ GPIO4_B4_d
I2C2_SCL_M1	/ EBC_SDHSR	/ CAN2_TX_M0		/ I2S1_SD03_M1	/ GPIO4_B5_d
CIF_HREF	/ EBC_SDLE	/ GMAC1_MDC_M1	/ UART1_RTSn_M1	/ I2S2_MCLK_M1	/ GPIO4_B6_d
CIF_VSYNC	/ EBC_SDOE	/ GMAC1_MDIO_M1		/ I2S2_SCLK_RX_M1	/ GPIO4_B7_d
CIF_CLEOUT	/ EBC_GDCLK		/ PWM11_IR_M1		/ GPIO4_C0_d
CIF_CLKIN	/ EBC_SDCLK	/ GMAC1_MCLKINOUT_M1	/ UART1_CTSn_M1	/ I2S2_SCLK_RX_M1	/ GPIO4_C1_d
					R9
					VCCIO6_1
					VCCIO6_2

RK3568  
BGA636\_19R00X19R00X1R20

图 2 - 149 RK3568 PDM M1功能管脚

◆ PDM\_M2复用在VCCIO5电源域

U1000L

## VCCIO5 Domain

Operating Voltage=1.8V/3.3V

LCDC_D0	/ VOP_BT656_D0_M0	/ SPI0_MISO_M1	/ PCIE20_CLKREQn_M1	/ I2S1_MCLK_M2	/ GPIO2_D0_d
LCDC_D1	/ VOP_BT656_D1_M0	/ SPI0_MOSI_M1	/ PCIE20_WAKER_M1	/ I2S1_SCLK_RX_M2	/ GPIO2_D1_d
LCDC_D2	/ VOP_BT656_D2_M0	/ SPI0_CS0_M1	/ PCIE30XI_CLKREQn_M1	/ I2S1_LRCK_RX_M2	/ GPIO2_D2_d
LCDC_D3	/ VOP_BT656_D3_M0	/ SPI0_CLK_M1	/ PCIE30XI_WAKER_M1	/ I2S1_SD10_M2	/ GPIO2_D3_d
LCDC_D4	/ VOP_BT656_D4_M0	/ SPI1_CS1_M1	/ PCIE30XI_CLKREQn_M1	/ I2S1_SD11_M2	/ GPIO2_D4_d
LCDC_D5	/ VOP_BT656_D5_M0	/ SPI1_CS0_M1	/ PCIE30X2_WAKER_M1	/ I2S1_SD12_M2	/ GPIO2_D5_d
LCDC_D6	/ VOP_BT656_D6_M0	/ SPI1_MOSI_M1	/ PCIE30X2_PERSTn_M1	/ I2S1_SD13_M2	/ GPIO2_D6_d
LCDC_D7	/ VOP_BT656_D7_M0	/ SPI1_MISO_M1	/ UART8_RX_M1	/ I2S1_SD00_M2	/ GPIO2_D7_d
LCDC_CLK	/ VOP_BT656_CLK_M0	/ SPI2_CLK_M1	/ UART8_RX_M1	/ I2S1_SD01_M2	/ GPIO3_A0_d
LCDC_D8	/ VOP_BT1120_D0	/ SPI1_CS0_M1	/ PCIE30X1_PERSTn_M1	/ SDMM2_D0_M1	/ GPIO3_A1_d
LCDC_D9	/ VOP_BT1120_D1	/ GMAC1_RXD2_M0	/ I2S3_MCLK_M0	/ SDMM2_D1_M1	/ GPIO3_A2_d
LCDC_D10	/ VOP_BT1120_D2	/ GMAC1_RXD3_M0	/ I2S3_SCLK_M0	/ SDMM2_D2_M1	/ GPIO3_A3_d
LCDC_D11	/ VOP_BT1120_D3	/ GMAC1_RXD2_M0	/ I2S3_LRCK_M0	/ SDMM2_D3_M1	/ GPIO3_A4_d
LCDC_D12	/ VOP_BT1120_D4	/ GMAC1_RXD3_M0	/ I2S3_SD0_M0	/ SDMM2_CMD_M1	/ GPIO3_A5_d
LCDC_D13	/ VOP_BT1120_CLK	/ GMAC1_RXCLK_M0	/ I2S3_SD1_M0	/ SDMM2_CLK_M1	/ GPIO3_A6_d
LCDC_D14	/ VOP_BT1120_D5	/ GMAC1_RXCLK_M0		/ SDMM2_DET_M1	/ GPIO3_A7_d
LCDC_D15	/ VOP_BT1120_D6	/ ETH1_REFCLKO_25M_M0		/ SDMM2_FWREN_M1	/ GPIO3_B0_d
LCDC_D16	/ VOP_BT1120_D7	/ GMAC1_RXD0_M0	/ UART4_RX_M1	/ PWM8_M0	/ GPIO3_B1_d
LCDC_D17	/ VOP_BT1120_D8	/ GMAC1_RXD1_M0	/ UART4_TX_M1	/ PWM9_M0	/ GPIO3_B2_d
LCDC_D18	/ VOP_BT1120_D9	/ GMAC1_RXDV_CRS_M0	/ I2S5_SCLK_M0	/ PDM_SD10_M2	/ GPIO3_B3_d
LCDC_D19	/ VOP_BT1120_D10	/ GMAC1_RXER_M0	/ I2S5_SD0_M0	/ PDM_SD11_M2	/ GPIO3_B4_d
LCDC_D20	/ VOP_BT1120_D11	/ GMAC1_RXD0_M0	/ I2S5_SCLK_M1	/ PWM10_M0	/ GPIO3_B5_d
LCDC_D21	/ VOP_BT1120_D12	/ GMAC1_RXD1_M0	/ I2S5_SDA_M1	/ PWM11_IR_M0	/ GPIO3_B6_d
LCDC_D22	/ PWM12_M0	/ GMAC1_RXEN_M0	/ UART3_RX_M1	/ PDM_SD12_M2	/ GPIO3_B7_d
LCDC_D23	/ PWM13_M0	/ GMAC1_MCLKINOUT_M0	/ UART3_RX_M1	/ PDM_SD13_M2	/ GPIO3_C0_d
LCDC_HSYNC	/ VOP_BT1120_D13	/ SPI1_MOSI_M1	/ PCIE20_PERSTn_M1	/ I2S1_SD02_M2	/ GPIO3_C1_d
LCDC_VSYNC	/ VOP_BT1120_D14	/ SPI1_MISO_M1	/ UART5_RX_M1	/ I2S1_SD03_M2	/ GPIO3_C2_d
LCDC_DEN	/ VOP_BT1120_D15	/ SPI1_CLK_M1	/ UART5_RX_M1	/ I2S1_SCLK_RX_M2	/ GPIO3_C3_d
PWM14_M0	/ VOP_PWM_M1	/ GMAC1_MDC_M0	/ UART7_RX_M1	/ PDM_CLK1_M2	/ GPIO3_C4_d
PWM15_IR_M0	/ SED11_RX_M1	/ GMAC1_MDIO_M0	/ UART7_RX_M1	/ I2S1_LRCK_RX_M2	/ GPIO3_C5_d
					AC3
					AC2
					V10
					V11

RK3568  
BGA636\_19R00X19R00X1R20

图 2 - 150 RK3568 PDM M2功能管脚

PDM接口设计中请注意：

- PDM\_M0, PDM\_M1和PDM\_M2不能同时使用，每次只能选择其中一组，不能有些信号选择M0，有些选择M1，有些选择M2，这个功能不支持。
- 根据PDM外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 为提高PDM接口性能，VCCIOx电源域的去耦电容不得删除，布局时请靠近管脚放置；
- PDM接口上下拉和匹配设计推荐如表

表 2 - 39 RK3568 PDM接口设计

信号	内部上下拉	连接方式	描述（芯片端）
PDM_CLK0	下拉	串接22ohm电阻	PDM时钟0输出
PDM_CLK1	下拉	串接22ohm电阻	PDM时钟1输出
PDM_SDI[3:0]	下拉	串接22ohm电阻	PDM数据输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### ● 2.3.11.5 SPDIF接口

RK3568提供一个SPDIF TX数字音频接口，最大支持24bits解析度。SPDIF全称为Sony/Philips Digital Interface Format是SONY、PHILIPS数字音频接口的简称。就传输载体而言，SPDIF又分为同轴和光纤两种，二者传输的信号相同，传输所依赖的载体不同，接口和连线外观也有差异，SPDIF的通讯速率通常受限于载体，因此在硬件设计的时候需要考虑所使用的接口器件规格。但光信号传输无需考虑接口电平及阻抗问题，接口灵活且抗干扰能力更强。

- SPDIF接口引脚复用在三个不同的电源域，分别在VCCIO4, VCCIO5, VCCIO7电源域上。
- 根据SPDIF外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 光纤SPDIF接口上下拉和匹配设计推荐如表

表 2 - 40 RK3568 SPDIF接口设计

信号	内部上下拉	连接方式	描述（芯片端）
SPDIF_TX	下拉	串接22ohm电阻	SPDIF信号输出

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm–100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### ● 2.3.11.6 模拟音频接口

如果不使用RK809-5的Codec功能，那么RK809-5的Pin14, 15, 16, 17, 19, 40必须接地处理，Pin18, 36, 37, 38, 35, 39, 41, 34, 32, 43, 42悬空即可，剩下管脚电路必须保留。

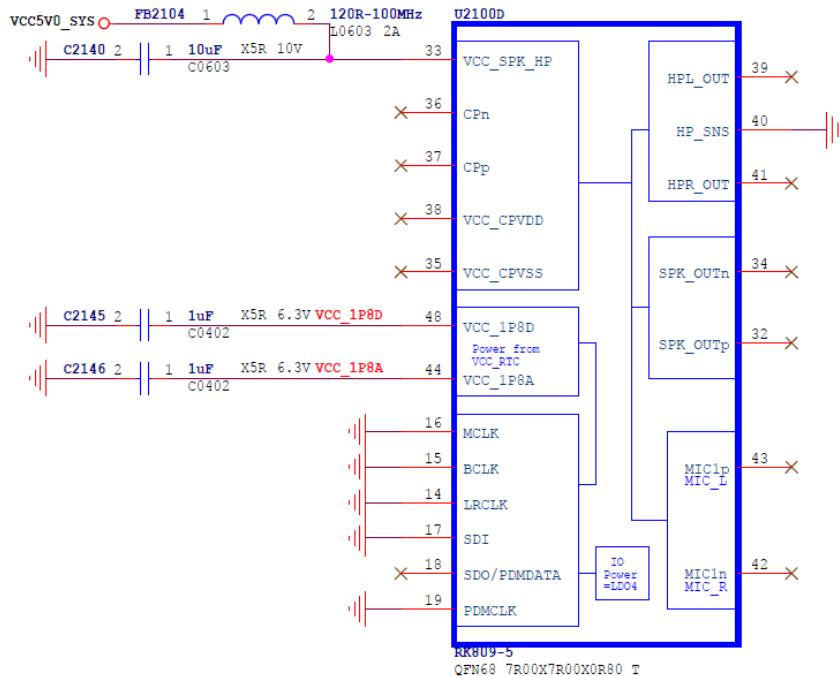


图 2 - 151 RK809-5 不使用Codec模块时相关管脚处理方式

在使用RK809-5电源方案时，RK809-5自带Codec可以实现耳机输出、1.3W单声道喇叭输出以及一路差分或两路单端音频输入功能。

RK3568通过I2S1和PDM接口与RK809-5连接

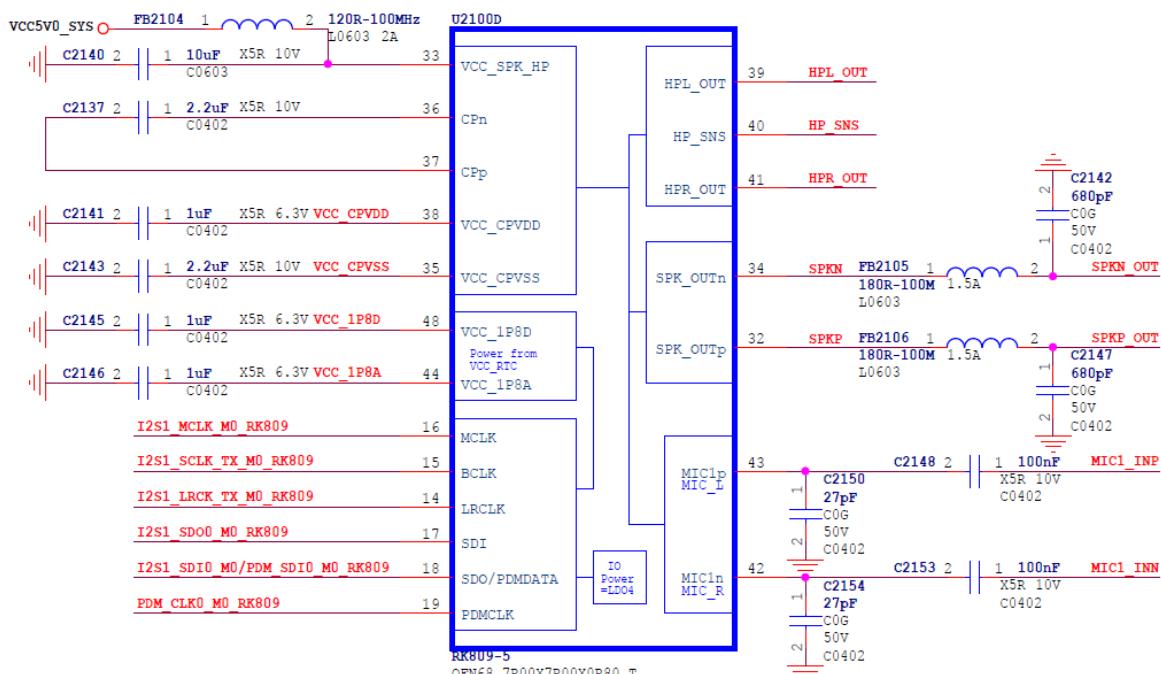


图 2 - 152 RK809-5 Codec模块

■ RK809-5的I2S/PDM接口的IO电平为RK809-5的LD04输出电源，因此RK3368的I2S/PDM接口电源域电平必须和LD04输出电源电压匹配；正常情况下，RK809-5的LD04输出给RK3368的I2S/PDM接口电源域供电。

■ RK809-5 Codec输出的HP\_SNS作为内部Offset参考，这个引脚在外部需要连接到GND作参考。对于HPOUT作LINEOUT使用连接外部功放的场景，HPSNS可在RK809-5附近接地。对于耳机输出的场景，HPSNS需要单独走线到耳机座子处与GND相连，减小与耳机GND间的电平差，走线时在HPR/HPL中间伴随走线，避免受其他信号干扰，走线如下图示意：

另外HPR\_OUT, HPL\_OUT需要增加ESD器件，加强抗静电能力

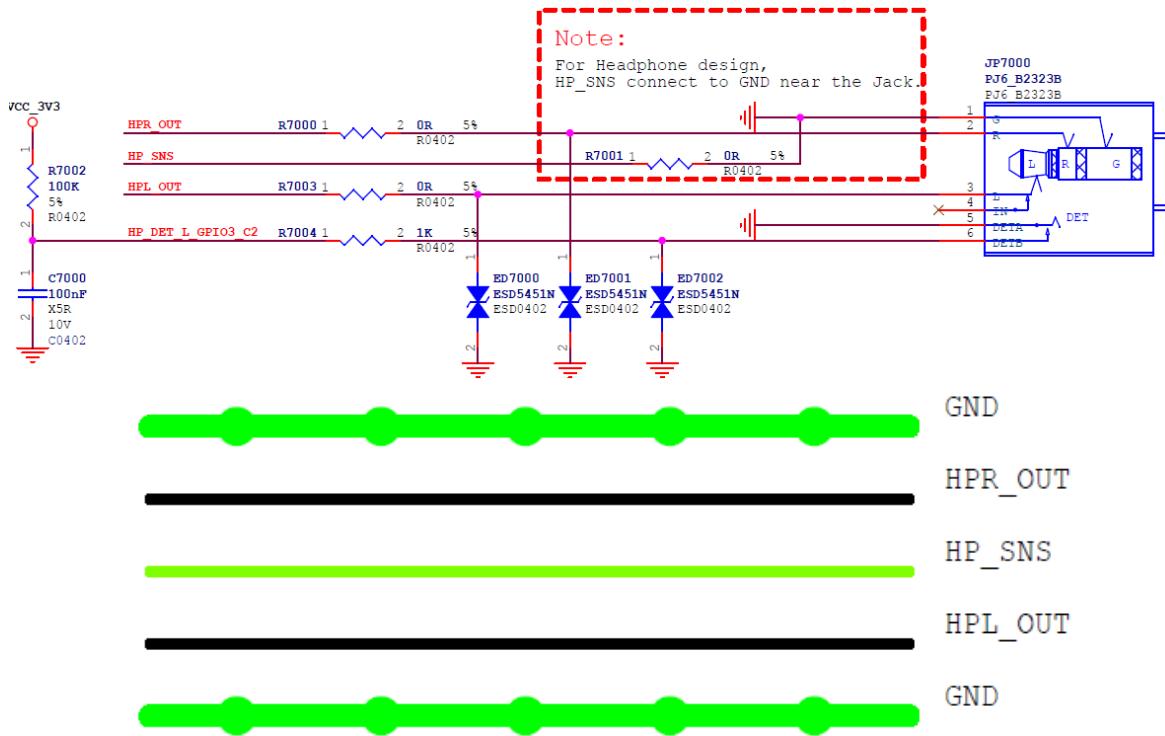


图 2 - 153 RK809 Codec输出耳机电路

- 耳机座的HP\_DET增加串接1K ohm并对100nF电容，预留ESD器件，加强抗静电浪涌能力
- RK809-5 Pin33不仅是喇叭电源，也是内部Charger pump电源，工作电压范围为2.7-5.5V，建议LC电路不删减，布局时，靠近RK809-5放置

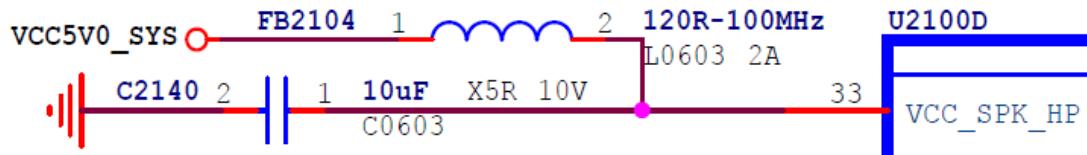


图 2 - 154 RK809-5 SPK/HP电源管脚

- RK809-5 Codec内置Mono免滤波喇叭驱动电路，可提供1.3W@8ohm的驱动能力，满足对小功率单声道的应用场景，可省额外的外部功放成本，喇叭输出的滤波电路靠近RK809-5，ESD防护器件则放置在靠近连接座处，注意下图的磁珠规格，电流不小于1.5A；若需要大功率或更好的输出音质，则建议外扩模拟功放或数字功放。

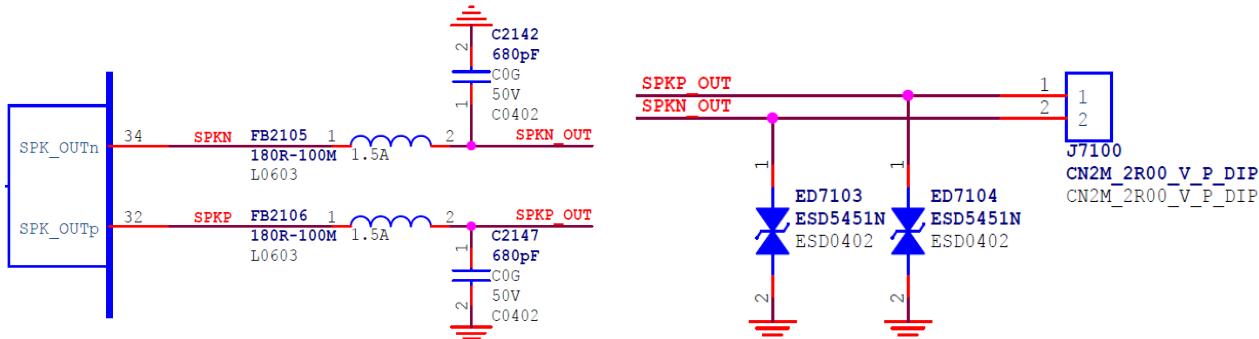


图 2 - 155 RK809-5 SPK输出电路

- 如果RK809-5内置单声道喇叭驱动电路无法满足对驱动能力的要求，或需要实现立体声功能时，可外挂独立的模拟/数字功放。当外挂模拟功放时，使用HPOUT作LINEOUT进行输出；当外挂数字功放时，连接到I2S接口即可。需要注意的是功放的电源设计，当功率较大的时候，要注意一下供电方式。

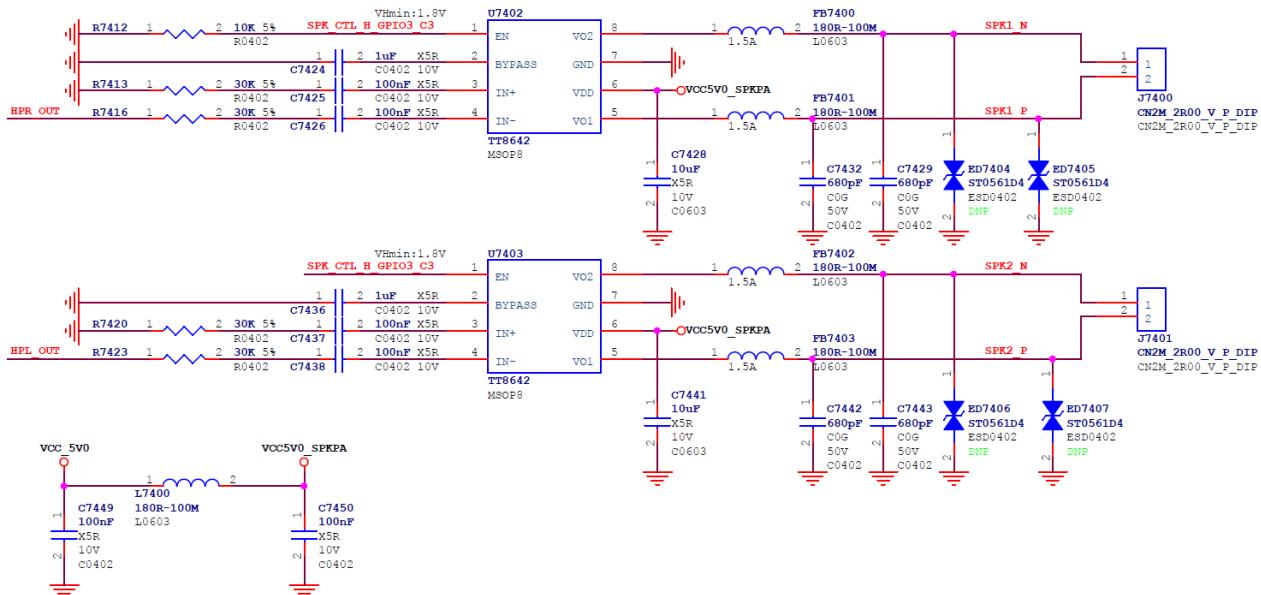


图 2-156 外置SPK电路

### ■ 单MIC电路

如果使用三段耳机座时，本地MIC可使用RK809-5的模拟ADC配置为一个差分输入（相比单端输入，差分输入具有更好的录音效果，偏置电源需要68–100ohm电阻和1uF以上电容进行RC滤波）

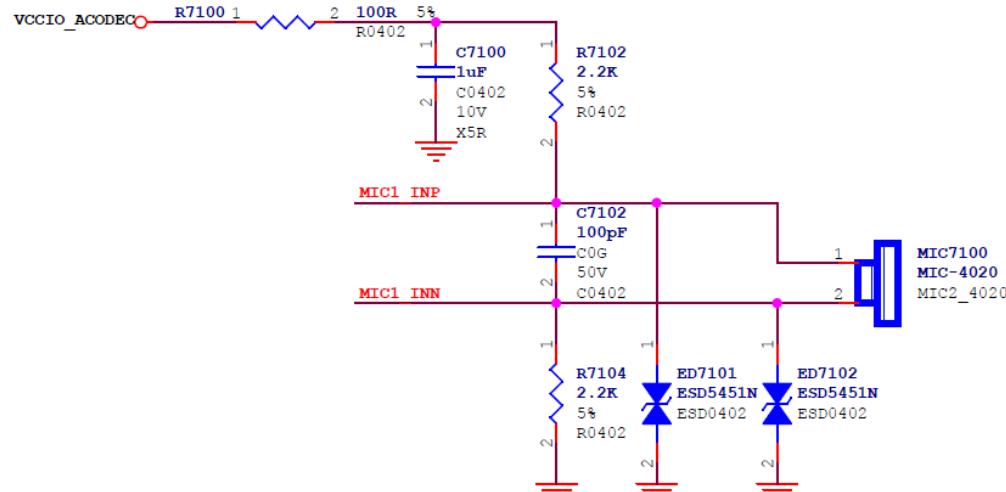


图 2-157 驻极体MIC差分输入电路

如果使用四段耳机座+本地MIC需求时，RK809-5的模拟ADC配置拆分两个单端输入

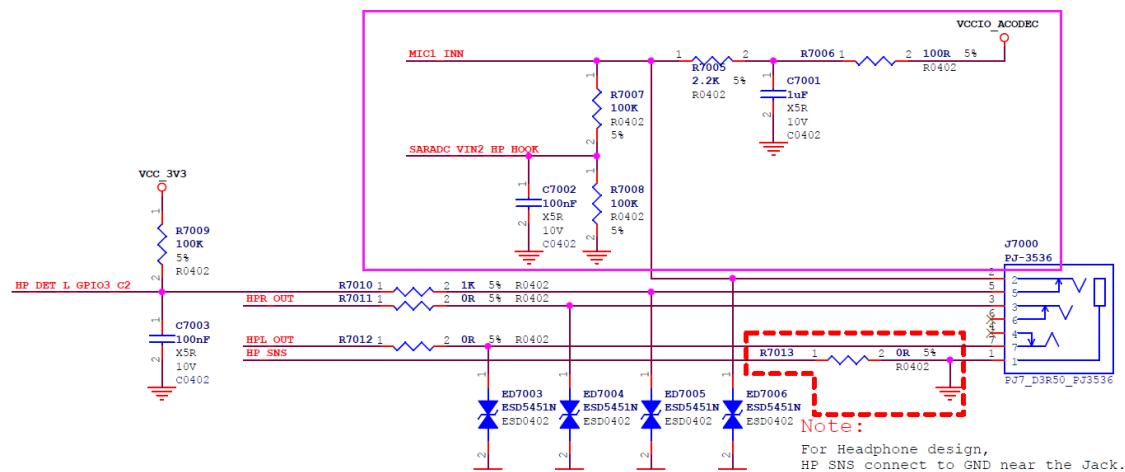


图 2-158 四段耳机座带MIC单端输入电路

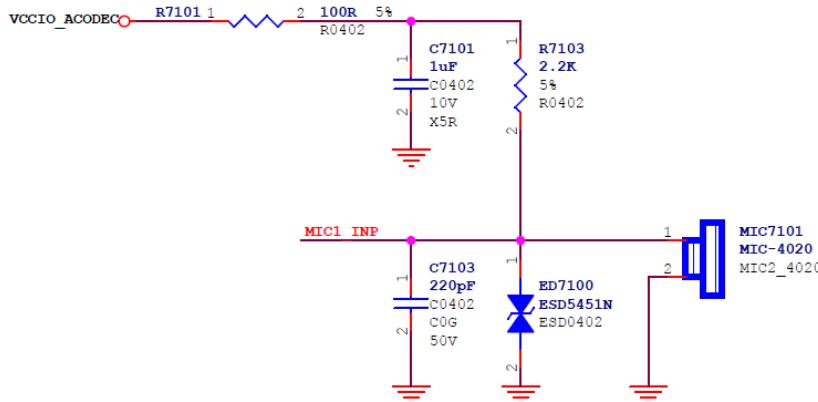


图 2 - 159 驻极体MIC单端输入电路

MIC的隔直电容不得删减，布局时，靠近RK809-5放置

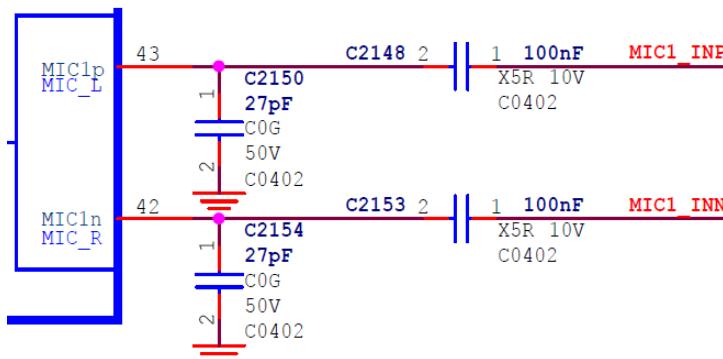


图 2 - 160 RK809-5 MIC输入电路管脚

### ■ 阵列MIC方案电路

RK3568的参考设计中，提供了多场景音频输入输出方案与多麦克风方案。

简单介绍如下：

当RK809-5集成的ADC能够满足输入需求的时候，优先使用RK809-5的ADC输入；当需要用到远场拾音和回采的时候，不推荐使用单端ADC连接，默认使用差分输入，如果输入接口不足，则需要外扩ADC来解决。当前方案默认使用PDM接口的音频ADC，也可以使用I2S接口的音频ADC。

RK3568音频应用场景与图纸对应关系

表 2 - 41 RK3568音频应用场景与图纸对应关系

应用场景	对应的参考图页号
1	70. Audio-Headphone Port—Default电路
	71. Audio-SingleMic+RK809_SPK—Default电路
	71. Audio-SingleMic+RK809_SPK—SPK电路
2	70. Audio-Headphone Port—Option电路
	71. Audio-SingleMic+RK809_SPK—Option电路
	71. Audio-SingleMic+RK809_SPK—SPK电路
3	70. Audio-Headphone Port—Default电路
	71. Audio-SingleMic+RK809_SPK—Default电路
	72. Audio-MicArray+RK809_SPK—RK809-5 SPK电路
	72. Audio-MicArray+RK809_SPK—Option1电路
4	70. Audio-Headphone Port—Default电路
	72. Audio-MicArray+RK809_SPK—MicArray电路
	72. Audio-MicArray+RK809_SPK—RK809-5 SPK电路
	72. Audio-MicArray+RK809_SPK—Option1电路（推荐）或72. Audio-MicArray+RK809_SPK—Option2电路
5	70. Audio-Headphone Port—Option电路
	72. Audio-MicArray+RK809_SPK—MicArray电路
	72. Audio-MicArray+RK809_SPK—RK809-5 SPK电路
	72. Audio-MicArray+RK809_SPK—Option1电路

<b>6</b>	三或四段耳机	70. Audio-Headphone Port—Default电路或Option电路
	+两个或四个阵列麦克风	74. Audio-MicArray+EXT Dual_SPK—MicArray电路
	+立体声喇叭输出	74. Audio-MicArray+EXT Dual_SPK—Speaker Output电路
	+立体声差分回采	74. Audio-MicArray+EXT Dual_SPK—Loopback电路

■ 应用场景4 I2S/PDM连接示意图1:

RK809-5的喇叭回采使用PDM\_CLK0+PDM\_D0通道或PDM\_CLK1+PDM\_D3（推荐），  
阵列麦克风使用PDM\_CLK1+PDM\_D1/2通道

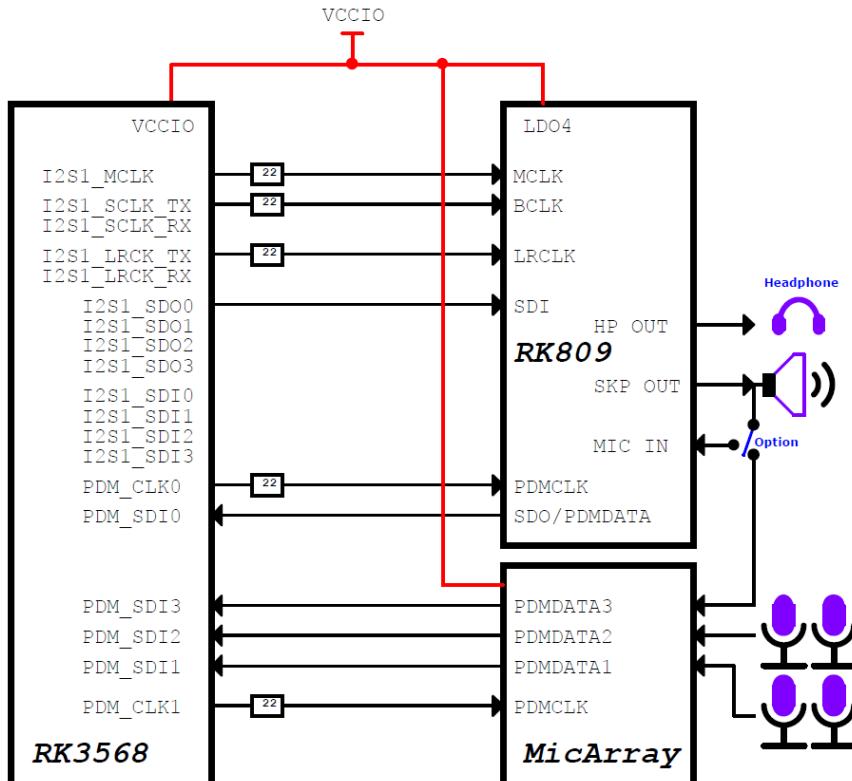


图 2 - 161 阵列MIC方案 I2S/PDM连接示意图1

■ 应用场景6 I2S/PDM连接示意图2:

立体声喇叭回采使用PDM\_CLK1+PDM\_D3  
阵列麦克风使用PDM\_CLK1+PDM\_D1/2通道

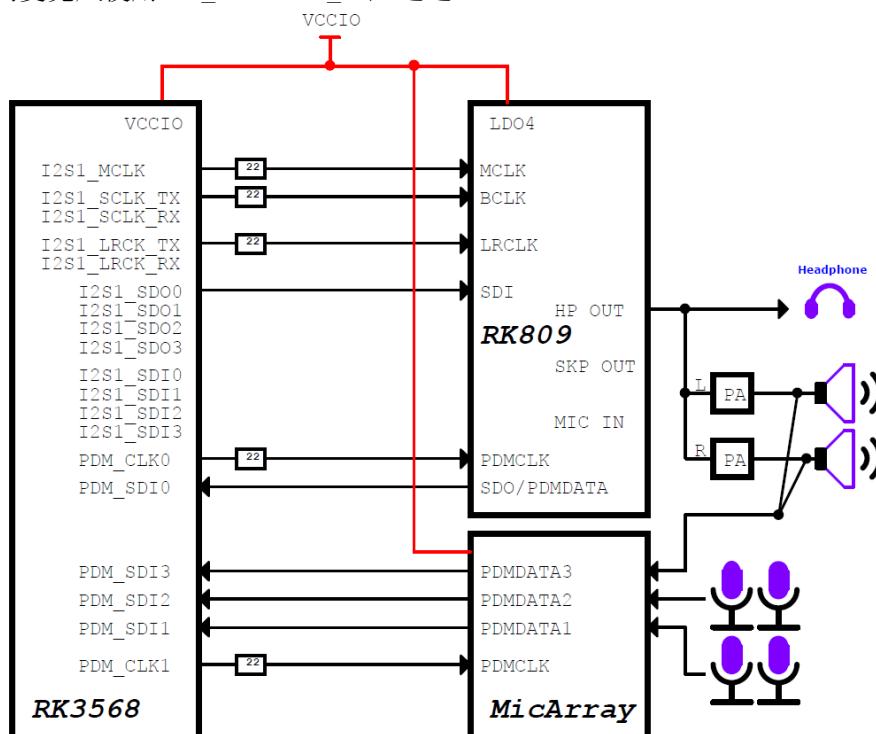


图 2 - 162 阵列MIC方案 I2S/PDM连接示意图2

### 2.3.12 GMAC 接口电路

RK3568芯片拥有2个GMAC控制器，可提供RMII或RGMII接口连接外置的Ethernet PHY，也可以通过QSGMII/SGMII PCS，QSGMII/SGMII接口连接外置的Ethernet PHY，见 2.3.6 QSGMII/SGMII 电路描述。

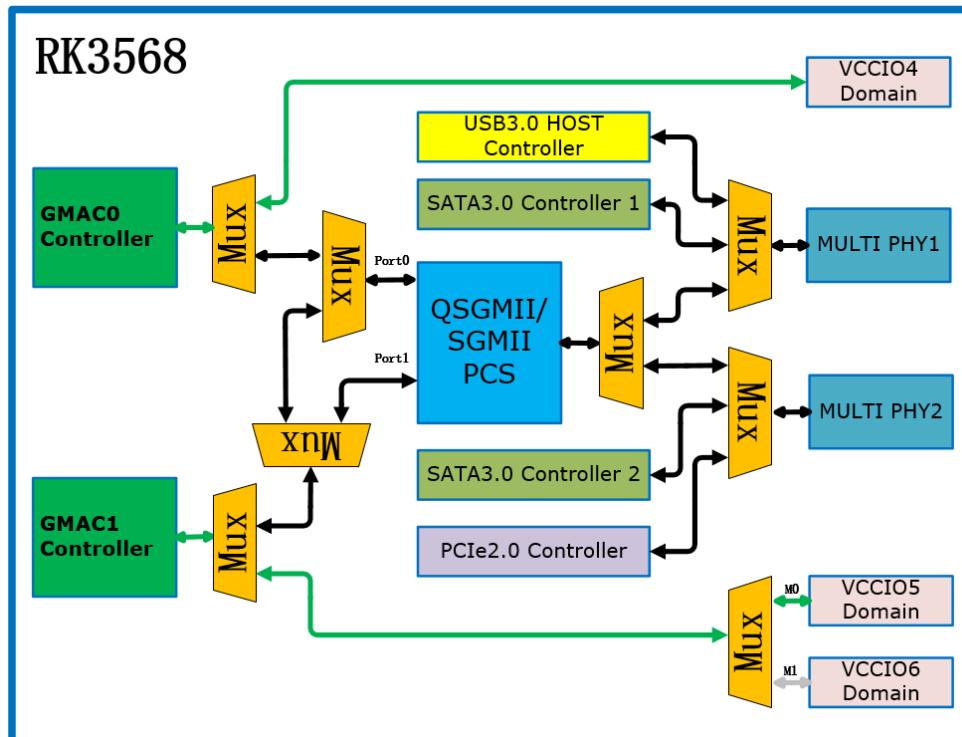


图 2 - 163 RK3568 GMAC0、GMAC1复用到IO的路径框图

GMAC控制器支持以下功能：

- 支持10/100/1000 Mbps数据传输速率的RGMII接口
- 支持10/100 Mbps数据传输速率的RMII接口
- GMAC0的RGMII/RMII接口复用在VCCIO4电源域

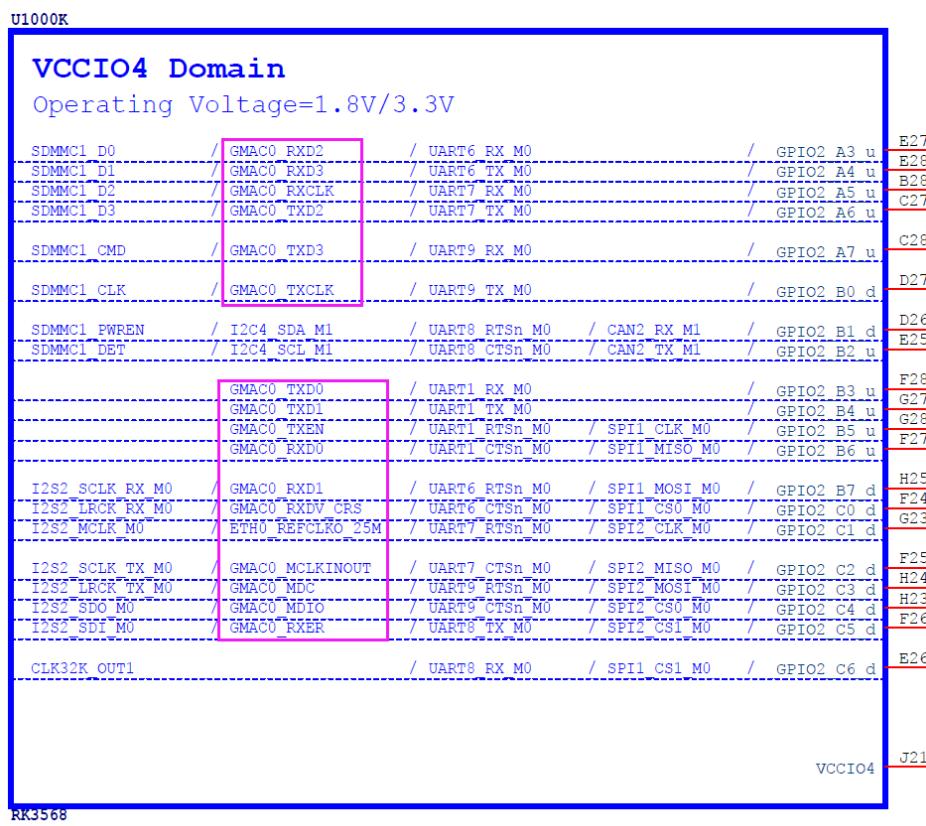


图 2 - 164 RK3568 GMAC0功能管脚

- GMAC0的RGMII/RMII接口复用在VCCI05电源域或VCCI06电源域，用后缀\_M0/\_M1/区分不同复用位置。  
\_M0/\_M1/不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

- 复用在VCCI05电源的M0

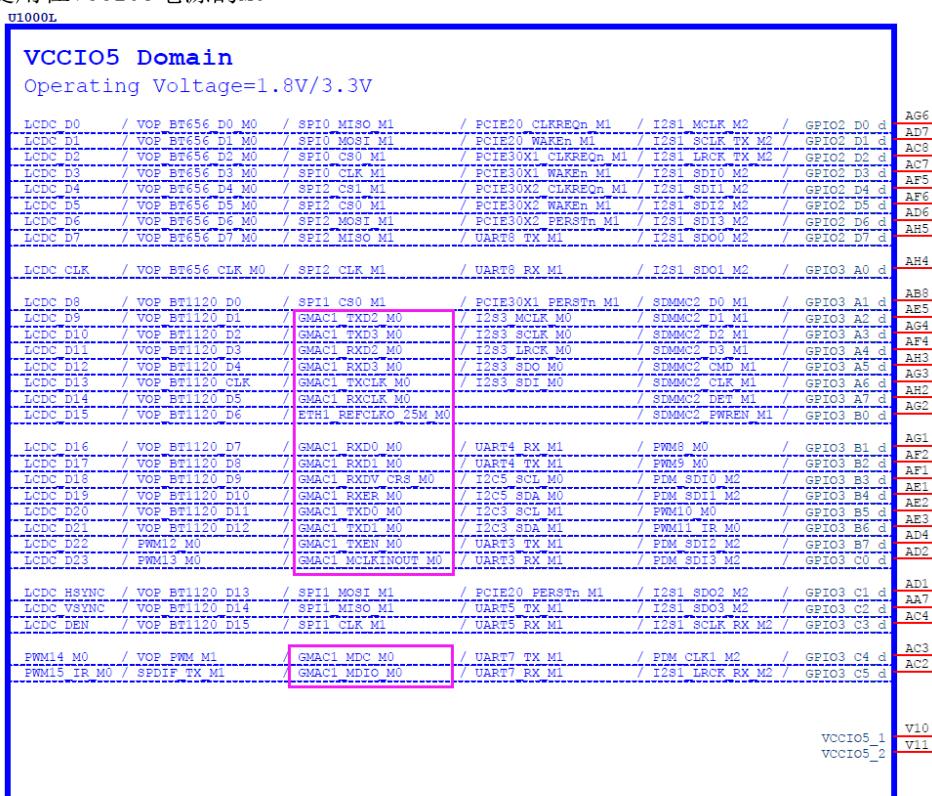


图 2 - 165 RK3568 GMAC1 M0功能管脚

- 复用在VCCI06电源的M1

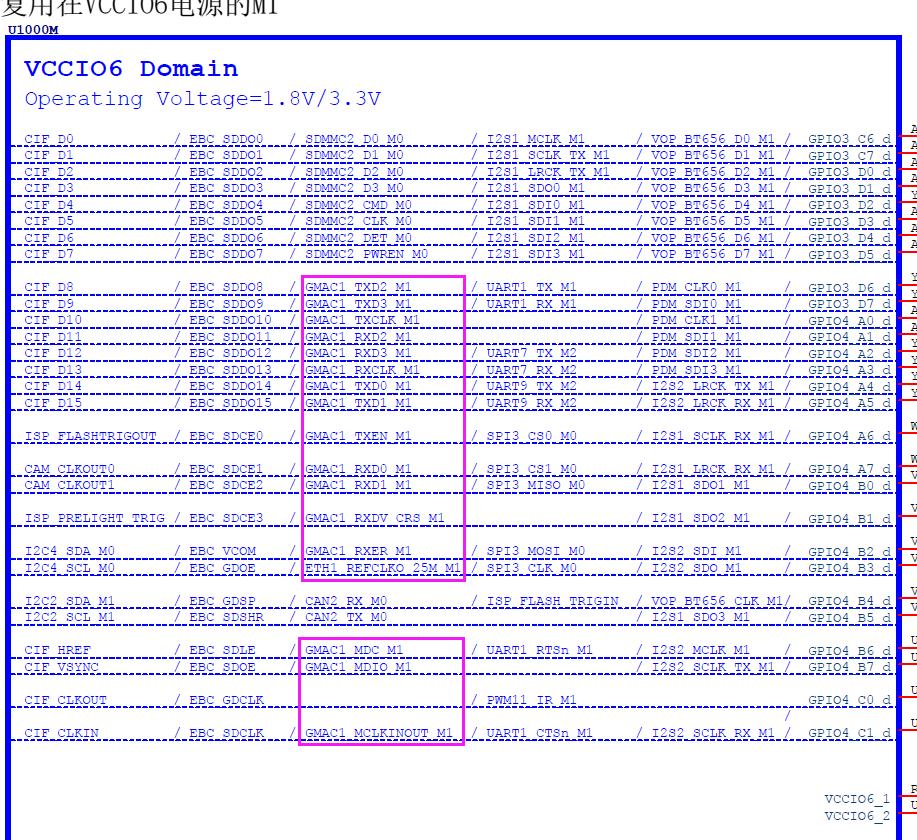


图 2 - 166 RK3568 GMAC1 M1功能管脚

RGMII/RMII接口设计中请注意：

- RGMII/RMII接口电源域为VCCIOx供电，实际产品设计中，需要根据外设的实际IO供电要求（1.8V or 3.3V）选择对应的供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO；
- 有条件建议RGMII/RMII采用1.8V电平，能获得更好的信号质量；
- 为提高RGMII/RMII接口性能，所在VCCIOx电源的去耦电容不得删除，布局时请靠近管脚放置；
- ETH0\_REFCLKO\_25M需在RK3568端串接22 ohm电阻，以提高信号质量
- ETH1\_REFCLKO\_25M需在RK3568端串接22 ohm电阻，以提高信号质量
- TXDO-TXD3, TXCLK, TXEN需在RK3568端串接22 ohm电阻，以提高信号质量
- RXDO-RXD3, RXCLK, RXDV需在PHY端串接22 ohm电阻，以提高信号质量
- RGMII/RMII接口上下拉和匹配设计推荐如表

表 2 - 42 RK3568 RGMII/RMII接口设计

信号	IO类型 (芯片 端)	连接方式	RGMII接口	信号描述	RMII接口	信号描述
GMACx_TXD[3:0]	输出	串接22ohm电 阻，靠近RK3568 端	RGMIIx_TXD[3:0]	数据发送	RMIIx_RXD[1:0]	数据发送
GMACx_TXCLK	输出	串接22ohm电 阻，靠近RK3568 端	RGMIIx_RXCLK	数据发送参 考时钟	--	--
GMACx_TXEN	输出	串接22ohm电 阻，靠近RK3568 端	RGMIIx_RXEN	数据发送使 能（上升沿） 和数据发送 错误（下降 沿）	RMIIx_RXEN	数据发送使用 信号
GMACx_RXD[3:0]	输入	串接22ohm电 阻，靠近PHY端	RGMIIx_RXD[3:0]	数据接收	RMIIx_RXD[1:0]	数据接收
GMACx_RXCLK	输入	串接22ohm电 阻，靠近PHY端	RGMIIx_RXCLK	数据接收参 考时钟	--	--
GMACx_RXDV	输入	串接22ohm电 阻，靠近PHY端	RGMIIx_RXDV	数据接收有 效（上升沿） 和接收错误 (下降沿)	RMIIx_RXDV_CRS	数据接收有效 和载波侦听
GMACx_RXER	输入	串接22ohm电 阻，靠近PHY端	--	--	RMIIx_RXER	数据接收错误 提示
GMACx_MCLKINOUT	输入/ 输出	输出模式： 串接22ohm电 阻，靠近RK3568 端 输入模式： 串接22ohm电 阻，靠近PHY端	RGMIIx_MCLKIN_12 5M	PHY送125MHz 给MAC, 可选	RMII_MCLKIN_50M or RMII_MCLKOUT_50M	RMII数据发送 和数据接收参 考时钟
ETHx_REFCLKO_25 M	输出	串接22ohm电 阻，靠近RK3568 端	ETHx_REFCLKO_25M	RK3568提供 25MHz时钟替 代PHY晶体	ETHx_REFCLKO_25M	RK3568提供 25MHz时钟替 代PHY晶体
GMACx_MDC	输出	串接22ohm电 阻，靠近RK3568 端	RGMIIx_MDC	管理数据时 钟	RMIIx_MDC	管理数据时钟
GMACx_MDIO	输入/ 输出	串接22ohm电 阻， 外部上拉 1.5K-1.8Kohm电 阻	RGMIIx_MDIO	管理数据输 出/输入	RMIIx_MDIO	管理数据输出 /输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。
- RGMII连接示图1，具体电路请见参考图(GE PHY工作时钟使用外置25MHz晶体)

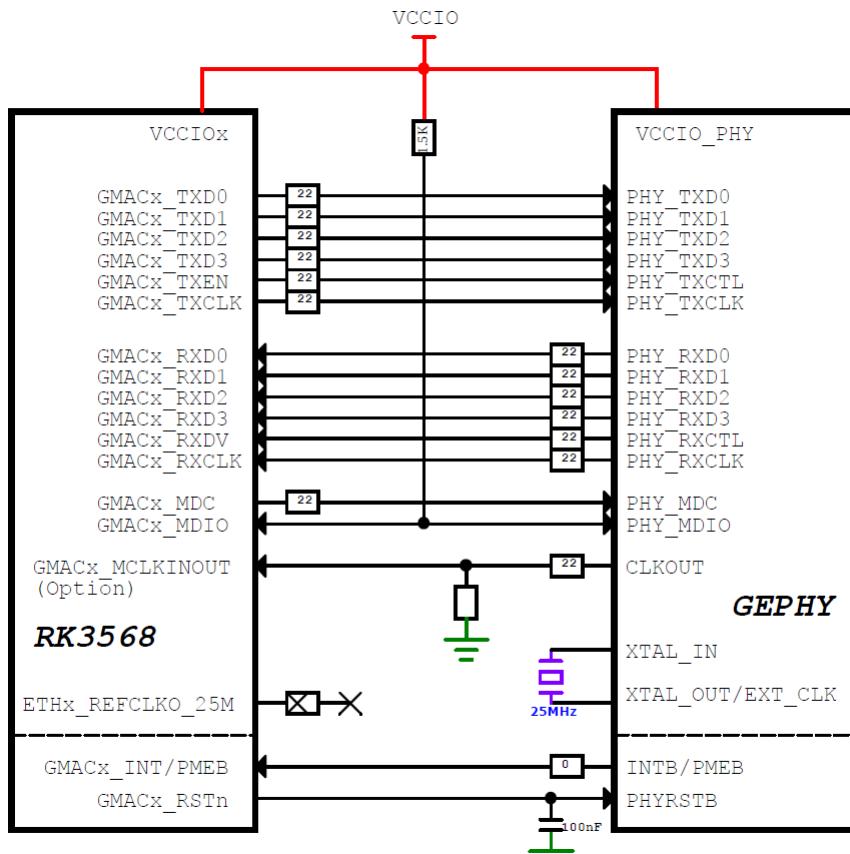


图 2 - 167 RGMII连接示图1

- RGMII连接示图2，具体电路请见参考图(GEPHY工作时钟使用RK3568提供的25MHz)

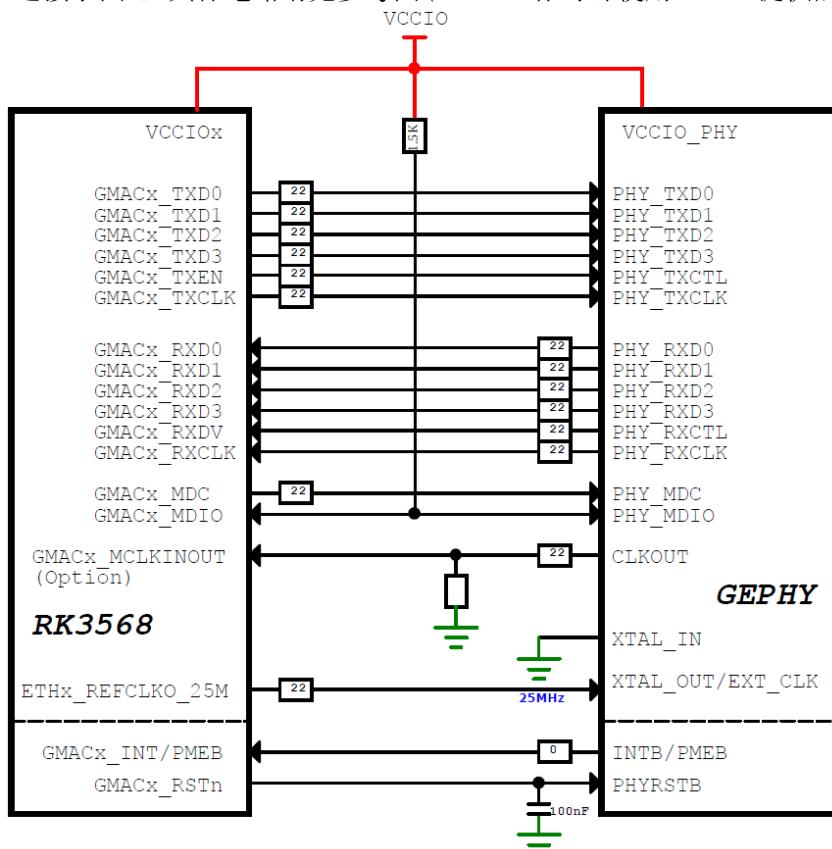


图 2 - 168 RGMII连接示图2

- RMII连接示图1，具体电路请见参考图(GMACx\_MCLKINOUT采用输出模式，即当FEPHY工作时钟也当RMII接口的参考时钟，有些FEPHY不支持这个模式)

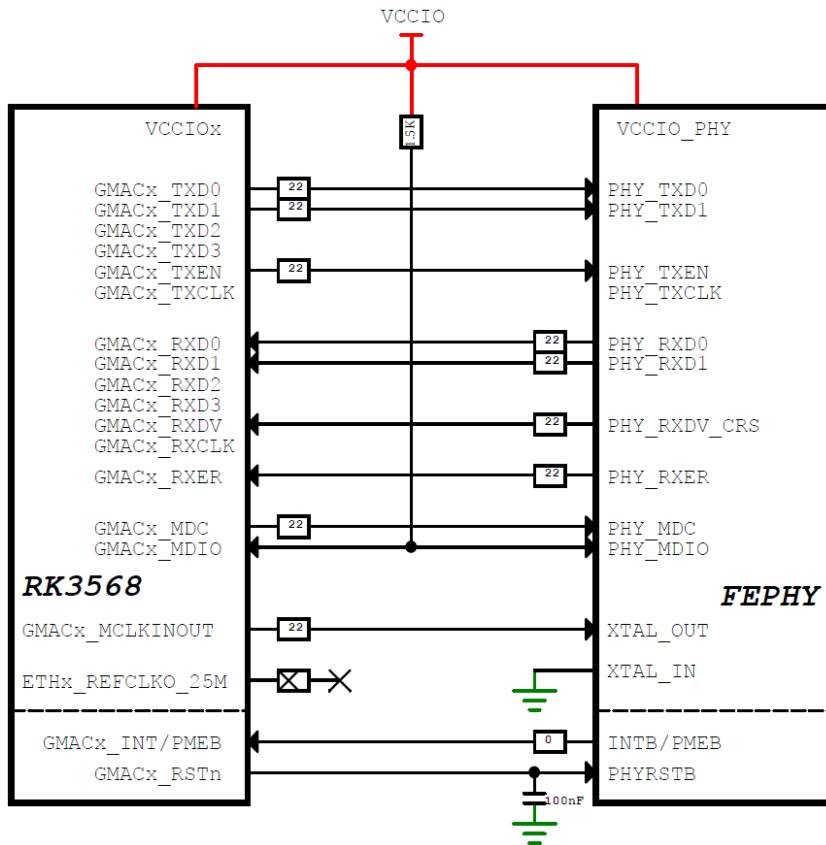


图 2 - 169 RMII连接示图1

- RMII连接示图2，具体电路请见参考图(FEPHY工作时钟使用25MHz晶体，GMACx\_MCLKINOUT采用输出模式，当RMII接口的参考时钟)

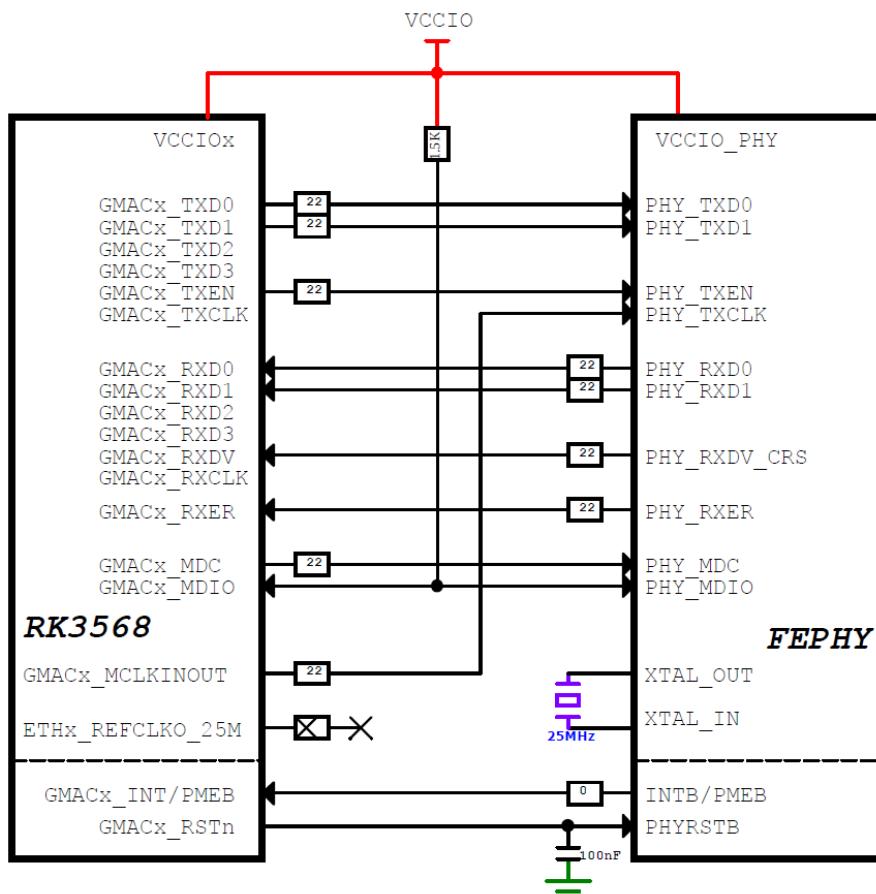


图 2 - 170 RMII连接示图2

- RMII连接示图3，具体电路请见参考图(使用RK3568提供的25MHz替代FEPHY晶体，GMACx\_MCLKINOUT采用输出模式，当RMII接口的参考时钟)

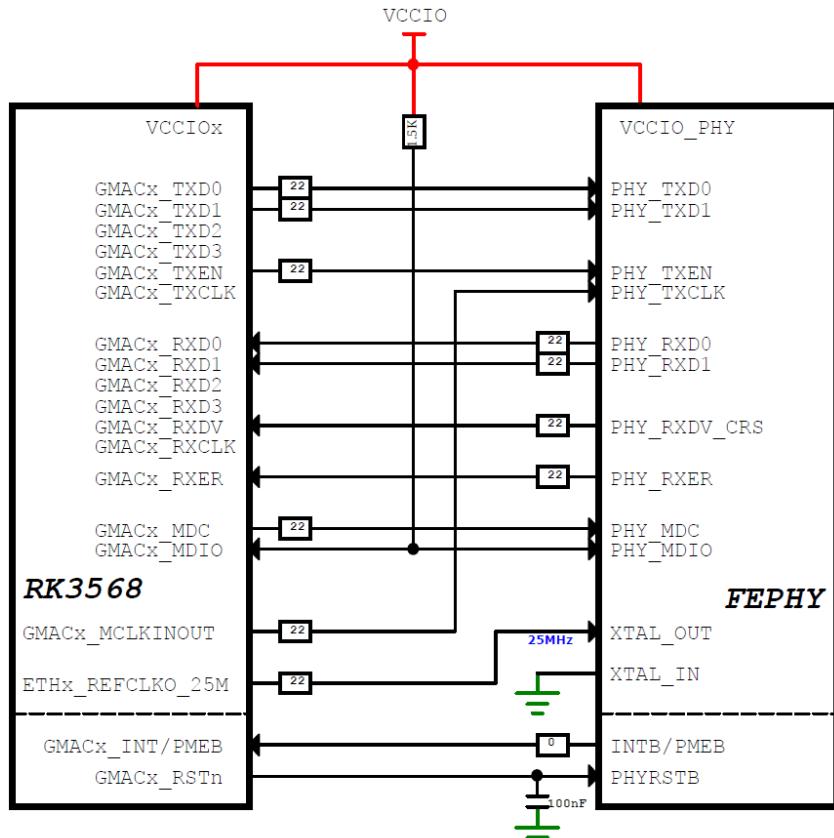


图 2 - 171 RMII连接示图3

- RMII连接示图4，具体电路请见参考图(FEPHY工作时钟使用外置25MHz晶体，GMACx\_MCLKINOUT采用输入模式，RMII接口的参考时钟由FEPHY提供)

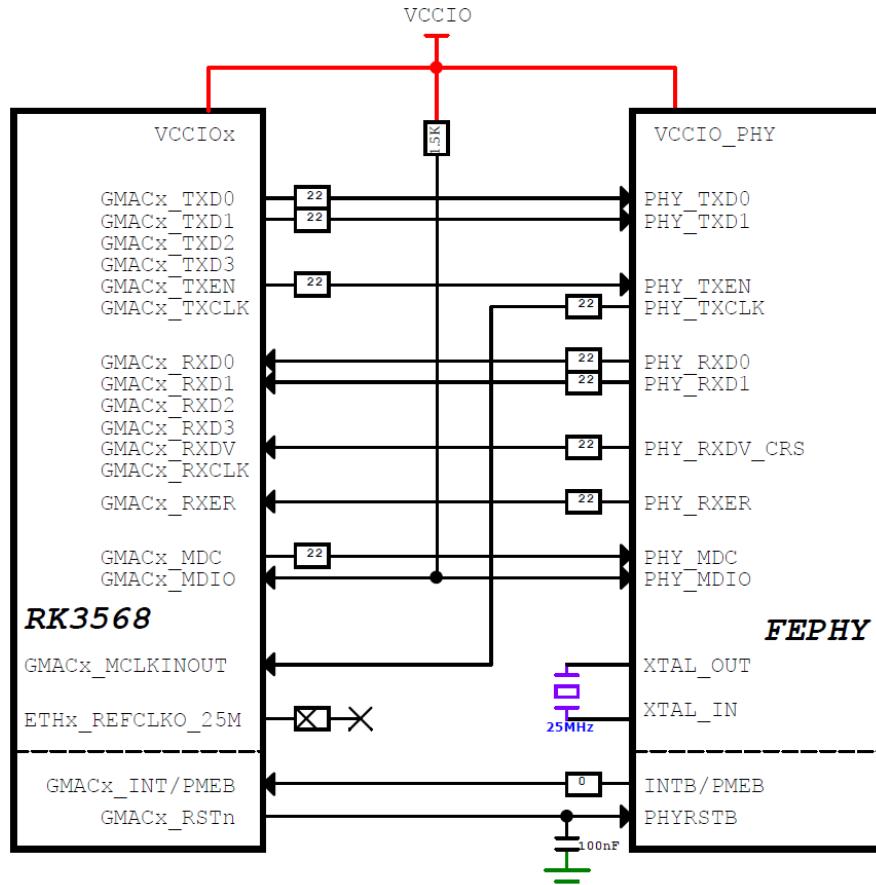


图 2 - 172 RMII连接示图4

- RMII连接示图5，具体电路请见参考图(使用RK3568提供的25MHz替代FEPHY晶体，GMACx\_MCLKINOUT采用输入模式，RMII接口的参考时钟由FEPHY提供)

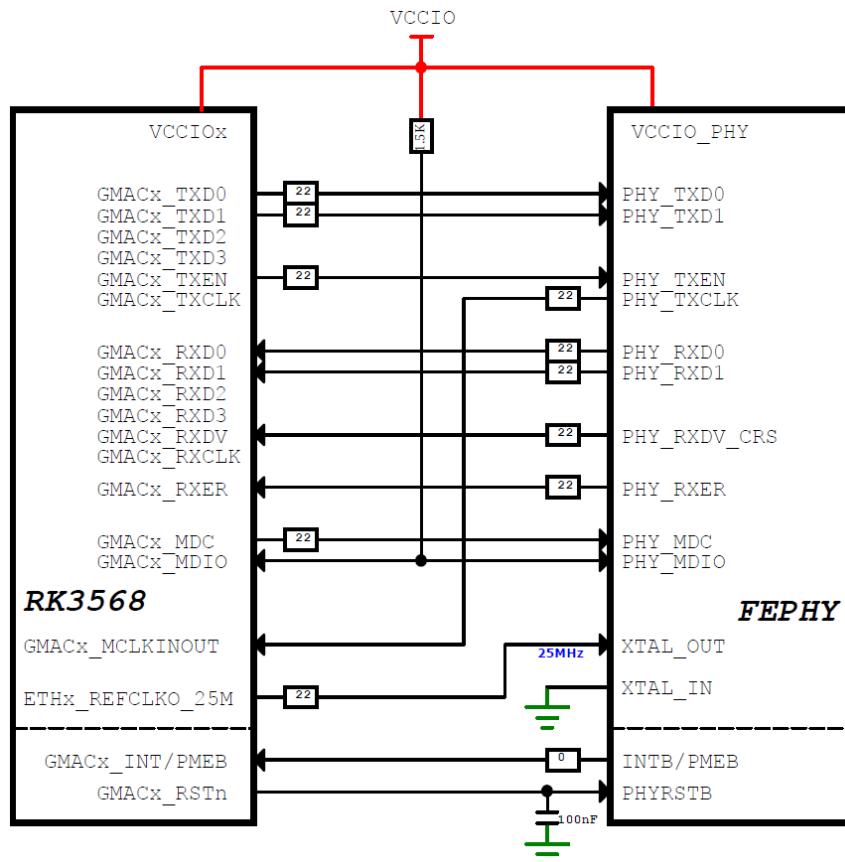


图 2 - 173 RMII连接示意图5

- Ethernet PHY的Reset信号需要用GPIO来控制，GPIO电平必须和PHY IO电平匹配，靠近PHY管脚必须增加100nF电容，加强抗静电能力，注意：RTL8211F/FI的复位管脚只支持3.3V电平；
- RTL8211F/FI的INTB/PMEB为开漏输出，外部必须增加上拉电阻，参考图默认使用RK3568 IO内部带的上拉电阻。
- PHY使用外置晶体时，晶体电容请根据实际使用的晶体的负载电容值选择，控制频偏在 $\pm 20\text{ppm}$ 以内；
- RTL8211F/FI的RSET管脚外接电阻为 $2.49\text{k}\Omega$ 精度为1%，不得随意修改
- MDIO必须外部加上拉电阻，推荐 $1.5\text{--}1.8\text{k}\Omega$ ，上拉电源必须和电源保持一致；
- RTL8211F/FI的变压器中心抽头的连接必须按照参考图接，如果换其它Ethernet PHY，那么变压器中心抽头的连接，建议参考各Ethernet PHY厂家的参考设计，因为不同的PHY厂家会有不同的连接方式；
- 1000pF隔离电容建议采用高压安规电容，有足够的电气间隙保证雷击的安全性；
- 网络变压器高压侧的 $75\text{ }\Omega$ 电阻建议采用0805以上的封装；
- 雷击防护等级达到4KV以上需要增加防雷管，普通的隔离变压器只能满足2KV等级要求；
- 如果有雷击差分测试要求，MDI差分对间需要增加TVS管；
- 务必确认RJ45封装和原理图是否一致，RJ45有分Tab down和Tab up，信号顺序刚好是相反，如果使用RTL8211F/FI建议采用Tab down，MDI顺序是顺的；
- PHY的初始化硬件配置必须和实际需求匹配。

### 2.3.13 UART 接口电路

RK3568芯片拥有10个UART控制器，支持以下功能：

- 均包含两个64字节的FIFO用于数据接收和传输；
- 支持115.2Kbps、460.8Kbps、921.6Kbps、1.5Mbps、3Mbps、4Mbps；
- 支持可编程波特率，支持非整数时钟分频器；
- 支持基于中断或基于DMA的模式；
- 支持5-8位宽度传输。

考虑不同产品应用灵活性，10个UART分别复用在几个不同的电源域，用后缀\_M0/\_M1/\_M2区分不同复用位置。\_M0/\_M1/\_M2不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，有些选

择M2，这个功能不支持。

■ RK3568 UART接口分布情况

表 2 - 43 RK3568 UART接口分布

UART编号	复用情况	复用电源域
UART0	无	PMUIO2
UART1	M0, M1	M0:VCCIO4 M1:VCCIO6
UART2	M0, M1	M0:PMUIO2 M1:VCCIO3
UART3	M0, M1	M0:VCCIO1 M1:VCCIO5
UART4	M0, M1	M0:VCCIO1 M1:VCCIO5
UART5	M0, M1	M0:VCCIO3 M1:VCCIO5
UART6	M0, M1	M0:VCCIO4 M1:VCCIO3
UART7	M0, M1, M2	M0:VCCIO4 M1:VCCIO5 M2:VCCIO6
UART8	M0, M1, M2	M0:VCCIO4 M1:VCCIO5
UART9	M0, M1, M2	M0:VCCIO4 M1:VCCIO7 M2:VCCIO6

- 其中UART2 M0默认是RK3568的Debug UART，注意点请见 2.1.6 JTAG和UART Debug 电路
- 根据UART外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要**注意软件的VCCIOx 电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。**
- UART接口上下拉和匹配设计推荐如表

表 2 - 44 RK3568 UART接口设计

信号	连接方式	描述（芯片端）
UART <sub>x</sub> _RX	直连	UART数据输入
UART <sub>x</sub> _TX	直连	UART数据输出
UART <sub>x</sub> _CTSn	直连	UART允许发送信号
UART <sub>x</sub> _RTSn	直连	UART请求发送信号

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### 2.3.14 SPI 接口电路

RK3568芯片除了上述的FSPI控制器外，还拥有4个通用SPI控制器，支持以下功能：

- 支持master和slave两种模式。;
- 支持4、8、16位串行数据传输；
- 支持全双工和半双工模式传输

考虑不同产品应用灵活性，4个SPI分别复用在几个不同的电源域，用后缀\_M0/\_M1/区分不同复用位置。  
\_M0/\_M1/不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

■ RK3568 SPI接口分布情况

表 2 - 45 RK3568 SPI接口分布

SPI编号	复用情况	复用电源域
SPI0	M0, M1	M0:PMUIO2

		M1:VCCI05
SPI1	M0, M1	M0:VCCI04 M1:VCCI05
SPI2	M0, M1	M0:VCCI04 M1:VCCI05
SPI3	M0, M1	M0:VCCI06 M1:VCCI07

- 根据SPI外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- SPI接口上下拉和匹配设计推荐如表

表 2 - 46 RK3568 SPI接口设计

信号	连接方式	描述（芯片端）
SPIx_CLK	串接22ohm电阻	SPI时钟
SPIx_MOSI	直连	SPI数据输出(Master)
SPIx_MISO	直连	SPI数据输入(Master)
SPIx_CS0	直连	SPI片选0
SPIx_CS1	直连	SPI片选1

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### 2.3.15 CAN 接口电路

RK3568芯片拥有3个CAN控制器，支持以下功能：

- 支持CAN 2.0B协议；
- 支持1Mbps、8Mbps。

考虑不同产品应用灵活性，3个CAN分别复用在几个不同的电源域，用后缀\_M0/\_M1区分不同复用位置。  
\_M0/\_M1不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

- RK3568 CAN接口分布情况

表 2 - 47 RK3568 CAN接口分布

CAN编号	复用情况	复用电源域
CAN0	M0, M1	M0:PMUI02 M1:VCCI03
CAN1	M0, M1	M0:VCCI01 M1:VCCI07
CAN2	M0, M1	M0:VCCI06 M1:VCCI04

- 根据CAN外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。

- CAN接口上下拉和匹配设计推荐如表

表 2 - 48 RK3568 CAN接口设计

信号	连接方式	描述（芯片端）
CANx_RX	直连	CAN数据输入
CANx_TX	直连	CAN数据输出

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### 2.3.16 I2C 接口电路

RK3568芯片拥有6个I2C控制器，支持以下功能：

- 支持I2C总线主模式;
- 支持软件可编程时钟频率和传输速率高达400Kbit/sec;
- 支持7位和10位寻址模式。

考虑不同产品应用灵活性，6个I2C分别复用在几个不同的电源域，用后缀\_M0/\_M1区分不同复用位置。  
\_M0/\_M1不能同时使用，分配时只能选择其中一组，不能有些信号选择M0，有些选择M1，这个功能不支持。

- RK3568 I2C接口分布情况

表 2 - 49 RK3568 I2C接口分布

I2C编号	复用情况	复用电源域
I2C0	无	PMUIO2
I2C1	无	PMUIO2
I2C2	M0, M1	M0:PMUIO2 M1:VCCIO6
I2C3	M0, M1	M0:VCCIO1 M1:VCCIO5
I2C4	M0, M1	M0:VCCIO6 M1:VCCIO4
I2C5	M0, M1	M0:VCCIO5 M1:VCCIO7

- HDMIITX\_SCL/HDMIITX\_SDA是HDMI TX控制器的I2C/DDC总线，为专用总线
- 根据I2C外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCIOx电源域驱动电压配置与VCCIOx电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- I2C0默认分配给PMIC，方便软件，建议不改动
- I2C信号SCL、SDA需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻，推荐接2.2kΩ上拉电阻。
- I2C总线上各设备地址不要冲突，上拉电源必须和电源保持一致
- I2C接口上下拉和匹配设计推荐如表

表 2 - 50 RK3568 I2C接口设计

信号	连接方式	描述（芯片端）
I2Cx_SCL	直连	I2C时钟
I2Cx_SDA	直连	I2C数据输出/输入

- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

### 2.3.17 PWM 接口电路

RK3568芯片拥有集成了4个独立的PWM控制器，每个控制器有4个通道，最多可以有16个PWM通道，支持以下功能：

- 支持捕获模式；
- 支持连续模式或一次性模式；
- 针对PWM3、PWM7、PWM11和PWM15的红外应用进行了优化

考虑不同产品应用灵活性，16个PWM分别复用在几个不同的电源域，用后缀\_M0/\_M1区分不同复用位置。

- RK3568 PWM接口分布情况

表 2 - 51 RK3568 PWM接口分布

PWM编号	复用情况	复用电源域
PWMO	M0, M1	M0:PMUIO2 M1:PMUIO2
PWM1	M0, M1	M0:PMUIO2 M1:PMUIO2
PWM2	M0, M1	M0:PMUIO2 M1:PMUIO2
PWM3_IR	无	PMUIO2

PWM4	无	PMUIO2
PWM5	无	PMUIO2
PWM6	无	PMUIO2
PWM7_IR	无	PMUIO2
PWM8	M0, M1	M0:VCCI05 M1:VCCI03
PWM9	M0, M1	M0:VCCI05 M1:VCCI03
PWM10	M0, M1	M0:VCCI05 M1:VCCI03
PWM11_IR	M0, M1	M0:VCCI05 M1:VCCI06
PWM12	M0, M1	M0:VCCI05 M1:VCCI07
PWM13	M0, M1	M0:VCCI05 M1:VCCI07
PWM14	M0, M1	M0:VCCI05 M1:VCCI07
PWM15_IR	M0, M1	M0:VCCI05 M1:VCCI07

- 根据PWM外设的IO电平，调整对应的电源域供电，必须保持一致，另外还要注意软件的VCCI0x电源域驱动电压配置与VCCI0x电源域的供电电压保持一致，否则功能会异常，而且可能会损坏IO。
- 当通过连接器实现板对板连接时，建议串接一定阻值的电阻(22ohm-100ohm之间，具体以能满足SI测试为准)，并预留TVS器件。

当红外接收头信号输入时，需要注意以下：

- 待机下，要支持红外接收头唤醒，而且考虑低功耗（即VDD\_LOGIC电源断电方案），只能选择PWM3当红外接收头输入；
- 红外接收头的电源需要使用VCC3V3\_PMU供电；
- 红外接收头的电源需要22-100ohm电阻和10uF以上电容进行RC滤波；
- 红外接收头默认采用38KHz，如果换成其它频率软件需要相应稍调；
- 红外接收头输出脚电平必须和RK3568 IO电平匹配；
- 红外接收头输出脚建议串22 ohm电阻并对1nF电容，再连接到RK3568，加强抗静电浪涌能力。

## IR Receiver

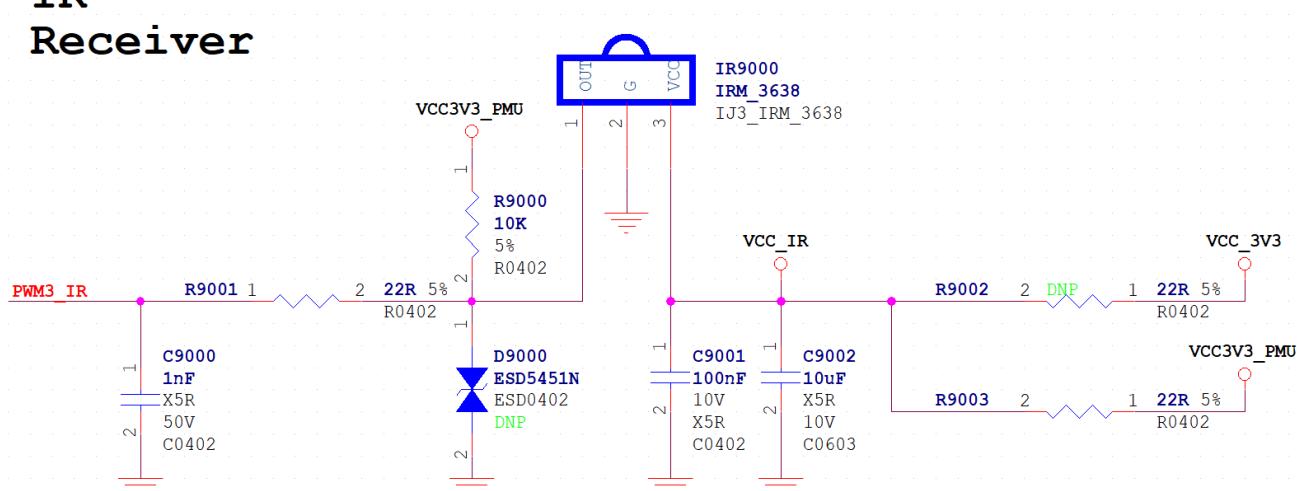


图 2 - 174 红外接收头电路

- 红外接收头布局时，应远离无线模块天线，如WIFI天线，以免无线传输数据时，影响红外信号接收。
- 红外接收头布局应避开板上LED光源直射，避免LED闪烁频率影响红外接收。
- IR信号建议全程包地处理，无法包地处理，建议和其它信号间隔：>=2倍线宽

### 2.3.18 RK3568未使用模块的管脚处理

请见《RK3568\_Methods for Processing Unused Pins\_V10\_20201218\_CN.xlsx》文档。

## 3 PCB设计建议

### 3.1 PCB叠层设计

为了减少在高速信号传输过程中的反射现象，必须在信号源、接收端以及传输线上保持阻抗的匹配。单端信号线的具体阻抗取决于它的线宽尺寸以及与参考平面之间的相对位置。特定阻抗要求的差分对间的线宽/线距则取决于选择的PCB叠层结构。由于最小线宽和最小线距是取决于PCB类型以及成本要求，受此限制，选择的PCB叠层结构必须能实现板上的所有阻抗需求，包括内层和外层、单端和差分线等。

层的定义设计原则：

- 主芯片相临层为地平面，提供器件面布线参考平面；
- 所有信号层尽可能与地平面相邻
- 尽量避免两信号层直接相邻
- 主电源尽可能与其对应地相邻
- 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称

PCB的层定义推荐方案：具体的PCB层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。以下给出常见的层排布推荐方案，供参考。在层设置时，若有相邻布线层，可通过增大相邻布线层的间距，来降低层间串扰。对于跨分割的情况，确保关键信号必须有相对完整的参考地平面或提供必要的桥接措施。

RK3568推荐使用6层PCB叠层，以下叠层结构做为范例，可以给客户在叠层结构的选择和评估上提供帮助。如果选择其他类型的叠层结构，请根据PCB厂商给出的规格，重新计算阻抗。

#### 3.1.1 6层板叠层

在6层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L6的参考平面为L5。L3和L5也被做为L4高信号走线的参考平面，具体视叠层情况而定。建议层叠为TOP-GND-POWER-Signal-GND-Bottom，其中L3和L4层距离比较远的结构，L4层主参考L5，建议采用1oz，下图为1.6mm板厚的参考叠层，根据板厚要求调整Core厚度。

Layer No.	sig/pln	Copper thk. before process (oz)	Construction	Finished thikness (um)	Finished thikness (mil)	Tolerance	Dk (1GHz)
S/M							
1	TOP	1	PP 1080X1(RC64%)	18	0.71	+/-10	3.8
				35	1.38	+/-10	
2	GND	1	PP 2116X1(RC50%)	80	3.15	+/-10	4.2
				30	1.18	+/-10	
3	POWER	1	Core	102	4.02	+/-10	4.2
				30	1.18	+/-10	
4	SIGNAL	1	PP 2116X1(RC50%)	1008	39.69	+/-10	4.2
				30	1.18	+/-10	
5	GND	1	PP 1080X1(RC64%)	102	4.02	+/-10	4.2
				30	1.18	+/-10	
6	BOTTOM	1	PP 1080X1(RC64%)	80	3.15	+/-10	4.2
S/M				35	1.38	+/-10	
				18	0.71	+/-10	3.8
总计：				1598	62.91		

图 3 - 1 6层板叠层

#### 3.1.2 4层板叠层

在4层板叠层设计中，顶层信号L1的参考平面为L2，底层信号L4的参考平面为L3，具体视叠层情况而定，建议采用1oz，下图为1.6mm板厚的参考叠层，根据板厚要求调整Core厚度。

Layer No.	sig/pln	Copper thk. before process (oz)	Construction	Finished thikness (um)	Finished thikness (mil)	Tolerance	Dk (1GHz)
S/M							
1	TOP	1	PP 1080X1(RC68%)	18	0.71	+/-10	3.8
				30	1.18	+/-10	
2	GND	1	Core	80	3.15	+/-14	4.2
				30	1.18	+/-10	
3	POWER	1	PP 1080X1(RC68%)	1265	49.80	+/-30	4.2
				30	1.18	+/-10	
4	BOTTOM	1	PP 1080X1(RC68%)	82	3.23	+/-14	4.2
S/M				30	1.18	+/-10	
				18	0.71	+/-10	3.8
总计：				1583	62.32		

图 3 - 2 4层板叠层

### 3.1.3 RK3568扇出设计

- 最外面两圈的Ball扇出设计

靠最外圈ball，可以从TOP层走4mil线宽出去；第二圈的信号从两个Ball中间走4mil线宽走线出去，建议设置栅格，从两个ball正中间走线出去

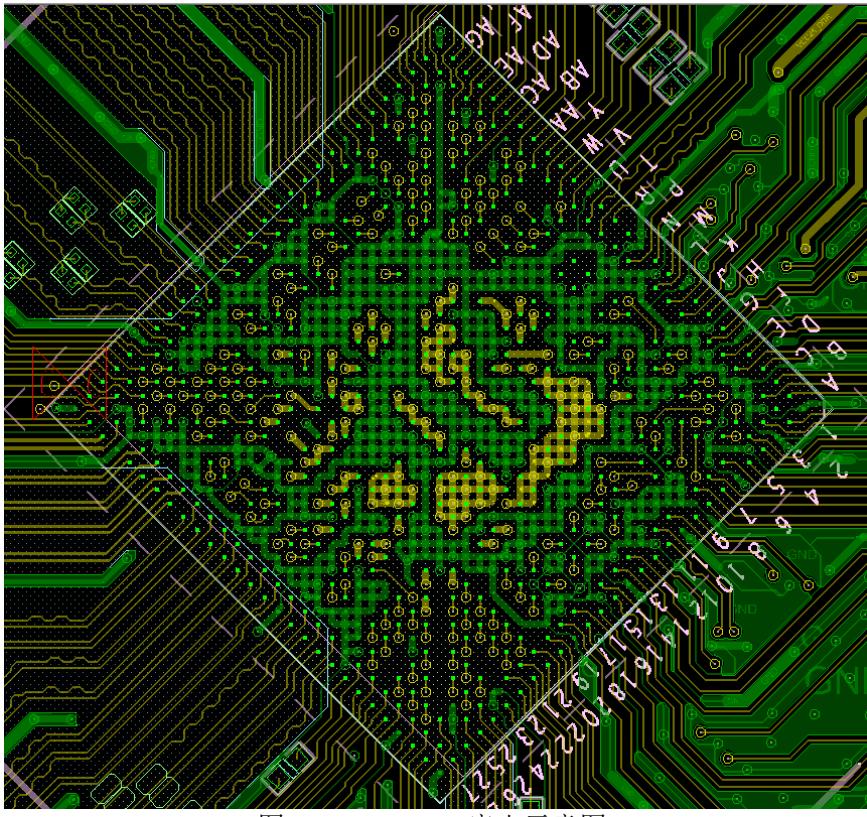


图 3-3 RK3568 扇出示意图1

- 内圈的Ball扇出设计

如果第一，二圈信号都有使用，那么第三圈开始，需要换层到内层，务必换层过孔规则放置，并且建议间隔2-4排换层过孔，空一排不放置换层过孔，给地平面以及电源平面留出尽量大的通道。如下图地层平面覆铜情况，有多条通道和外面的地连接，有利于SI/PI以及散热。

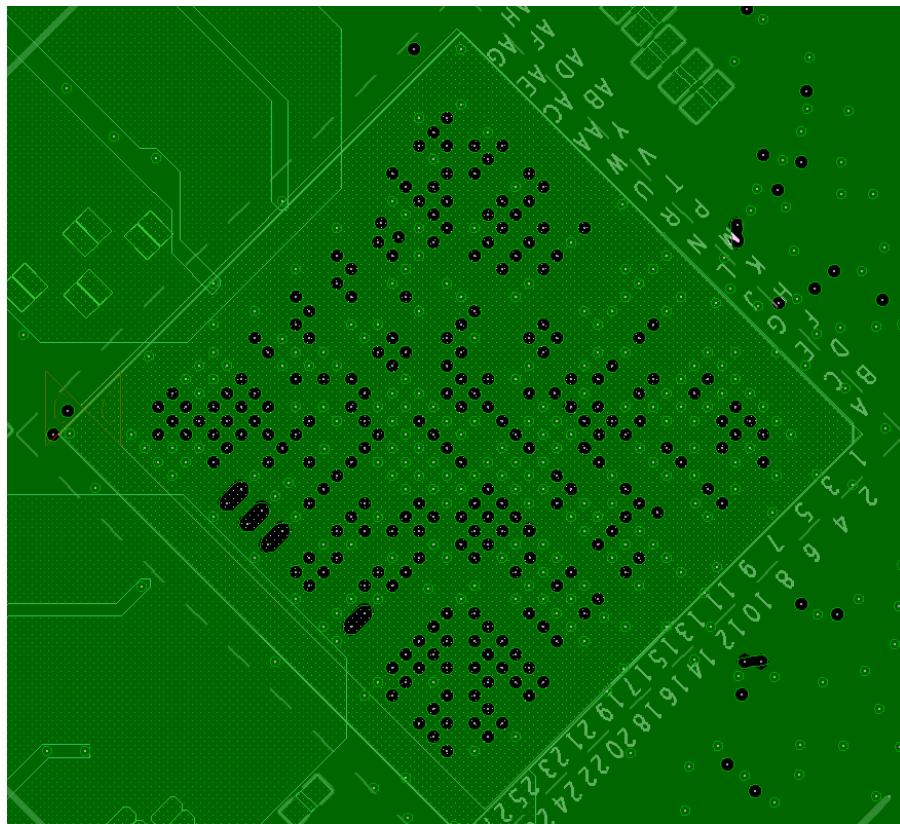


图 3-4 RK3568 扇出示意图2

如下图电源层平面覆铜情况，有规则的放置过孔，可使各种电源有尽量大覆铜通道，有效提高电源供电质量

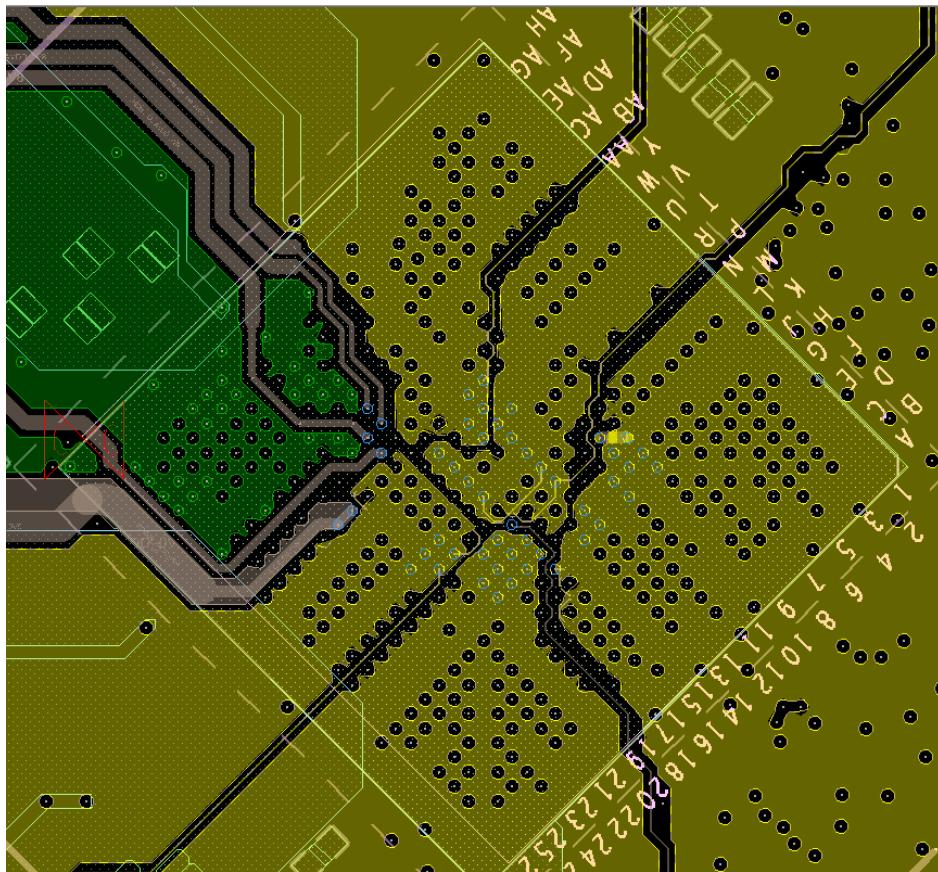


图 3-5 RK3568 扇出示意图3

如下图Bottom层走线（内层走线类似），换层过孔按栅格设置，放在Ball正中间，可在两个过孔之间走3.5mil线宽扇出

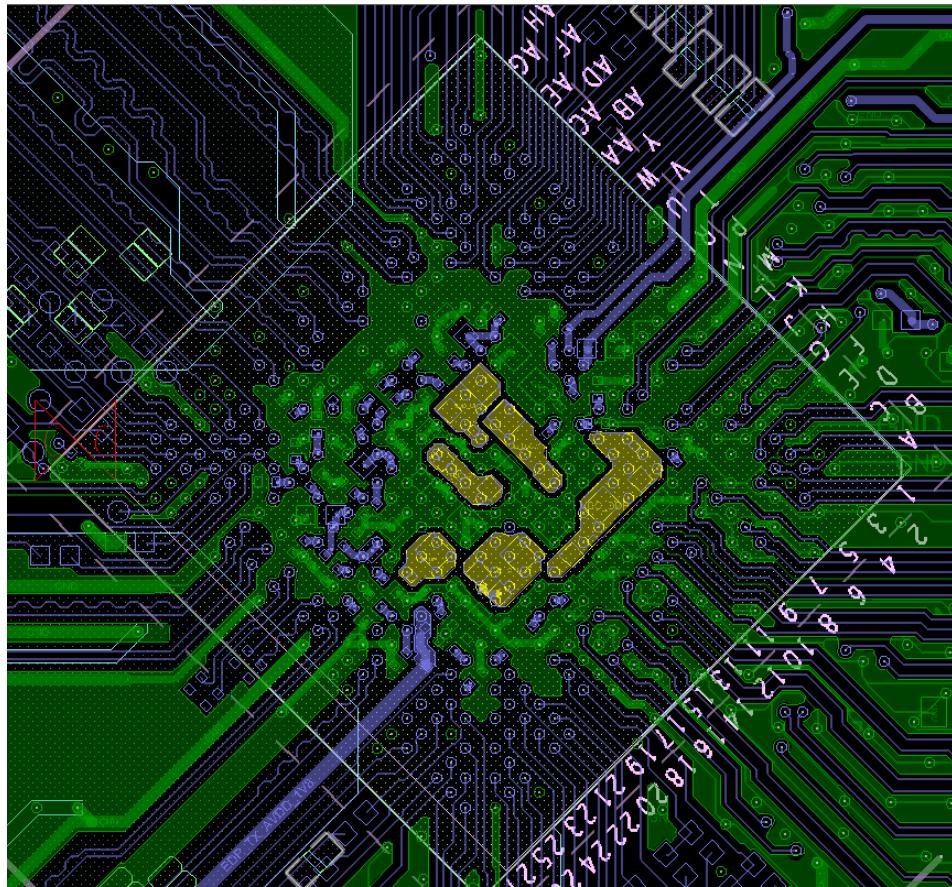


图 3-6 RK3568 扇出示意图4

### 3.2 接口 PCB 设计建议

高速PCB设计约束条件请参考《Rockchip\_RK3568\_High\_Speed\_PCB\_Design\_Guide》文档中的描述以及高速PCB设计通用规则的约束。

- 控制走线等长应包括封装长度和过孔长度
- 信号之间的空隙示意图



图 3-7 信号之间的空隙示意图

- 差分对内，差分对间的等长示意图

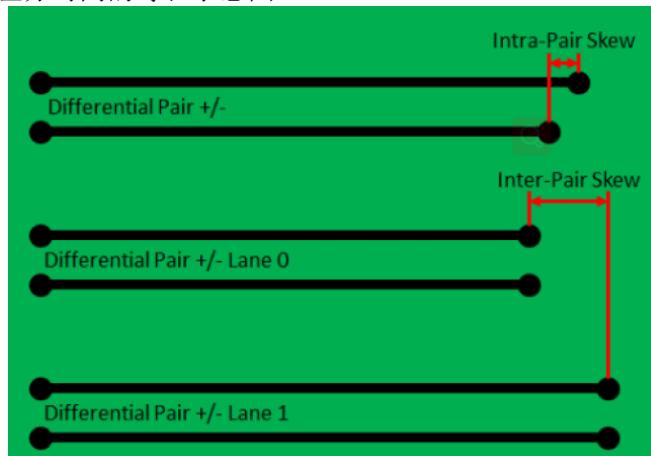


图 3-8 差分对内，差分对间的等长示意图

- 差分对内做等长时，正常使用蛇形线去做补偿长度差异，为了减少阻抗不连接性，对蛇形线要求如下图，另外要注意做长度补偿时，做补偿的蛇形线应尽可能靠近发生变化的点

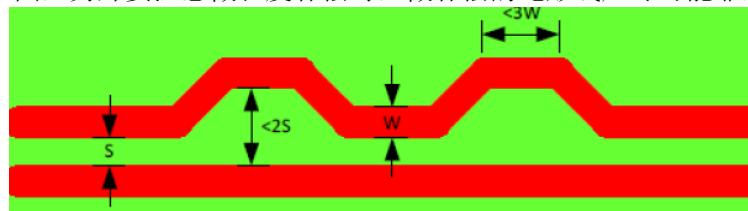


图 3-9 差分对长度补偿要求示意图

- 当信号参考面发生变化时，也应该参考地平面，并且缝合地过孔要靠近信号过孔；对于差分信号信号，推荐缝合地过孔和信号过孔的距离小于30mil

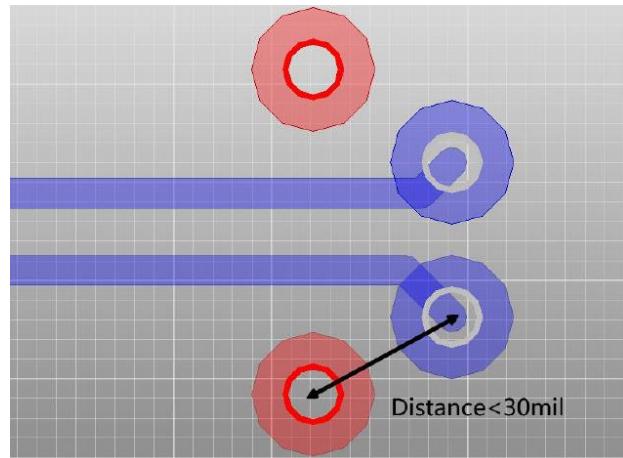


图 3-10 缝合地过孔要求示意图

- 应尽量避免在参考平面边缘走高速信号，否则会对阻抗产生影响，建议高速信号和参考平面的边缘大于等于40mil

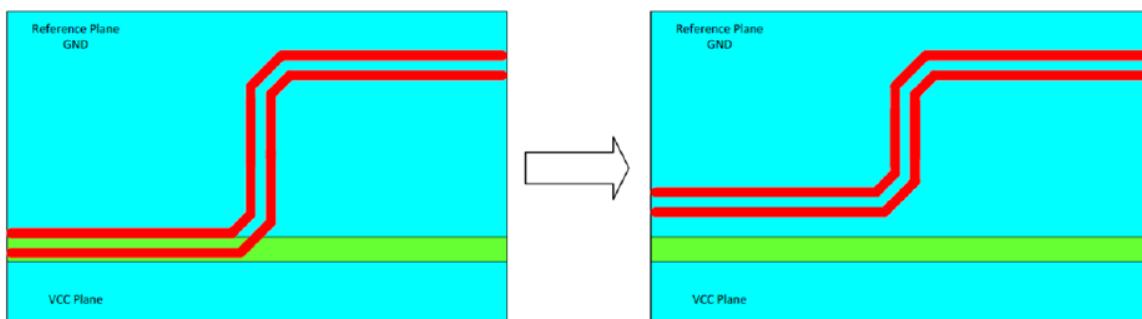


图 3-11 信号的参考平面边缘要求示意图

- 其它要求见《Rockchip\_RK3568\_High\_Speed\_PCB\_Design\_Guide》文档中的描述

### 3.2.1 Clock/Reset 电路PCB设计

- 在时钟电路的PCB设计中，请注意：
  - 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体走线尽可能的短，远离干扰源，尽量远离板边缘；
  - 晶体以及时钟信号需要全程包地处理，包地线每隔200-300mil至少添加一个GND过孔，并且必须保证邻层的地参考面完整；
  - 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰；
  - 时钟走线Xin和Xout以及晶体下方投影区域禁止任何走线，避免噪声耦合进入时钟电路；
  - 晶体下方的顶层，可以围绕放置地环。地环通过过孔与相邻的接地层连接，以隔离噪声；
  - 晶体下方的第二层保持完整的地参考平面，避免任何走线分割，有助于隔离噪声保持晶体输出的

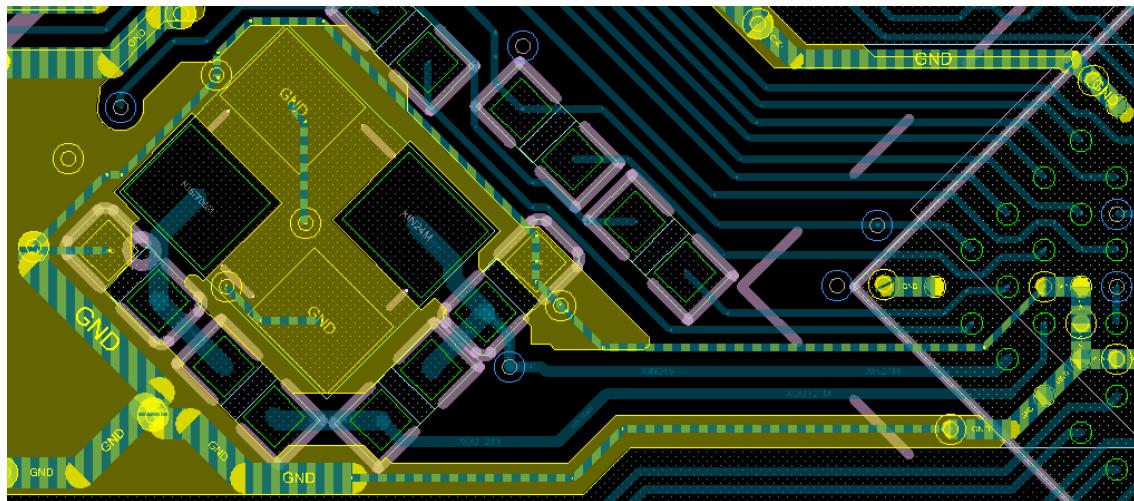


图 3-12 RK3568 晶体布局和走线

- PMUPLL\_AVDD\_0V9, PMUPLL\_AVDD\_1V8, SYSPLL\_AVDD\_0V9, SYSPLL\_AVDD\_1V8电源的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚。
- 在Reset电路的PCB设计中，请注意：
  - 在布局时，RESETn复位信号远离板边缘和金属接插件，以防止因ESD引起的异常而导致复位模块死机。
  - RESETn的滤波电容应尽量靠近芯片管脚布局，信号需先经过电容，再进入芯片，注意滤波电容的地焊盘必须有一个0402地过孔，空间允许建议打两个以上，更良好的接地。
  - RESETn信号应远离DCDC、RF等强干扰信号，以防止受到干扰。如果走线较长，建议包地处理，并且包地线每隔400mil至少添加一个GND过孔。
  - RESETn按键的TVS保护二级管应尽量靠近按键放置，信号拓扑为：按键--->TVS--->100 ohm--->电容（靠近CPU&PMIC）--->CPU&PMIC；出现ESD现象时，ESD电流必须先经过TVS器件衰减。

### 3.2.2 PMIC/Power 电路PCB设计

- 3.2.2.1 RK809-5电源方案的PCB设计
  - 整体布局时从电源质量角度上看RK809-5尽量靠近RK3568（考虑散热设计时，需要适当放置，不要太靠近也不能离的太远，建议间隔20mm-50mm之间，尽量不放置在板边，对散热不利），摆放方向时，需要使RK809-5的BUCK输出到RK3568的走线（覆铜）是顺的，不要存在交叉。
  - RK809-5的BUCK1/BUCK2 PCB设计要求：
 

输入电容必须离芯片尽可能近，输入电容与VCC1/2 和GND 的连接环路尽可能小。应当保证 SW1/2 的走线尽可能短，防止对其他模块造成干扰；VFB1/2 走线应当尽量避免离SW1/2 太近。对于需要打过孔的地方，VCC1/2 至少需要4个0.5\*0.3mm 的过孔，VBUCK1/2 至少需要5 个0.5\*0.3mm的过孔。

特别注意输入输出电容的GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。

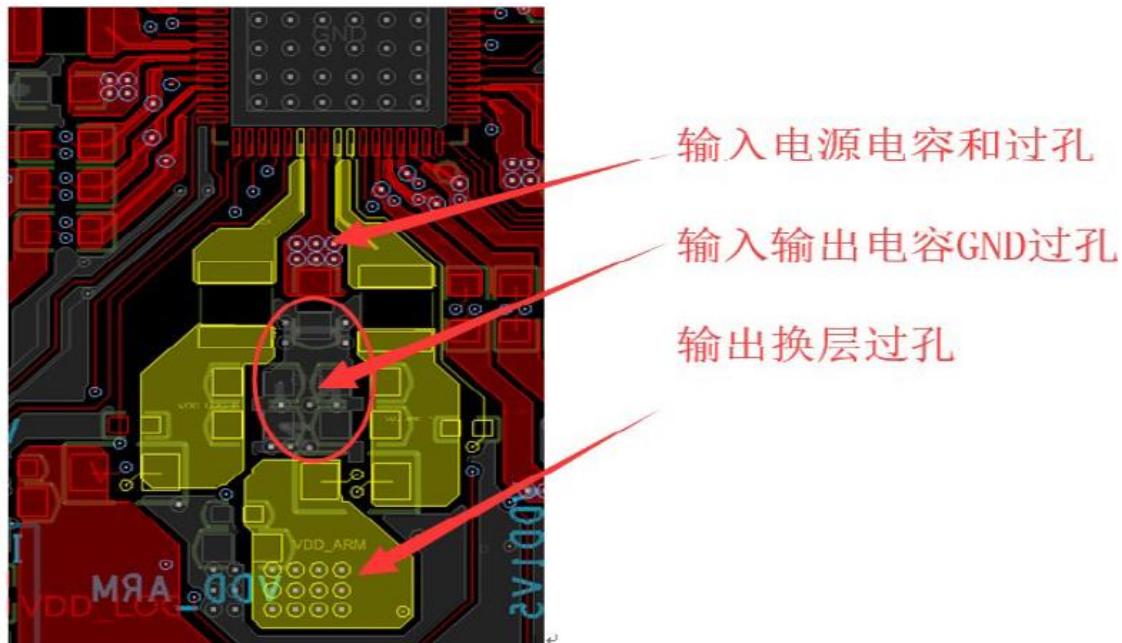


图 3 - 13 RK809-5 BUCK1/BUCK2布局和走线

■ RK809-5的BUCK3 PCB设计要求：

输入电容必须离芯片尽可能近，输入电容与VCC3 和GND 的连接环路尽可能小。应当保证SW3 的走线尽可能短，防止对其他模块造成干扰；VFB3 走线应当尽量避免离SW3 太近。  
对于需要打过孔的地方，VCC3至少需要3 个0.5\*0.3mm的过孔，VBUCK3 至少需要5 个0.5\*0.3mm的过孔。  
特别注意输入输出电容的GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。



图 3 - 14 RK809-5 BUCK3布局和走线

■ RK809-5的BUCK4 PCB设计要求：

输入电容必须离芯片尽可能近，输入电容与VCC4 和GND 的连接环路尽可能小。应当保证SW4 的走线尽可能短，防止对其他模块造成干扰；VFB4 走线应当尽量避免离SW4太近。  
对于需要打过孔的地方，VCC4至少需要3 个0.5\*0.3mm的过孔，VBUCK4 至少需要5 个0.5\*0.3mm的过孔。  
特别注意输入输出电容的GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。



图 3 - 15 RK809-5 BUCK4布局和走线

■ RK809-5的BUCK5 PCB设计要求:

输入电容必须离芯片尽可能近，输入电容与VCC9 和GND 的连接环路尽可能小。应当保证SW5 的走线尽可能短，防止对其他模块造成干扰；VFB5 走线应当尽量避免离SW5太近。

对于需要打过孔的地方，VCC9至少需要3 个0.5\*0.3mm的过孔，VBUCK5 至少需要5 个0.5\*0.3mm的过孔。

特别注意输入输出电容的GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。



图 3 - 16 RK809-5 BUCK5布局和走线

■ RK809-5的LDO PCB设计要求:

输入电容必须离芯片尽可能近，输入电容与VCC5/6/7/8和GND 的连接环路尽可能小。

输出电容必须离芯片尽可能近，输出电容与LD01/2/3/4/5/6/7/8/9和GND 的连接环路尽可能小。

■ RK809-5的32.768KHz晶体的XIN/XOUT信号走线越短越好且全程做包地处理，保证有完整的参考平面，晶体电路下不能有高速信号穿过。

■ RK809-5的VREF电容必须靠近管脚放置，远离其它干扰源，电容的地焊盘必须良好接地，即VREF 电容地焊盘和RK809-5 EPAD之间路径必须保证最短，不得被其他信号分割。

- RK809-5的Pin 67 (RESETB) 的100nF电容必须靠近RK809-5管脚
- 建议RK809-5的管脚禁覆铜，所有管脚通过走线方式和外面连接，走线线宽不得超过管脚宽度，防止制板后，焊盘变大后贴片容易连锡
- RK809-5的EPAD接地焊盘要有足够的过孔，建议保证5\*5个0.5\*0.3mm或是6\*6个0.4\*0.2mm的过孔以上，降低接地阻抗，以及加强热量传导。

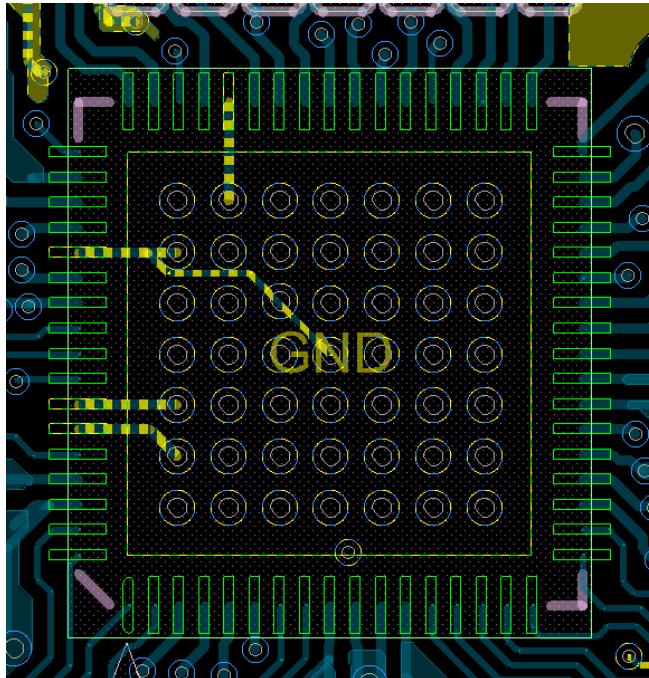


图 3-17 RK809-5 EPAD过孔分布

#### ● 3.2.2.2 分立电源的DC-DC PCB设计

- 输入电容Cin、输出电容Cout放置于Vin pin、Vout pin与DC/DC的GND之间，尽量减小Vin、Vout与 DC/DC的GND之间的环路面积，这样可以减小电源纹波幅度，大大提高芯片的可靠性，如下图

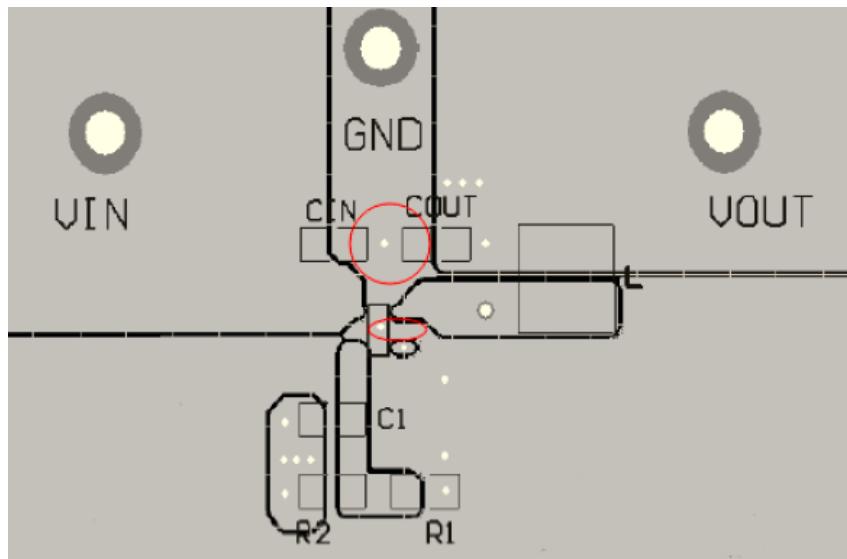


图 3-18 分立电源DC/DC布局和走线

- 输入电容Cin、输出电容Cout以及DC/DC的GND，要尽量多打一些过孔，建议4个以上的0503过孔，如果Vin, Vout电源有换层，建议过孔也要多打一些过孔，建议4个以上的0503过孔（和电流有关系，下面会相关描述）。电感要尽量靠近DC/DC，走线要尽量粗而短，FB端的电阻地尽量远离干扰源。

#### ● 3.2.2.3 VDD\_CPU DC-DC电源PCB设计

- VDD\_CPU电源的设计至关重要，直接影响产品的性能及稳定性，请严格按RK的AYOUT要求进行设计。

- VDD\_CPU电源默认采用TCS4525供电，整体布局时，尽量靠RK3568。输入电容必须离芯片尽可能近，输入电容与VIN和GND 的连接环路尽可能小。应当保证SW的走线尽可能短，防止对其他模块造成干扰；VOUT走线应当尽量避免离SW太近。输出电容和GND的连接环路尽可能有小。  
对于需要打过孔的地方，VIN至少需要5 个0.5\*0.3mm的过孔，Vbuck输出至少需要12 个0.5\*0.3mm的过孔。  
特别注意输入输出电容的GND 端要有和正端一样多数量的过孔，才能起到比较好的滤波效果。

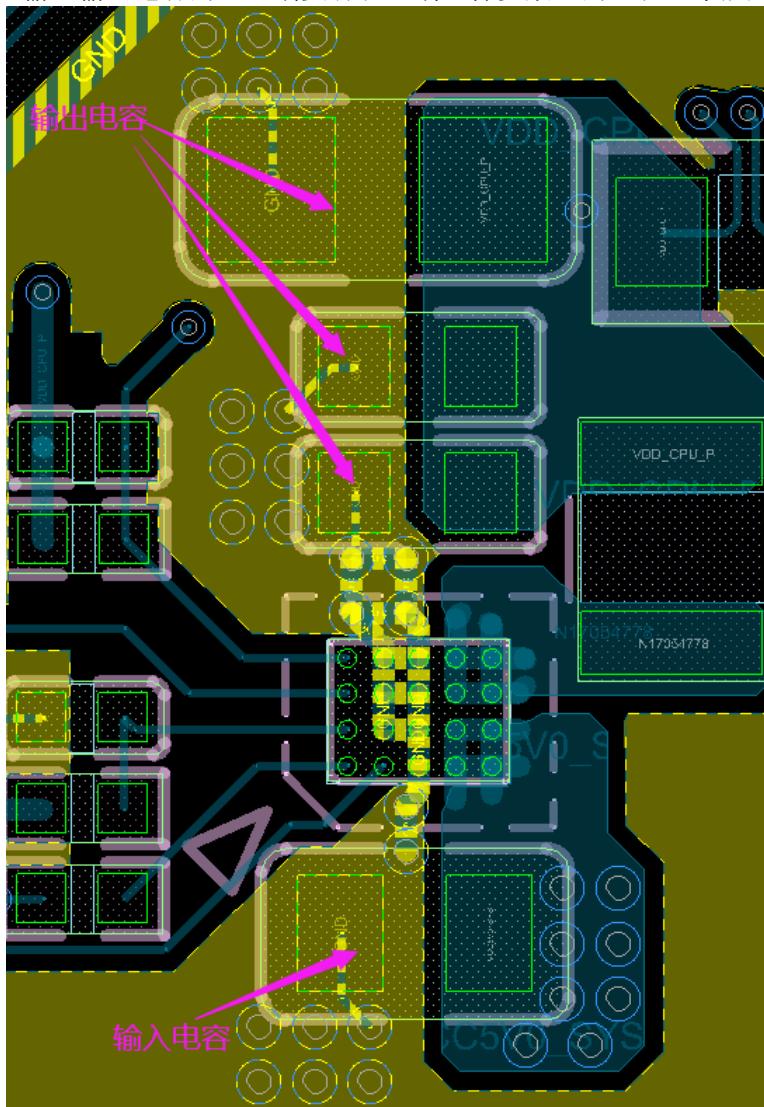


图 3 - 19 VDD\_CPU电源供电DC/DC布局和走线

#### ● 3.2.2.4 VDD\_LOGIC, VDD\_GPU, VDD\_NPU, VDD\_CPU电源的DC-DC远端反馈设计

- 100ohm反馈电阻需要靠近输出电容放置，电阻一端连接到DC-DC输出电容，另一端连接到PMIC的FB反馈脚上，并同时连接到RK3568电源管脚同一电源网络的最远端负载处。反馈线宽度使用4mil，必须与电源覆铜伴随走线，以避免干扰；反馈线与其他信号间隔6mil以上，比如VDD\_GPU电源覆铜及反馈线走线示意图，其它路电源类似处理

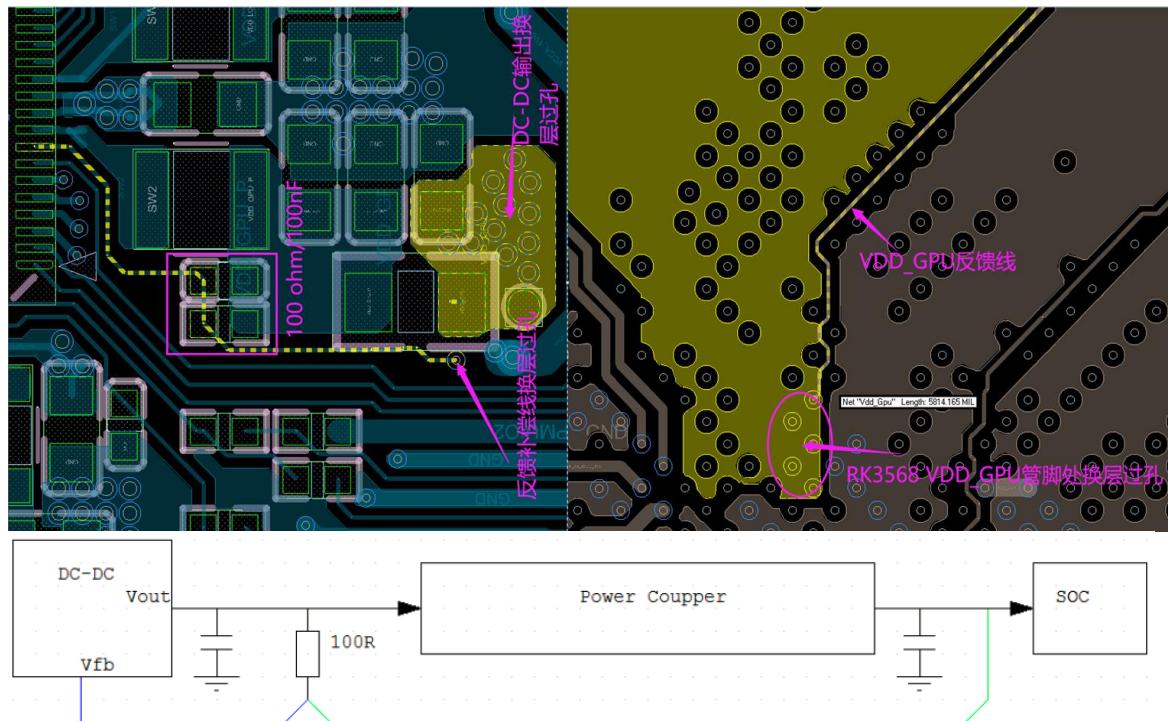


图 3-20 DC/DC远端反馈设计示意图

- 3.2.2.5 RK3568 VDD\_CPU电源PCB设计

- VDD\_CPU的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到CPU每个电源PIN脚的路径都足够
- VDD\_CPU的电源在外围换层时，要尽可能的多打电源过孔（12个以上0.5\*0.3mm的过孔），降低换层过孔带来的压降；去耦电容的GND过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用，
- RK3568芯片VDD\_CPU的电源管脚，每个Ball需要对应一个过孔，并且顶层走“井”字形，交叉连接，建议走线线宽10mil

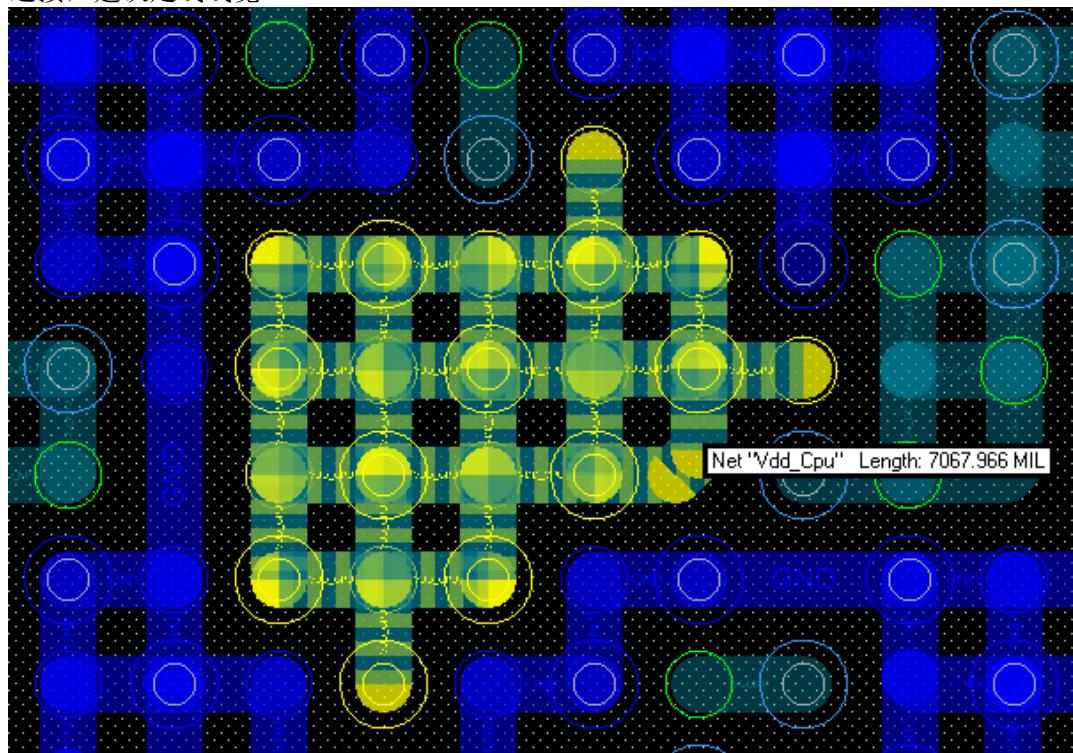


图 3-21 RK3568芯片VDD\_CPU的电源管脚走线和过孔

- 原理图上靠近RK3568的VDD\_CPU电源管脚的去耦电容务必放在对应的电源管脚背面，电容的GND pad尽量靠近芯片中心的GND Ball放置，其余的去耦电容尽量靠近RK3568。

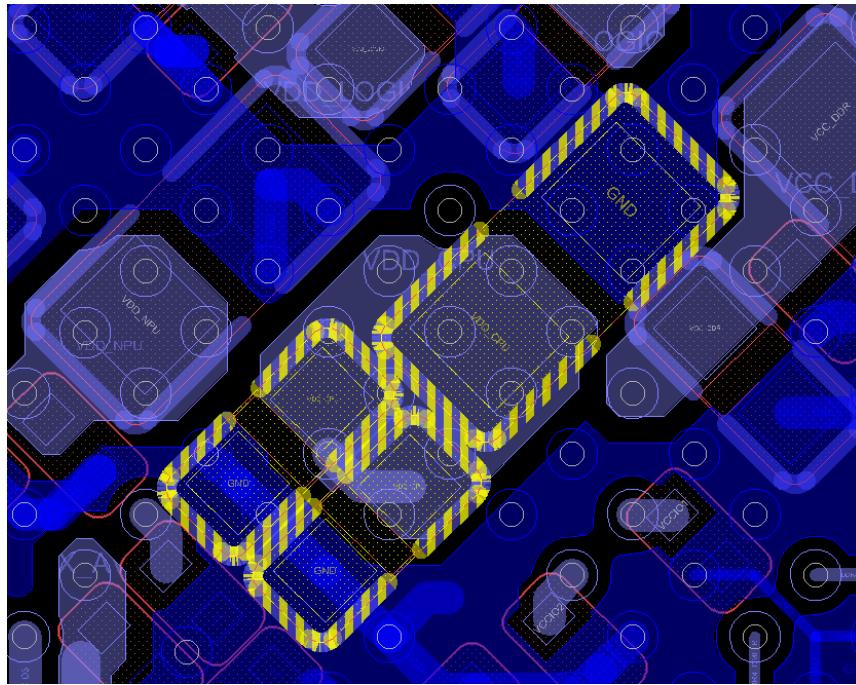


图 3-22 RK3568芯片VDD\_CPU的电源管脚背面去耦电容放置情况

- VDD\_CPU电源在CPU区域线宽不得小于90mil，外围区域宽度不小于200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）

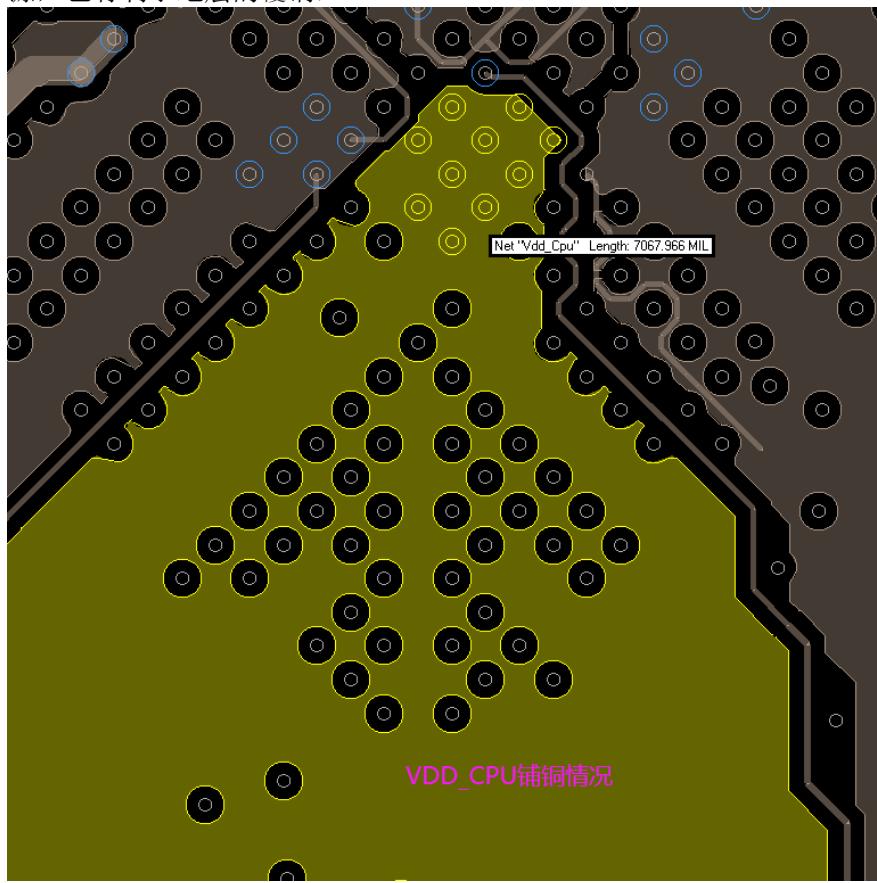


图 3-23 RK3568芯片VDD\_CPU电源层覆铜情况

### ● 3.2.2.6 RK3568 VDD\_LOGIC电源PCB设计

- VDD\_LOGIC的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到CPU每个电源PIN脚的路径都足够
- VDD\_LOGIC的电源在外围换层时，要尽可能的多打电源过孔（8个以上0.5\*0.3mm的过孔），降低换层过孔带来的压降；去耦电容的GND过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用，

- RK3568芯片VDD\_LOGIC的电源管脚，每个Ball需要对应一个过孔，并且顶层走“井”字形，交叉连接，建议走线线宽10mil

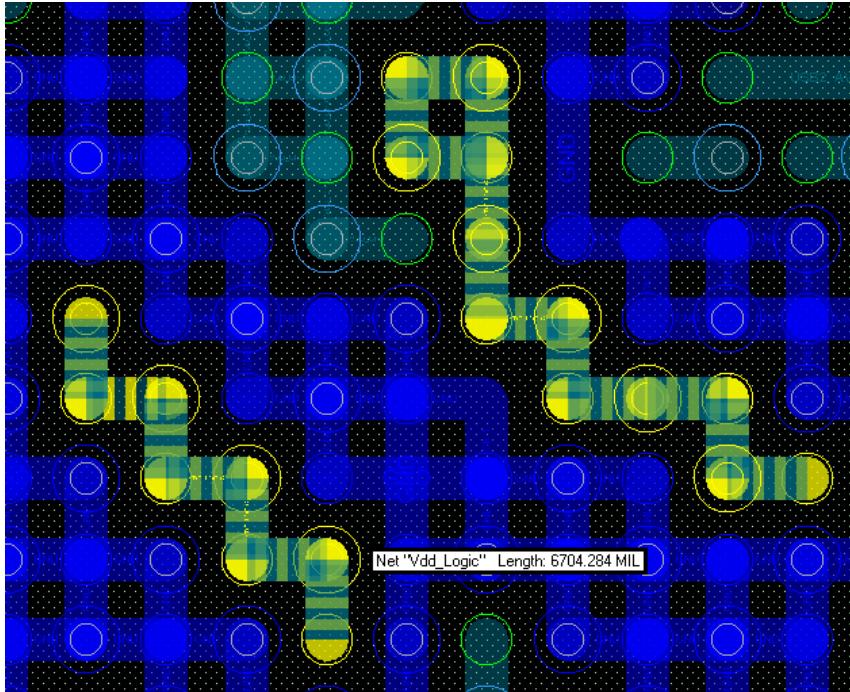


图 3 - 24 RK3568芯片VDD\_LOGIC的电源管脚走线和过孔

- 原理图上靠近RK3568的VDD\_LOGIC电源管脚的去耦电容务必放在对应的电源管脚背面，电容的GND pad尽量靠近芯片中心的GND Ball放置，其余的去耦电容尽量靠近RK3568。

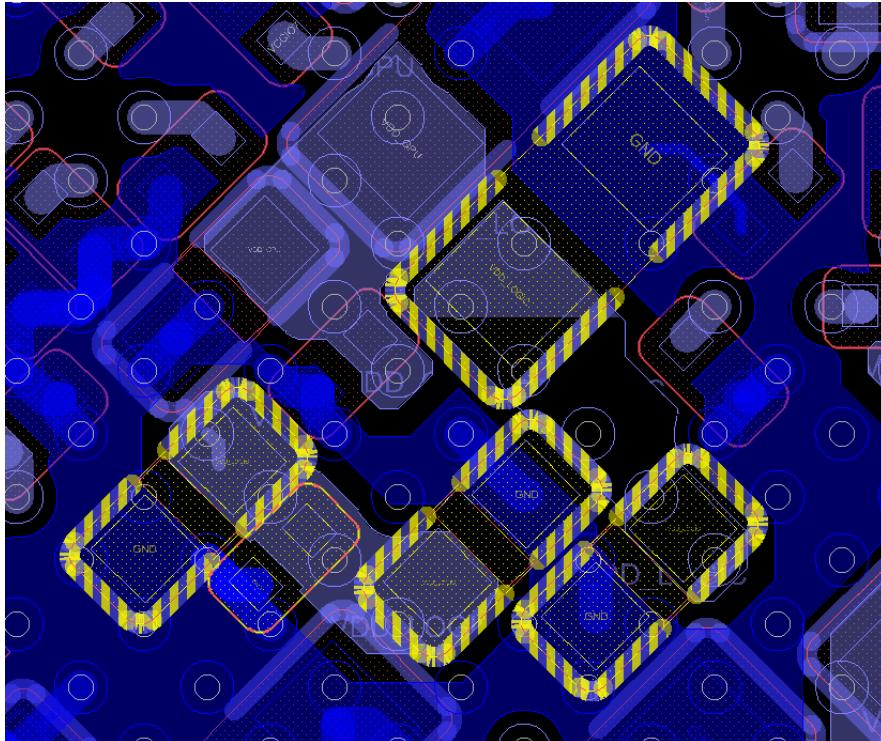


图 3 - 25 RK3568芯片VDD\_LOGIC的电源管脚背面去耦电容放置情况

- VDD\_LOGIC电源在CPU区域线宽不得小于60mil，外围区域宽度不小于200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）

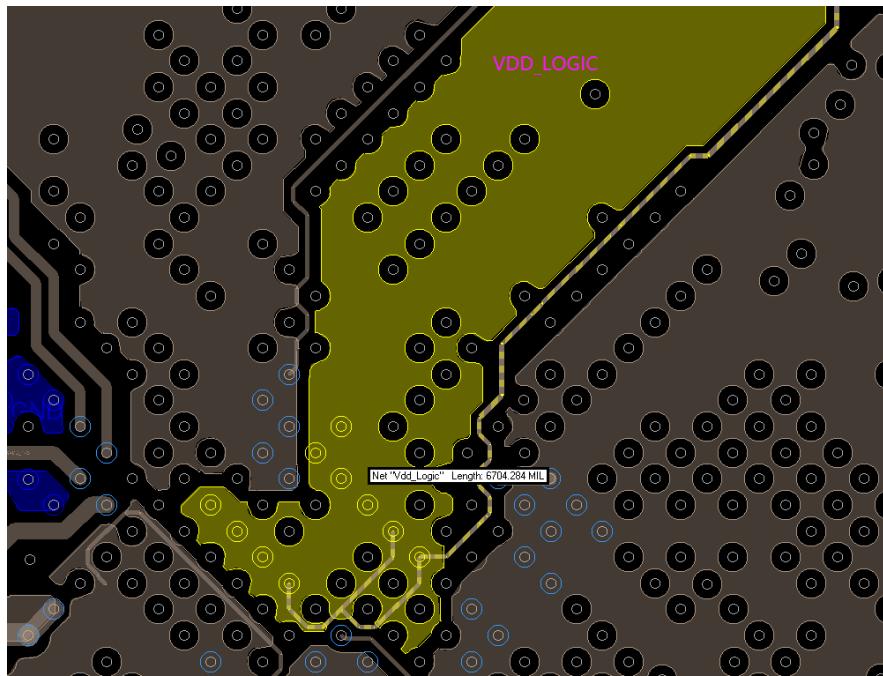


图 3-26 RK3568芯片VDD\_LOGIC电源层覆铜情况

#### ● 3.2.2.7 RK3568 VDD\_GPU电源PCB设计

- VDD\_GPU的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到CPU每个电源PIN脚的路径都足够
- VDD\_GPU的电源在外围换层时，要尽可能的多打电源过孔（5个以上0.5\*0.3mm的过孔），降低换层过孔带来的压降；去耦电容的GND过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用，
- RK3568芯片VDD\_GPU的电源管脚，每个Ball需要对应一个过孔，并且顶层走“井”字形，交叉连接，建议走线线宽10mil



图 3-27 RK3568芯片VDD\_GPU的电源管脚走线和过孔

- 原理图上靠近RK3568的VDD\_GPU电源管脚的去耦电容务必放在对应的电源管脚背面，电容的GND pad尽量靠近芯片中心的GND Ball放置，其余的去耦电容尽量靠近RK3568。

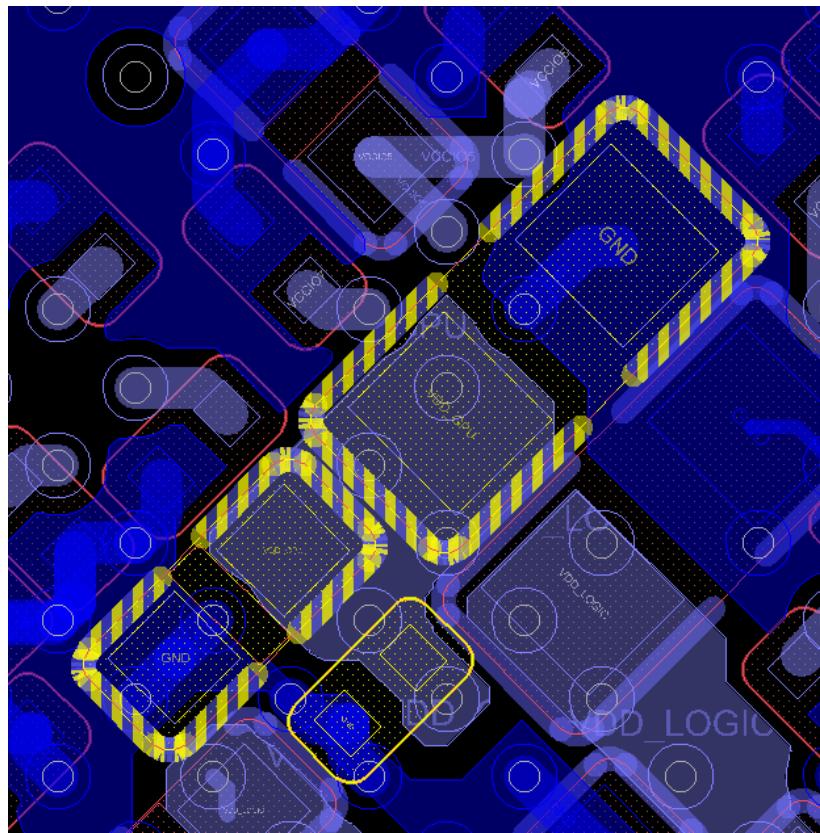


图 3-28 RK3568芯片VDD\_GPU的电源管脚背面去耦电容放置情况

- VDD\_GPU电源在CPU区域线宽不得小于50mil，外围区域宽度不小于200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）

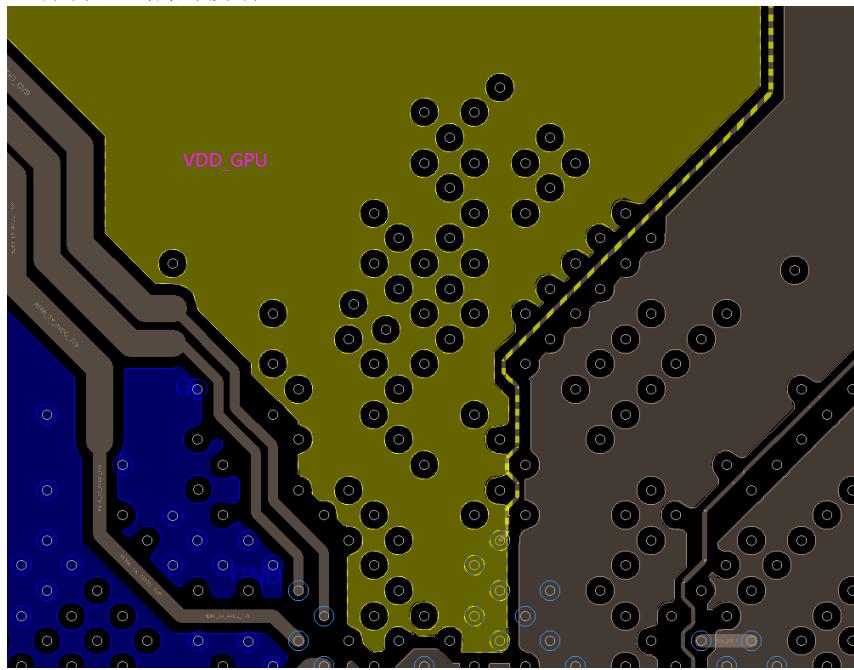


图 3-29 RK3568芯片VDD\_GPU电源层覆铜情况

#### ● 3.2.2.8 RK3568 VDD\_NPU电源PCB设计

- VDD\_NPU的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到CPU每个电源PIN脚的路径都足够
- VDD\_NPU的电源在外围换层时，要尽可能的多打电源过孔（5个以上0.5\*0.3mm的过孔），降低换层过孔带来的压降；去耦电容的GND过孔要跟它的电源过孔数量保持一致，否则会大大降低

电容作用，

- RK3568芯片VDD\_NPU的电源管脚，每个Ball需要对应一个过孔，并且顶层走“井”字形，交叉连接，建议走线线宽10mil

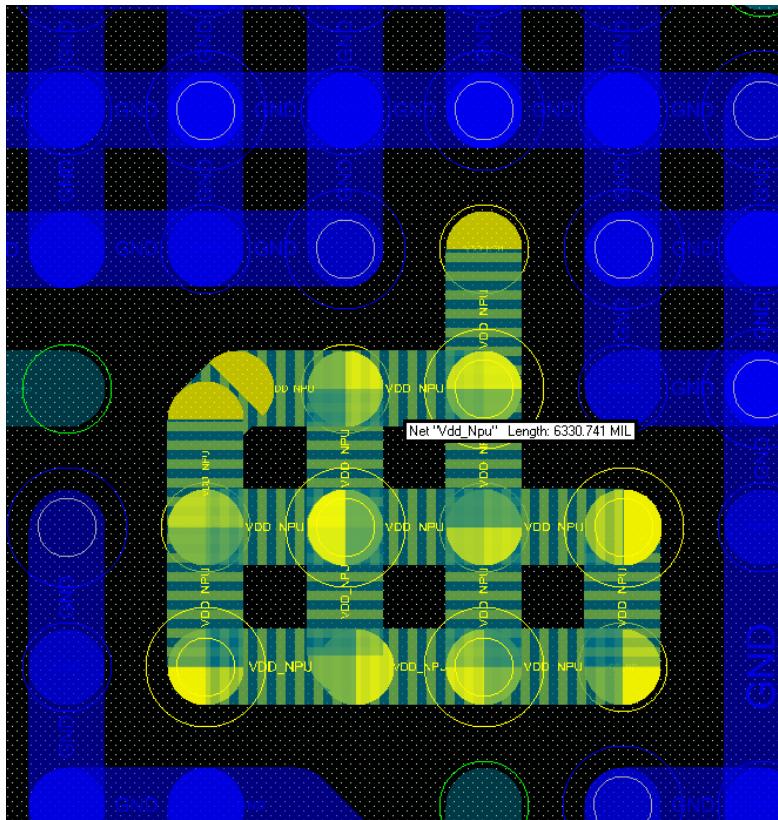


图 3 - 30 RK3568芯片VDD\_NPU的电源管脚走线和过孔

- 原理图上靠近RK3568的VDD\_NPU电源管脚的去耦电容务必放在对应的电源管脚背面，电容的GND pad尽量靠近芯片中心的GND Ball放置，其余的去耦电容尽量靠近RK3568。

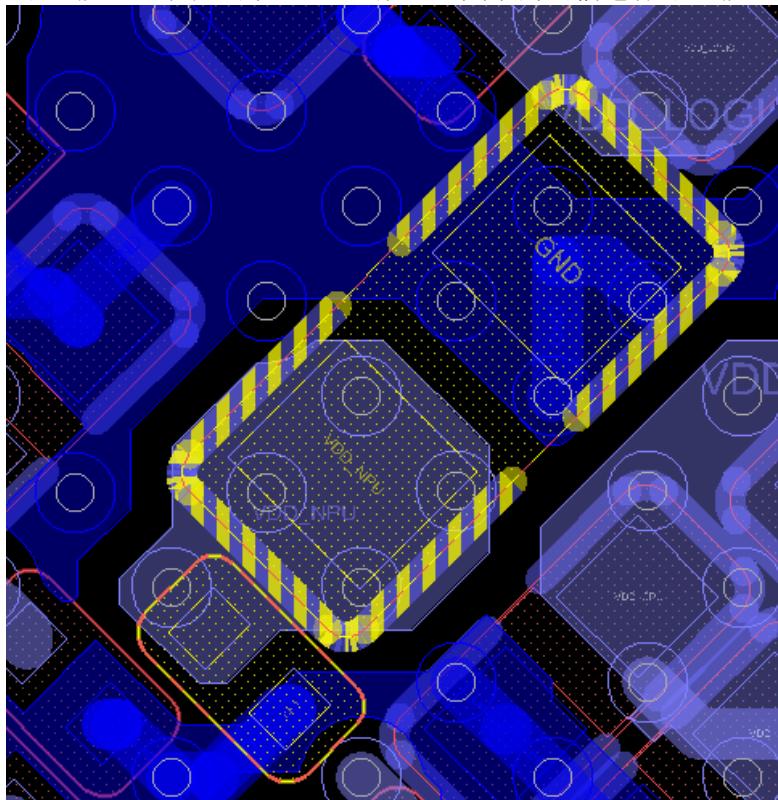


图 3 - 31 RK3568芯片VDD\_NPU的电源管脚背面去耦电容放置情况

- VDD\_NPU电源在CPU区域线宽不得小于50mil，外围区域宽度不小于200mil，尽量采用覆铜方式，

降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜）

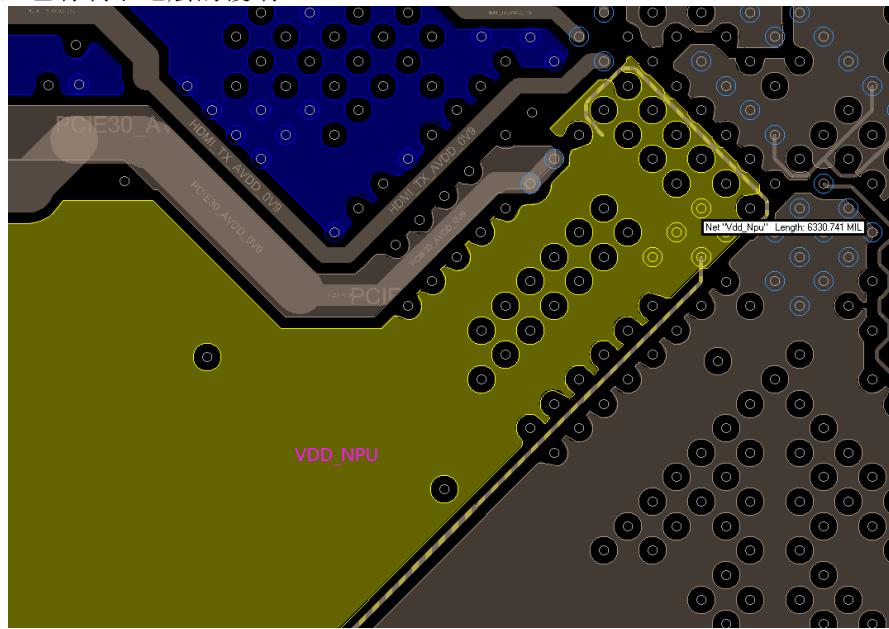


图 3 - 32 RK3568芯片VDD\_NPU电源层覆铜情况

- 3.2.2.9 RK3568 VCC\_DDR电源PCB设计

- VCC\_DDR的覆铜宽度需满足芯片的电流需求，连接到芯片电源管脚的覆铜足够宽，路径不能被过孔分割太严重，必须计算有效线宽，确认连接到CPU每个电源PIN脚的路径都足够
- VCC\_DDR的电源在外围换层时，要尽可能的多打电源过孔（8个以上 $0.5*0.3\text{mm}$ 的过孔），降低换层过孔带来的压降；去耦电容的GND过孔要跟它的电源过孔数量保持一致，否则会大大降低电容作用，
- RK3568芯片VCC\_DDR的电源管脚，每个Ball需要对应一个过孔，并且顶层走“井”字形，交叉连接，建议走线线宽10mil

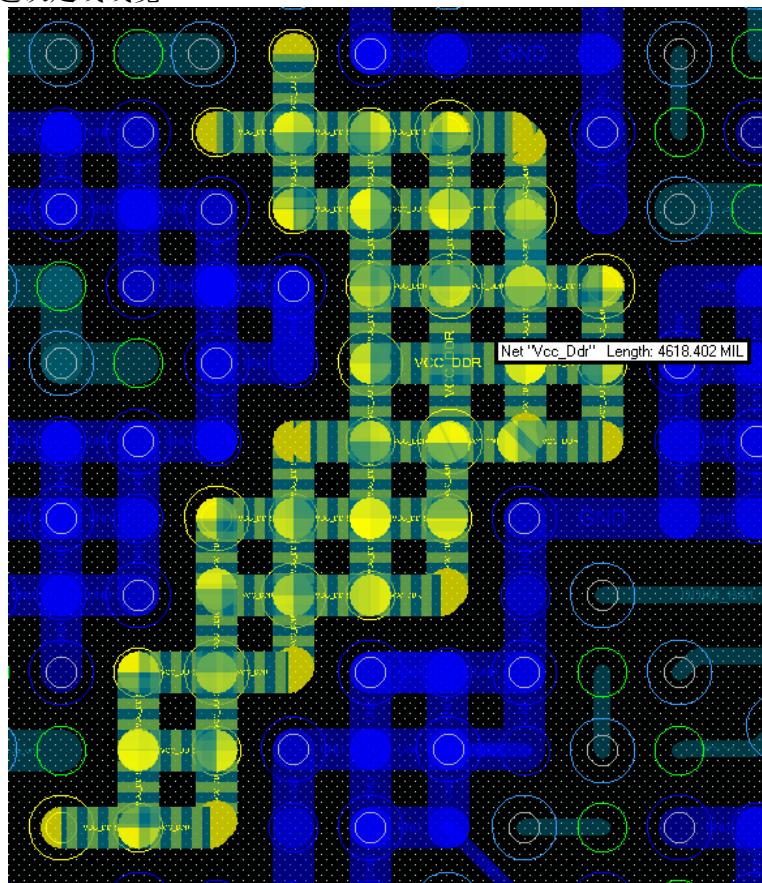


图 3 - 33 RK3568芯片VCC\_DDR的电源管脚走线和过孔

LPDDR4x时：



图 3-34 RK3568芯片LPDDR4x模式VCC\_DDR/VCCOV6\_DDR的电源管脚走线和过孔

- 原理图上靠近RK3568的VCC\_DDR电源管脚的去耦电容务必放在对应的电源管脚背面，电容的GND pad尽量靠近芯片中心的GND Ball放置，其余的去耦电容尽量靠近RK3568。

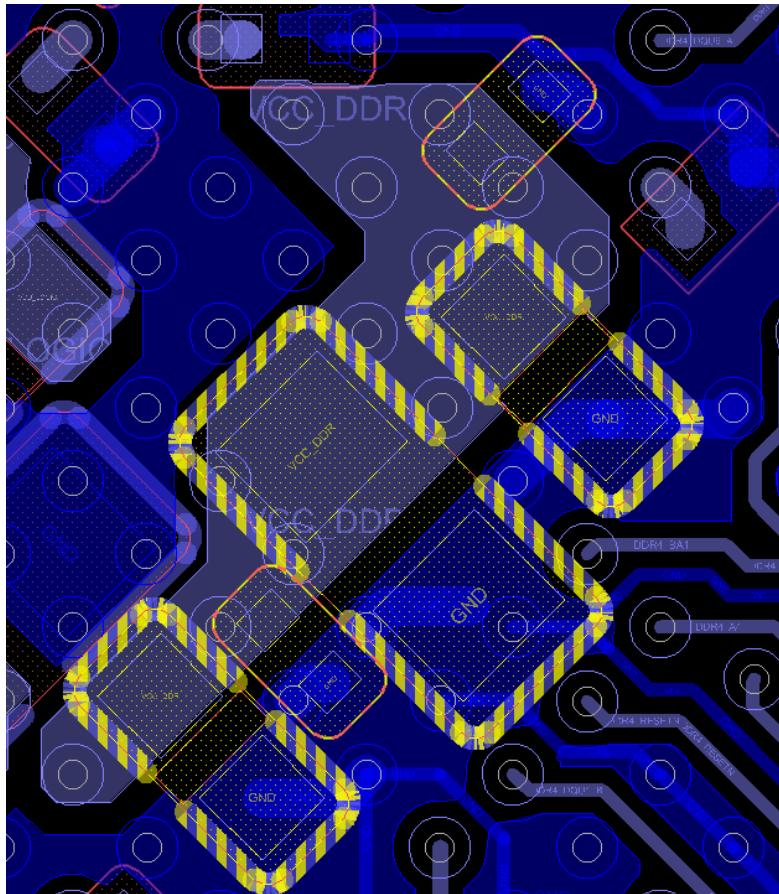


图 3-35 RK3568芯片VCC\_DDR的电源管脚背面去耦电容放置情况

LPDDR4x时：

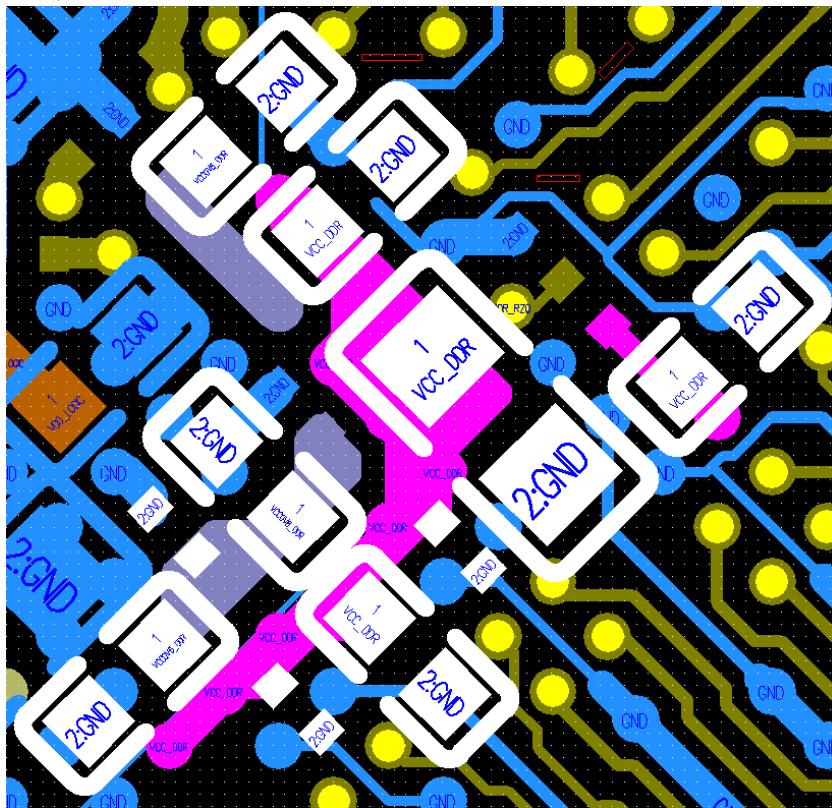


图 3 - 36 RK3568芯片LPDDR4x模式VCC\_DDR/VCCOV6\_DDR的电源管脚背面去耦电容放置情况

- VCC\_DDR电源在CPU区域线宽不得小于120mil，外围区域宽度不小于200mil，尽量采用覆铜方式，降低走线带来压降（其它信号换层过孔请不要随意放置，必须规则放置，尽量腾出空间走电源，也有利于地层的覆铜），如果是4层板，Bottom层的信号需要参考这个平面，注意点请见DRAM电路PCB设计里描述

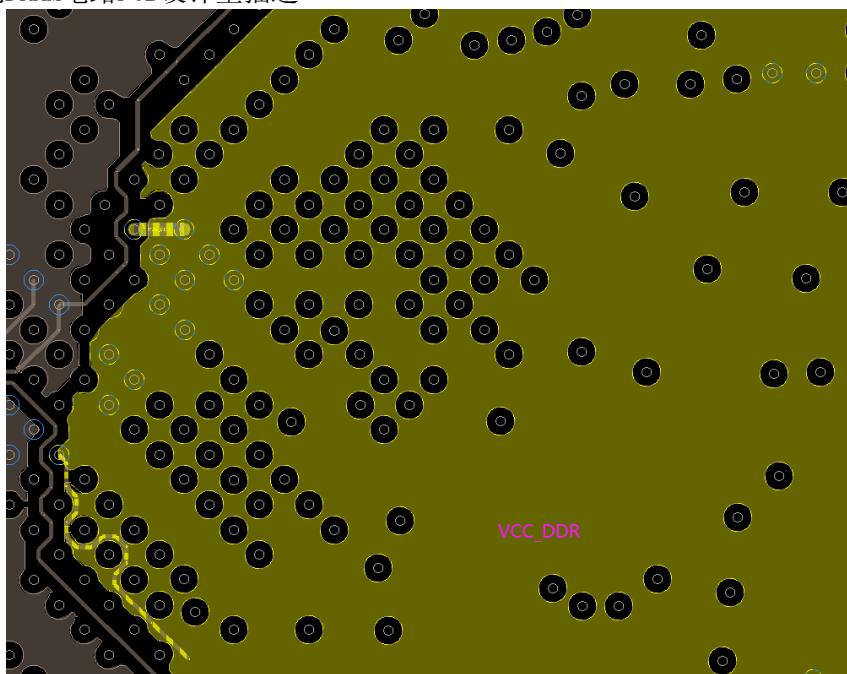


图 3 - 37 RK3568芯片VCC\_DDR电源层覆铜情况

### ● 3.2.2.10 RK3568 GND管脚PCB设计

- RK3568芯片的GND管脚，至少保证每1.5个ball需要对应一个过孔，尽量每个Ball对应一个过孔，提供更优的SI, PI条件，以及对散热也有帮助
- RK3568芯片的相邻层必须是一个完整的GND平面，保证主参考地靠近CPU的Ball，用于保证电

源完整性以及加强PCB的散热。

- RK3568芯片下方相同网络的GND Ball在顶层走“井”字形，交叉连接，建议走线线宽10mil

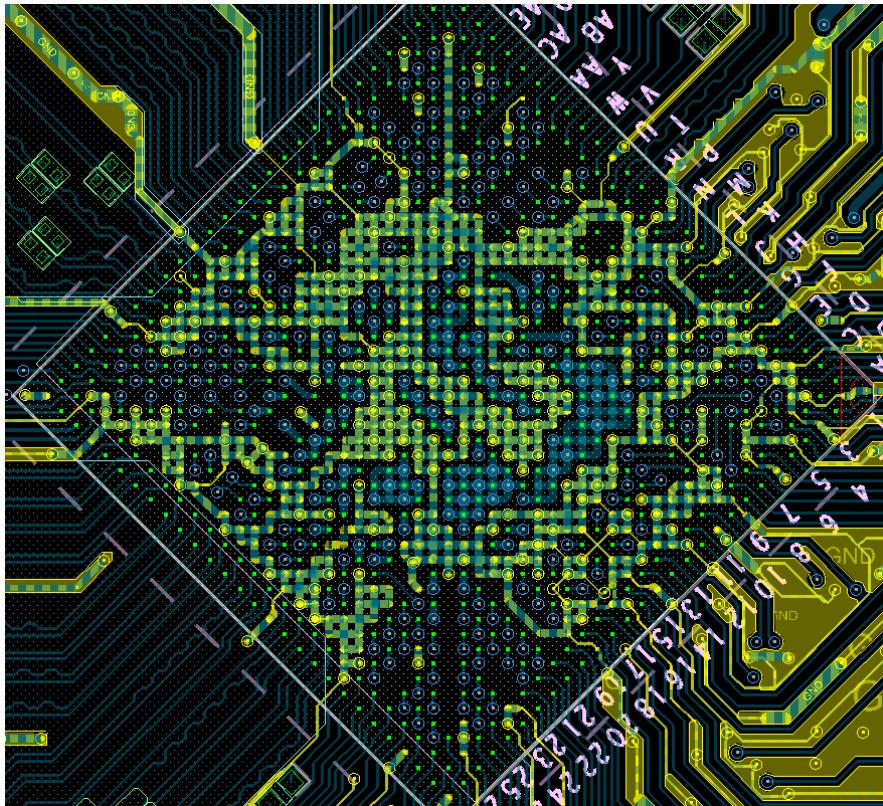


图 3 - 38 RK3568芯片VSS的管脚走线和过孔

- 在Layout时，RK3568的各信号放置换层过孔时，要求打在Ball间隔的正中间，要有规律的放置，如图，GND层的覆铜情况，RK3568芯片中间的地有大面积的铜皮和外面地铜皮连接，一方面有利于电源，信号完整性，另外一方面有利于芯片散热。

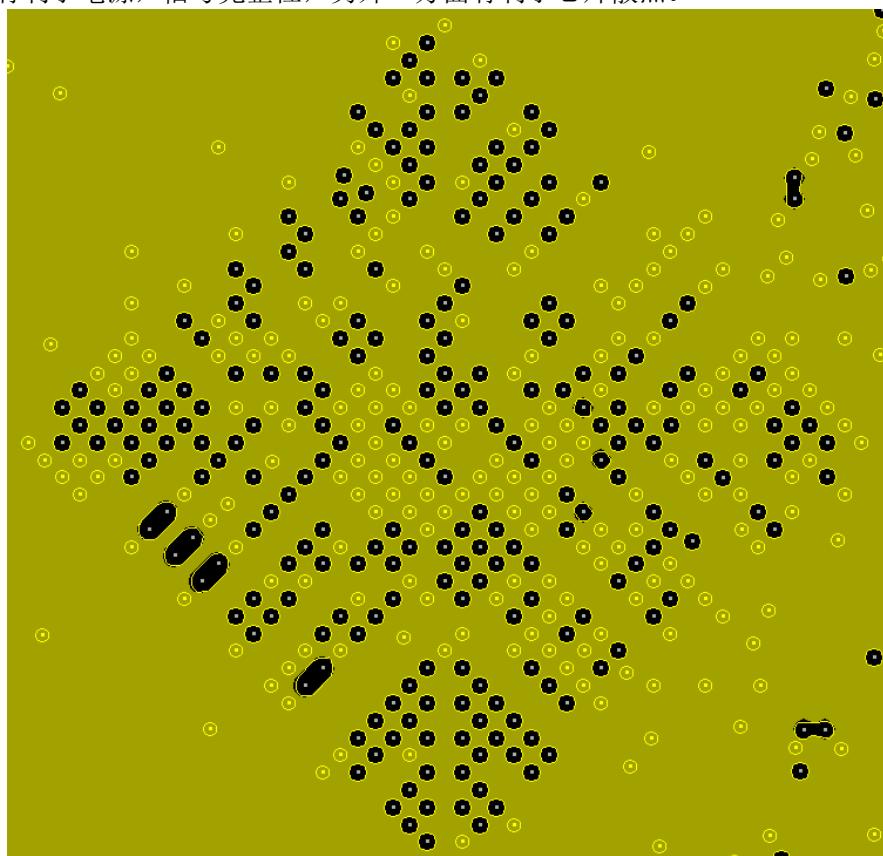


图 3 - 39 RK3568芯片地层覆铜情况

- 3.2.2.11 RK3568其它电源的PCB设计

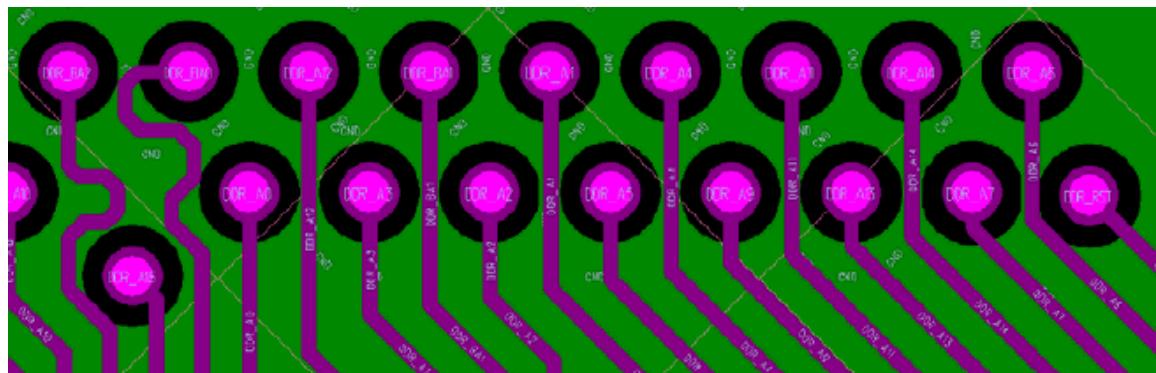
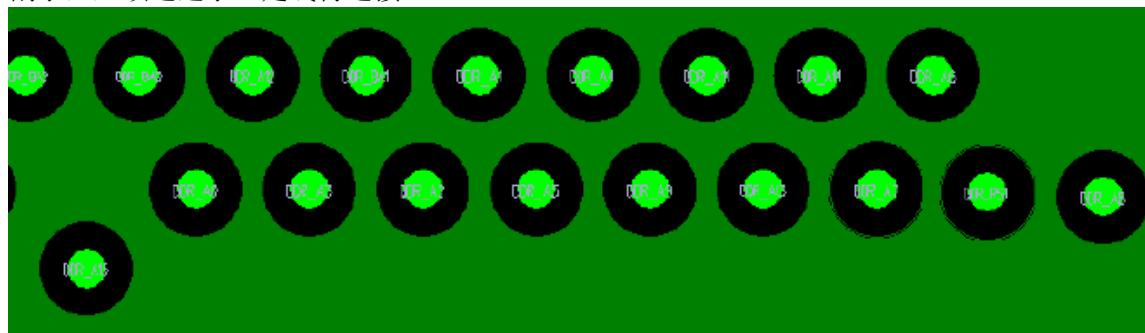
RK3568其它电源的去耦电容，必须放在芯片管脚背面，走线时，尽量形成先经过电容焊盘再到芯片管脚

### 3.2.3 DRAM 电路PCB设计

请优先套用Rockchip提供的DDR参考模板。

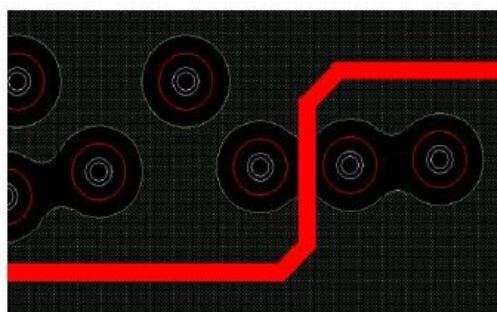
- 3.2.3.1 层叠、阻抗控制以及其它注意点

- 6层板设计时：建议层叠为TOP-GND-POWER-Signal-GND-Bottom (L3和L4层距离比较远的结构)，DDR信号尽量走在TOP层，Signal层，Bottom层，这样信号的回流阻抗最小，信号换层时，必须在信号过孔30mil以内放置一个缝合地过孔
- DDR差分阻抗为 $100\Omega \pm 10\%$
- DDR单端阻抗为 $50\Omega \pm 10\%$
- DDR走线的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- DDR信号走线不得走在参考平面边缘或PCB板边，否则会对阻抗产生很大影响，确保信号走线和参考平面边缘大于40mil
- 优化好换层过孔的位置和间距，不要大面积破坏电源层和地层的覆铜，如果覆铜有被过孔分割了，必须通过手工走线再连接上。

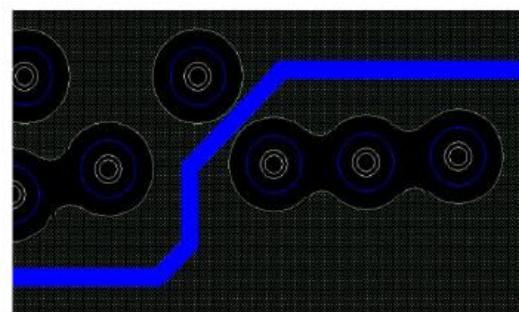


- 避免返回路径不连接，如下图

**Bad**



**Good**



- VCC\_DDR电源平面保持完整，不要在平面内走线。
- 禁止所有DDR信号跨不同的平面
- 在3200Mbps下，DQ信号过孔间串扰会加，所以必须尽量减小过孔的串扰，能不换层尽量不换

层，必须换层时，控制DQ并排的换层过孔不超过2个，而且必须在信号过孔30mil以内放置一个缝合地过孔，以提供连续的返回路径并减小串扰，信号换层过孔必须控制在2个以内。信号的参考层尽量都是GND层，如果有变换成电源的，那么还要按照每3~4个信号过孔，对应增加1个缝合电容

- VREF走线和其它信号保证3倍线宽以上，建议VREF尽量包地处理，走15mil以上，电容靠近DDR颗粒管脚放置。
- 电源去耦电容务必放在对应的电源管脚背面，建议参照DDR模板放置。
- DDR颗粒VREF管脚去耦电容必须靠近各自管脚放置
- DDR颗粒RESET管脚滤波电容必须靠近管脚放置
- DDR电路布局尽量靠近板内，远离板边及金属接插件，防止DDR模块因ESD引起异常而死机。

### ● 3.2.3.2 DDR3/DDR3L PCB设计

- DDR3/DDR3L DQS/DQ/DM信号走线拓扑

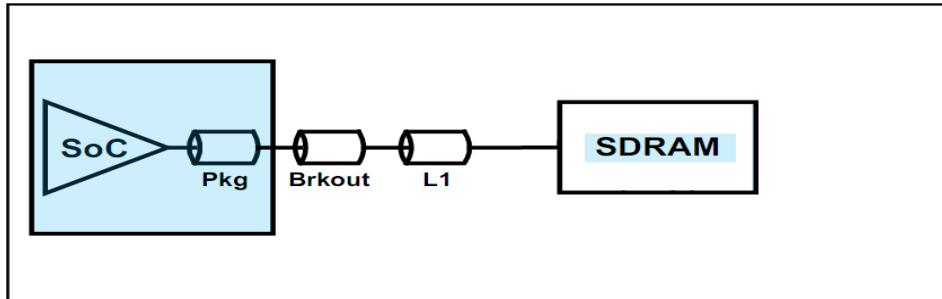


图 3 - 40 DDR3/DDR3L DQS/DQ/DM信号走线拓扑

表 3 - 1 DDR3/DDR3L DQS/DQ/DM阻抗及走线要求

参数	要求
单端阻抗要求	$50\Omega \pm 10\%$
差分阻抗要求	$100\Omega \pm 10\%$
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1500mil
DQ、DM组内的信号间的空隙要求	$\geq 2$ 倍线宽
DQ、DM组间的信号间的空隙要求	$\geq 2$ 倍线宽
DQ/DM和DQS之间的空隙要求	$\geq 3$ 倍线宽
DQS走线要求	如果走线在表层，DQS必须全程包地处理，包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层，采用G-S-S-G方式 (G: 地线，S: 信号线)，S-S之间的空隙必须 $\geq 2$ 倍线宽，G-S之间空隙1倍线宽即可，地线间隔200mil以内必须有地过孔，这种方式可以降低串扰，以及降低信号阻抗。

■ DDR3/DDR3L CLK信号走线拓扑

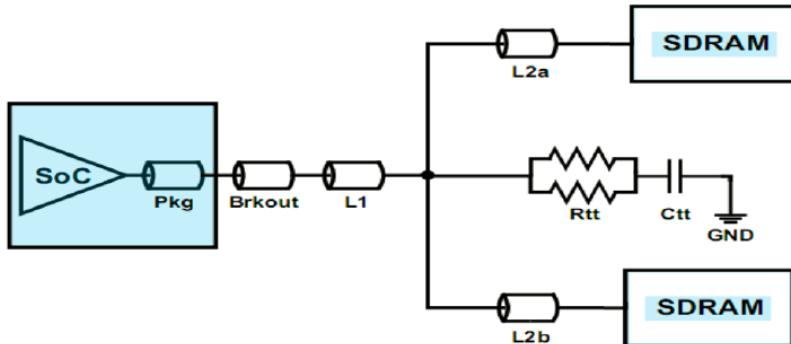


图 3 - 41 DDR3/DDR3L CLK信号走线拓扑

时钟信号匹配方式：在分支点放置RC电路，提高时钟信号质量

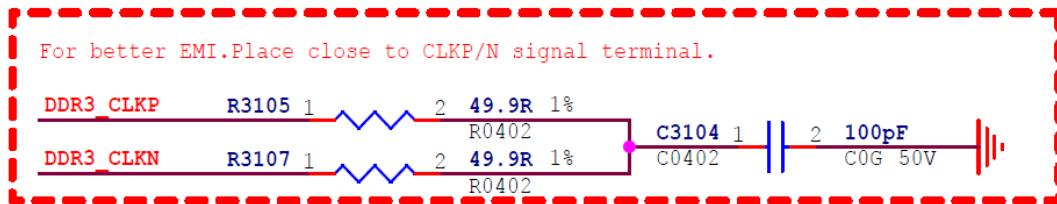


图 3 - 42 DDR3/DDR3L CLK信号RC电路

表 3 - 2 DDR3/DDR3L CLK信号阻抗及走线要求

参数	要求
差分阻抗要求	100 Ω ± 10%
CLK和DQS之间等长要求	小于1500mil
CLKP/CLKN之间等长要求	小于12mil
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil，确保走线尽可能短
CLK和CSn/CKE/ODT之间长度控制要求	小于30mil
CLK和除了CSn/CKE/ODT其它CA/CMD信号之间的长度控制要求	小于600mil
CLK和其它信号之间的空隙要求	>=3倍线宽
CLK走线要求	CLK必须全程包地处理，包地的走线间隔200mil以内必须有地过孔

■ DDR3/DDR3L CSn/CKE/ODT信号走线拓扑

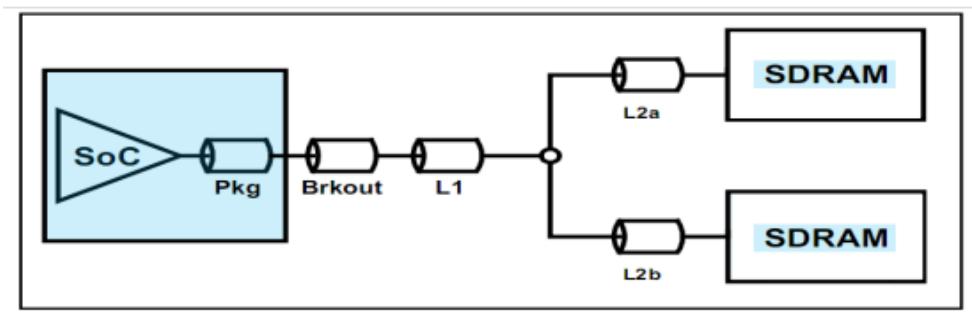


图 3 - 43 DDR3/DDR3L CSn/CKE/ODT信号走线拓扑

表 3 - 3 DDR3/DDR3L CSn/CKE/ODT信号阻抗及走线要求

参数	要求
单端阻抗要求	$50\Omega \pm 10\%$
CSn/CKE/ODT和CLK之间等长要求	小于30mil
CSn/CKE/ODT之间以及和其它信号的空隙要求	$\geq 2$ 倍线宽
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil, 确保走线尽可能短
4层板时走线要求	信号在bottom需要采用G-S-S-G方式, 提供连续的返回路径并减小串扰

- DDR3/DDR3L 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

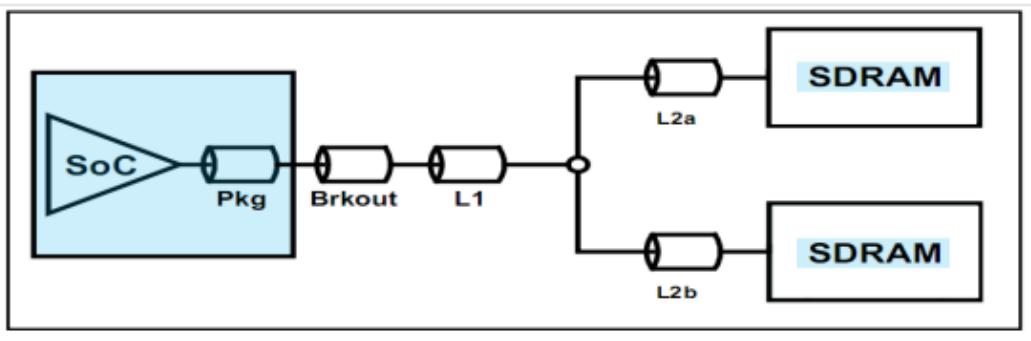


图 3 - 44 DDR3/DDR3L 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

表 3 - 4 DDR3/DDR3L 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求

参数	要求
单端阻抗要求	$50\Omega \pm 10\%$
除CSn/CKE/ODT其它CA/CMD信号和CLK之间等长要求	小于600mil
其它信号的空隙要求	$\geq 2$ 倍线宽
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil, 确保走线尽可能短
4层板时走线要求	信号在bottom需要采用G-S-S-G方式, 提供连续的返回路径并减小串扰

### ● 3.2.3.3 DDR3/DDR3L+ECC PCB设计

- DDR3/DDR3L+ECC DQS/DQ/DM信号走线拓扑

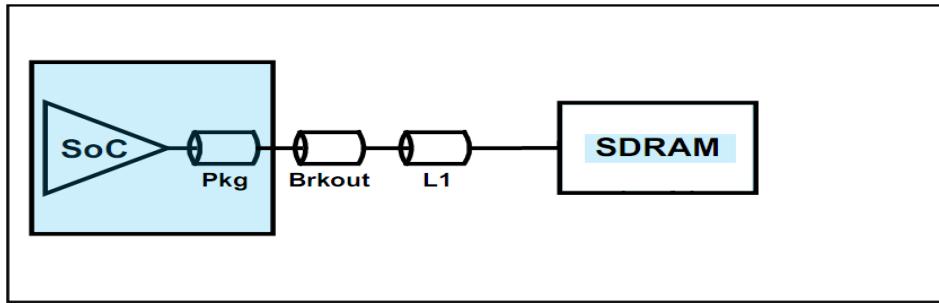


图 3 - 45 DDR3/DDR3L+ECC DQS/DQ/DM信号走线拓扑

表 3 - 5 DDR3/DDR3L+ECC DQS/DQ/DM信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ±10%
差分阻抗要求	100 Ω ±10%
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1500mil
DQ、DM组内的信号间的空隙要求	>=2倍线宽
DQ、DM组间的信号间的空隙要求	>=2倍线宽
DQ/DM和DQS之间的空隙要求	>=3倍线宽
DQS走线要求	如果走线在表层，DQS必须全程包地处理，包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层，采用G-S-S-G方式 (G: 地线，S: 信号线)，S-S之间的空隙必须>=2倍线宽，G-S之间空隙1倍线宽即可，地线间隔200mil以内必须有地过孔，这种方式可以降低串扰，以及降低信号阻抗。

#### ■ DDR3/DDR3L+ECC CLK信号走线拓扑

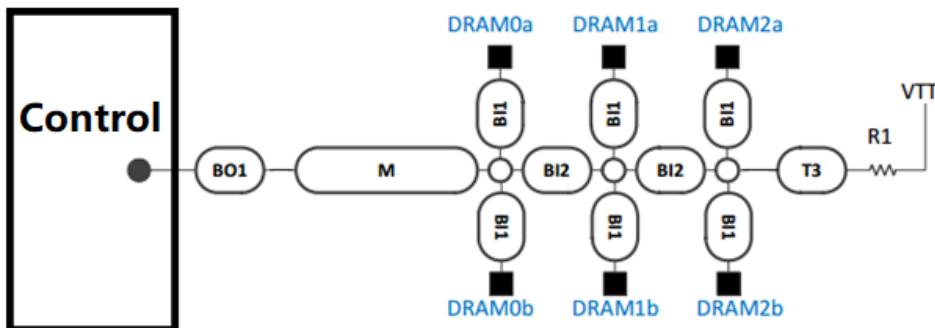


图 3 - 46 DDR3/DDR3L+ECC CLK信号走线拓扑

表 3 - 6 DDR3/DDR3L+ECC CLK信号阻抗及走线要求

参数	要求
差分阻抗要求	$100\Omega \pm 10\%$
CLK和DQS之间等长要求	小于1500mil
CLKP/CLKN之间等长要求	小于12mil
CLK和CSn/CKE/ODT之间长度控制要求	小于60mil
CLK和除了CSn/CKE/ODT其它CA/CMD信号之间的长度控制要求	小于600mil
CLK和其它信号之间的空隙要求	$\geq 3$ 倍线宽
CLK走线要求	CLK必须全程包地处理，包地的走线间隔200mil以内必须有地过孔

CLKP/N之间并了一个2pF电容，布局时，尽量靠近RK3568。

■ DDR3/DDR3L+ECC CSn/CKE/ODT信号走线拓扑

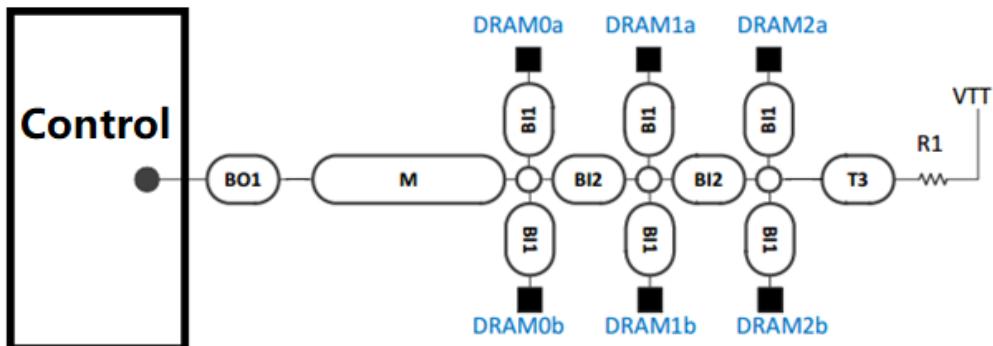


图 3 - 47 DDR3/DDR3L+ECC CSn/CKE/ODT信号走线拓扑

表 3 - 7 DDR3/DDR3L+ECC CSn/CKE/ODT信号阻抗及走线要求

参数	要求
M段走线阻抗要求	$43\Omega \pm 10\%$
除M段走线外阻抗要求	$50\Omega \pm 10\%$
CSn/CKE/ODT和CLK之间等长要求	小于60mil
CSn/CKE/ODT之间以及和其它信号的空隙要求	$\geq 2$ 倍线宽

■ DDR3/DDR3L+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

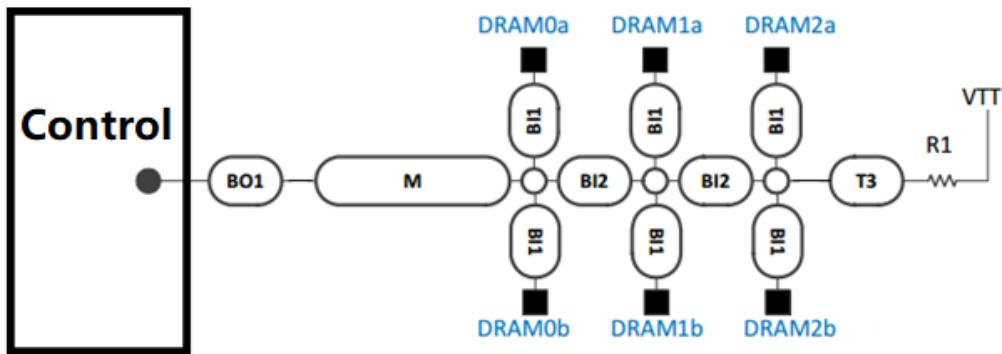


图 3 - 48 DDR3/DDR3L+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

表 3 - 8 DDR3/DDR3L+ECC 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求

参数	要求
M段走线阻抗要求	50 Ω ± 10%
除M段走线外阻抗要求	50 Ω ± 10%
和CLK之间等长要求	小于600mil
和其它信号的空隙要求	>=2倍线宽

- 3.2.3.4 LPDDR3 PCB设计

表 3 - 9 LPDDR3信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ± 10%
差分阻抗要求	100 Ω ± 10%
DQ和DQS之间长度控制要求（Byte内）	DQ和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DQ走线尽可能短
DM和DQS之间长度控制要求（Byte内）	DM和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
CLKP/CLKN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1500mil
CA/CMD和CLK之间等长要求	小于30mil
DQ、DM组内的信号间的空隙要求	>=2倍线宽
DQ、DM组间的信号间的空隙要求	>=2倍线宽
DQ/DM和DQS之间的空隙要求	>=3倍线宽
CA/CMD和其它信号之间的空隙要求	>=2倍线宽
CLK和其它信号之间的空隙要求	>=3倍线宽
DQS走线要求	如果走线在表层，DQS必须全程包地处理，包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层，采用G-S-S-G方式（G：地线，S：

	信号线), S-S之间的空隙必须 $\geq 2$ 倍线宽, G-S之间空隙1倍线宽即可, 地线间隔200mil以内必须有地过孔, 这种方式可以降低串扰, 以及降低信号阻抗。
4层板时CA.CMD的走线要求	信号在bottom需要采用G-S-S-G方式, 提供连续的返回路径并减小串扰

### ● 3.2.3.5 DDR4 PCB设计

#### ■ DDR4 DQS/DQ/DM信号走线拓扑

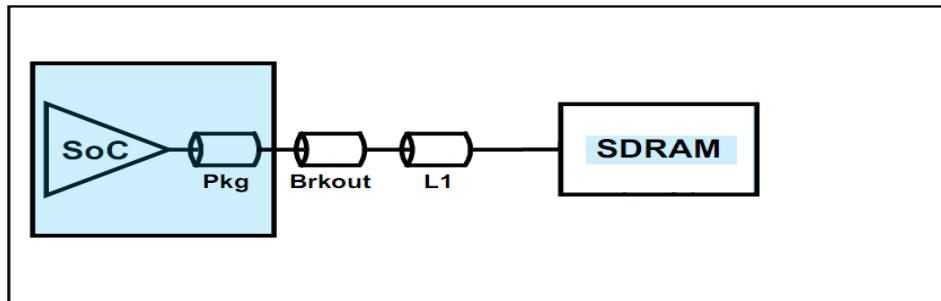


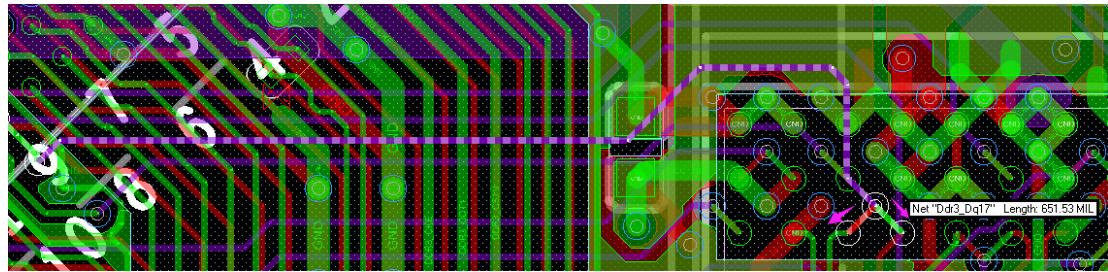
图 3 - 49 DDR4 DQS/DQ/DM信号走线拓扑

表 3 - 10 DDR4 DQS/DQ/DM信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ± 10%
差分阻抗要求	100 Ω ± 10%
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制, 建议控制在600mil以内, 但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制, 建议控制在600mil以内, 但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1500mil
DQ、DM组内的信号间的空隙要求	$\geq 2$ 倍线宽
DQ、DM组间的信号间的空隙要求	$\geq 2$ 倍线宽
DQ/DM和DQS之间的空隙要求	$\geq 3$ 倍线宽
DQS走线要求	如果走线在表层, DQS必须全程包地处理, 包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层, 采用G-S-S-G方式 (G: 地线, S: 信号线), S-S之间的空隙必须 $\geq 2$ 倍线宽, G-S之间空隙1倍线宽即可, 地线间隔200mil以内必须有地过孔, 这种方式可以降低串扰, 以及降低信号阻抗。

注意:

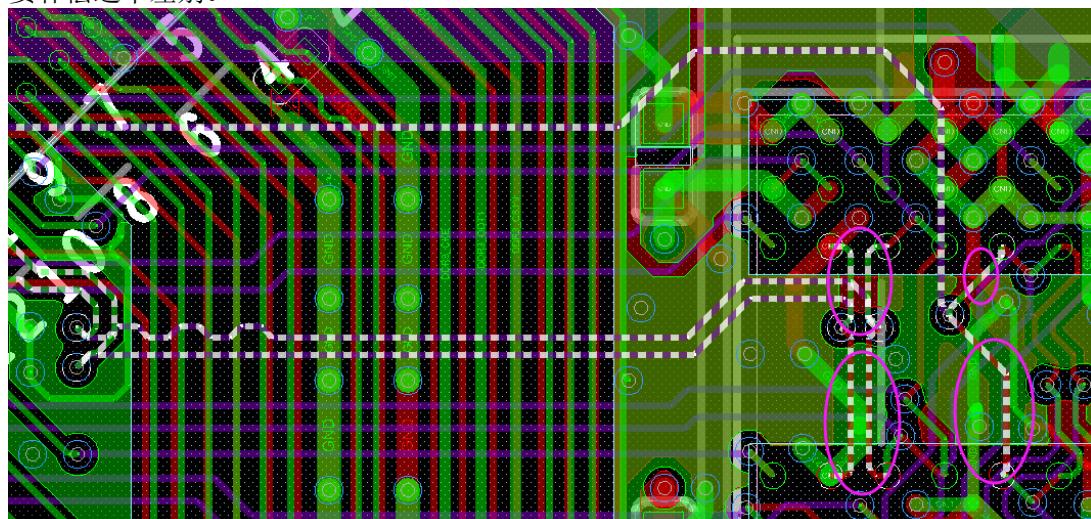
采用4颗16bit DDR4时, 由于cs0和cs1的DQ/DM/DQS是共用的, 为了得到更好的信号质量, 建议采用对贴, 调整cs1组内的DQ顺序使分支最短, 如下图 (调整顺序见参考原理图)



DM/DQS不支持对调，分支必须严格做到等长，需要考虑换层过孔路径的影响  
比如主控端信号走线在L4层，经过过孔切到TOP层距离比切到Bottom层的远



分支做等长时，要考虑这个影响，如下图，Top层的分支走线短，Bottom层的分支走线长，需要补偿这个差别。



#### ■ DDR4 CLK信号走线拓扑

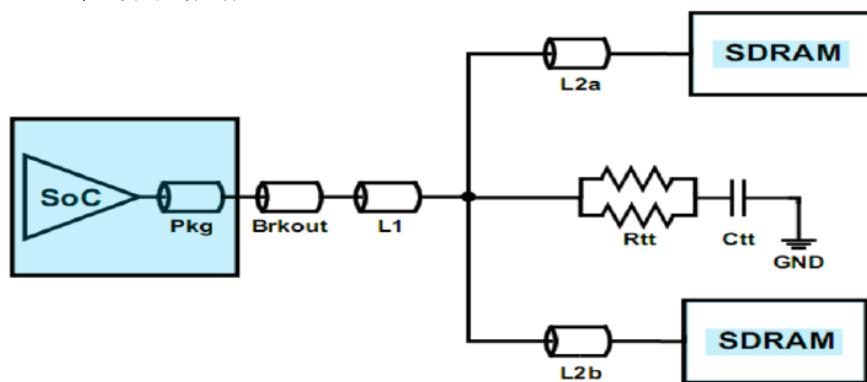


图 3 - 50 DDR4 CLK信号走线拓扑

时钟信号匹配方式：在分支点放置RC电路，还需要在分支线路上串电阻到颗粒，串接电阻必须放置在分支点处，提高时钟信号质量

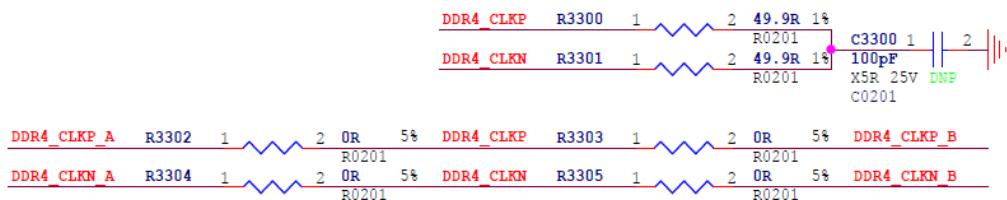


图 3 - 51 DDR4 CLK信号RC电路

表 3 - 11 DDR4 CLK信号阻抗及走线要求

参数	要求
差分阻抗要求	100 Ω ± 10%
CLK和DQS之间等长要求	小于1500mil
CLKP/CLKN之间等长要求	小于12mil
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil, 确保走线尽可能短
CLK和CSn/CKE/ODT之间长度控制要求	小于30mil
CLK和除了CSn/CKE/ODT其它CA/CMD信号之间的长度控制要求	小于600mil
CLK和其它信号之间的空隙要求	>=3倍线宽
CLK走线要求	CLK必须全程包地处理, 包地的走线间隔200mil以内必须有地过孔

如果采用4层板时, DDR4需要借用Power层走线, 那么走在Power层的信号, 必须采用G-S-S-G方式, 见图, 蓝色为地走线, 建议直接拷贝参考PCB。要从头到尾查看一下, 是否有完整的地线当伴随, 建议直接套用RK提供的模板。

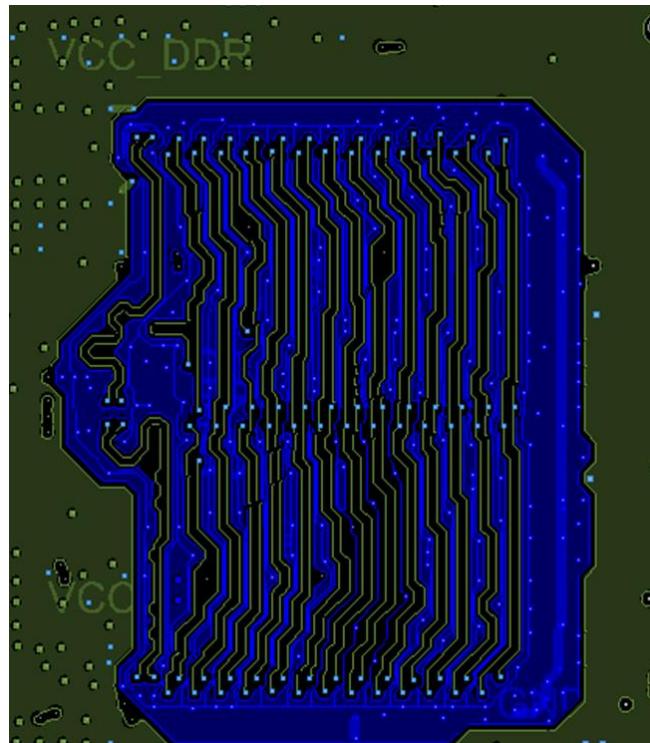


图 3 - 52 DDR4 4层板CLK/CA/CMD信号L3层走线示意图

■ DDR4 CSn/CKE/ODT信号走线拓扑

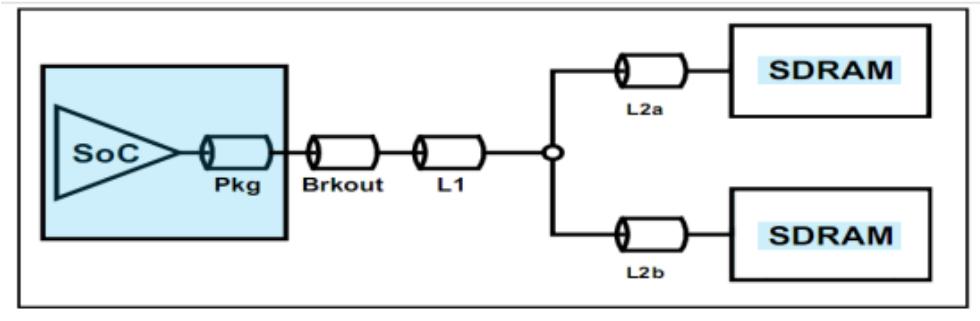


图 3 - 53 DDR4 CSn/CKE/ODT信号走线拓扑

表 3 - 12 DDR4 CSn/CKE/ODT信号阻抗及走线要求

参数	要求
单端阻抗要求	$50 \Omega \pm 10\%$
CSn/CKE/ODT和CLK之间等长要求	小于30mil
CSn/CKE/ODT之间以及和其它信号的空隙要求	$\geq 2$ 倍线宽
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil, 确保走线尽可能短
4层板时走线要求	信号在bottom需要采用G-S-S-G方式, 提供连续的返回路径并减小串扰

■ DDR4 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

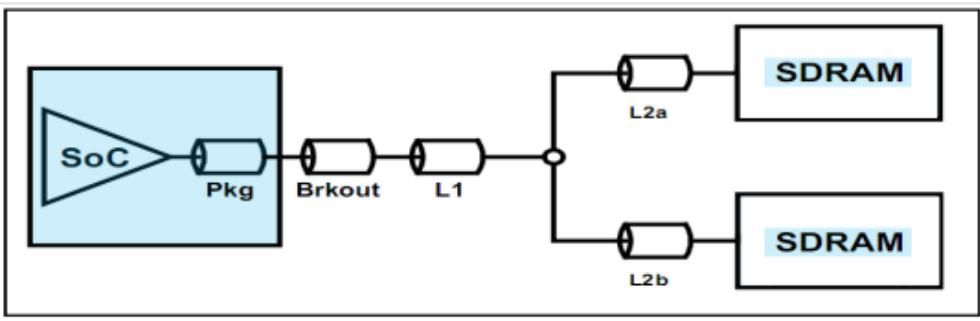


图 3 - 54 DDR4 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

表 3 - 13 DDR4 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求

参数	要求
单端阻抗要求	$50 \Omega \pm 10\%$
除CSn/CKE/ODT其它CA/CMD信号和CLK之间等长要求	小于600mil
其它信号的空隙要求	$\geq 2$ 倍线宽
L2a和L2b之间的等长要求	小于等于20mil
L2a、L2b线长要求	小于600mil, 确保走线尽可能短

4层板时走线要求	信号在bottom需要采用G-S-S-G方式，提供连续的返回路径并减小串扰
----------	---------------------------------------

- 3.2.3.6 DDR4+ECC PCB设计

- DDR4+ECC DQS/DQ/DM信号走线拓扑

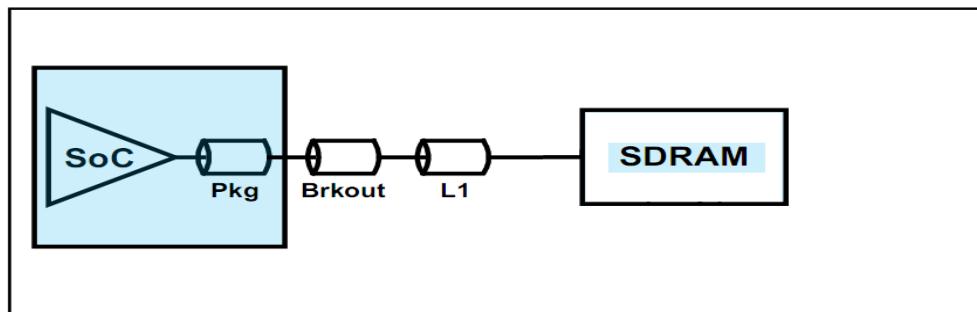


图 3 - 55 DDR4+ECC DQS/DQ/DM信号走线拓扑

表 3 - 14 DDR4+ECC DQS/DQ/DM信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ±10%
差分阻抗要求	100 Ω ±10%
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1500mil
DQ、DM组内的信号间的空隙要求	>=2倍线宽
DQ、DM组间的信号间的空隙要求	>=2倍线宽
DQ/DM和DQS之间的空隙要求	>=3倍线宽
DQS走线要求	如果走线在表层，DQS必须全程包地处理，包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层，采用G-S-S-G方式 (G: 地线，S: 信号线)，S-S之间的空隙必须>=2倍线宽，G-S之间空隙1倍线宽即可，地线间隔200mil以内必须有地过孔，这种方式可以降低串扰，以及降低信号阻抗。

- DDR4+ECC CLK信号走线拓扑

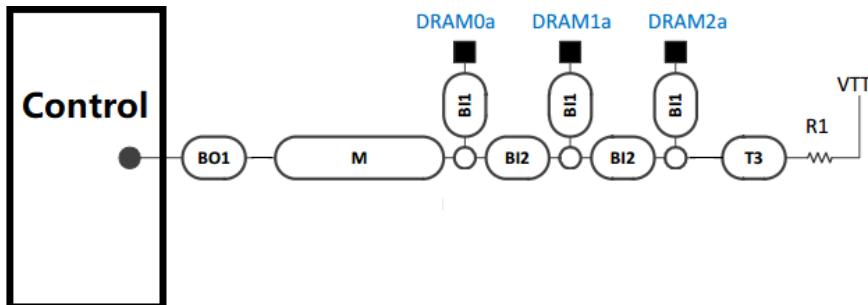


图 3 - 56 DDR4+ECC CLK信号走线拓扑

表 3 - 15 DDR4+ECC CLK信号阻抗及走线要求

参数	要求
差分阻抗要求	$100\Omega \pm 10\%$
CLK和DQS之间等长要求	小于1500mil
CLKP/CLKN之间等长要求	小于12mil
CLK 和 CSn/CKE/ODT 之间长度控制要求	小于60mil
CLK 和除了 CSn/CKE/ODT 其它 CA/CMD 信号之间的长度控制要求	小于600mil
CLK和其它信号之间的空隙要求	$\geq 3$ 倍线宽
CLK走线要求	CLK必须全程包地处理，包地的走线间隔200mil以内必须有地过孔

CLKP/N之间并了一个2pF电容，布局时，尽量靠近RK3568。

#### ■ DDR4+ECC CSn/CKE/ODT信号走线拓扑

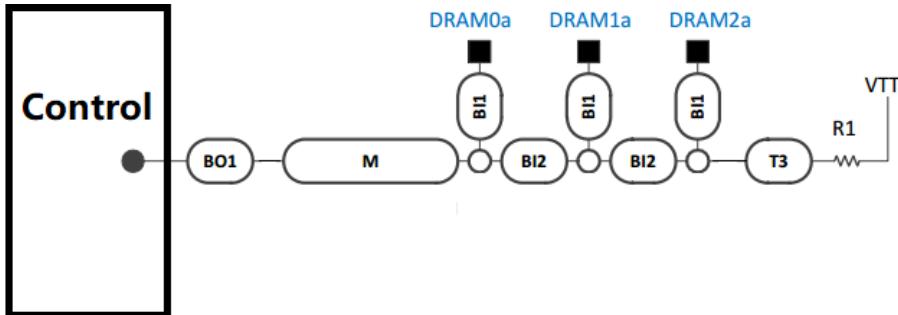


图 3 - 57 DDR4+ECC CSn/CKE/ODT信号走线拓扑

表 3 - 16 DDR4+ECC CSn/CKE/ODT信号阻抗及走线要求

参数	要求
M段走线阻抗要求	$43\Omega \pm 10\%$
除M段走线外阻抗要求	$50\Omega \pm 10\%$
CSn/CKE/ODT和CLK之间等长要求	小于60mil
CSn/CKE/ODT之间以及和其它信号的空隙要求	$\geq 2$ 倍线宽

- DDR4+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

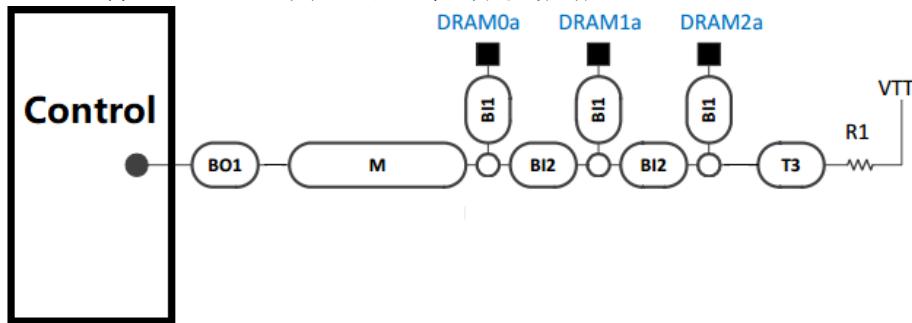


图 3 - 58 DDR4+ECC 除CSn/CKE/ODT其它CA/CMD信号走线拓扑

表 3 - 17 DDR4+ECC 除CSn/CKE/ODT其它CA/CMD信号阻抗及走线要求

参数	要求
M段走线阻抗要求	50 Ω ± 10%
除M段走线外阻抗要求	50 Ω ± 10%
和CLK之间等长要求	小于600mil
和其它信号的空隙要求	>=2倍线宽

#### ● 3.2.3.7 LPDDR4 PCB设计

表 3 - 18 LPDDR4信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ± 10%
差分阻抗要求	100 Ω ± 10%
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制，建议控制在600mil以内，但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
CLKP/CLKN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1200mil
CA/CMD和CLK之间等长要求	小于500mil
DQ、DM组内的信号间的空隙要求	>=2倍线宽
DQ、DM组间的信号间的空隙要求	>=2倍线宽
DQ/DM和DQS之间的空隙要求	>=3倍线宽
CA/CMD和其它信号之间的空隙要求	>=2倍线宽
CLK和其它信号之间的空隙要求	>=3倍线宽
DQS走线要求	如果走线在表层，DQS必须全程包地处理，包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层，采用G-S-S-G方式 (G: 地线, S:

	信号线), S-S之间的空隙必须 $\geq$ 2倍线宽, G-S之间空隙1倍线宽即可, 地线间隔200mil以内必须有地过孔, 这种方式可以降低串扰, 以及降低信号阻抗。
4层板时CA. CMD的走线要求	信号在bottom需要采用G-S-S-G方式, 提供连续的返回路径并减小串扰

- 3.2.3.8 LPDDR4x PCB设计

表 3 - 19 LPDDR4信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ±10%
差分阻抗要求	100 Ω ±10%
DQ和DQS之间长度控制要求 (Byte内)	DQ和DQS之间等长可以不严格控制, 建议控制在600mil以内, 但确保DQ走线尽可能短
DM和DQS之间长度控制要求 (Byte内)	DM和DQS之间等长可以不严格控制, 建议控制在600mil以内, 但确保DM走线尽可能短
DQSP/DQSN之间等长要求	小于12mil
CLKP/CLKN之间等长要求	小于12mil
DQS和CLK之间等长要求	小于1200mil
CA/CMD和CLK之间等长要求	小于500mil
DQ、DM组内的信号间的空隙要求	$\geq$ 2倍线宽
DQ、DM组间的信号间的空隙要求	$\geq$ 2倍线宽
DQ/DM和DQS之间的空隙要求	$\geq$ 3倍线宽
CA/CMD和其它信号之间的空隙要求	$\geq$ 2倍线宽
CLK和其它信号之间的空隙要求	$\geq$ 3倍线宽
DQS走线要求	如果走线在表层, DQS必须全程包地处理, 包地的走线间隔200mil以内必须有地过孔
DQ、DM走线要求	如果走线在表层, 采用G-S-S-G方式 (G: 地线, S: 信号线), S-S之间的空隙必须 $\geq$ 2倍线宽, G-S之间空隙1倍线宽即可, 地线间隔200mil以内必须有地过孔, 这种方式可以降低串扰, 以及降低信号阻抗。

## 3.2.4 Flash 电路PCB设计

- 3.2.4.1 eMMC PCB设计

表 3 - 20 eMMC信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ±10%
DATA/CMD和CLK/DS之间等长要求	小于120mil

PCB走线总长度要求	小于4000mil
eMMC信号之间的的空隙要求	$\geq 2$ 倍线宽
eMMC信号和其它信号之间的空隙要求	$\geq 3$ 倍线宽
换层过孔	小于4个, 需靠近信号换层过孔放置对称的缝合地孔
eMMC CLK/DS走线要求	必须全程包地处理, 包地的走线间隔300mil以内必须有地过孔

其它注意点

- 整体布局时, eMMC颗粒尽量靠近RK3568放置, 尽量缩短走线。
- eMMC 所有信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- eMMC\_CLKOUT的22ohm串联匹配电阻靠近CPU端(源端), CPU管脚和电阻之间走线必须控制在300mil以内。
- eMMC\_DATA\_STROBE的0ohm串联匹配电阻靠近eMMC颗粒端, eMMC管脚和电阻之间走线必须控制在300mil以内。
- eMMC电源线宽度应满足VCCI02电源域及相应颗粒的电流需求, 建议VCCI02电源域走线12mil以上, 颗粒的电源走线25mil以上。
- eMMC以及RK3568 VCCI02的去耦电容务必放在对应的电源管脚背面。
- eMMC颗粒的VDDi管脚外接电容必须靠近对应的管脚放置, 走线尽量短粗
- eMMC D0信号预留的测试点PCB走线时, 建议走Daisy-chain, 不要产生额外的分支。

#### ● 3.2.4.2 FSPI PCB设计

表 3 - 21 FSPI信号阻抗及走线要求

参数	要求
单端阻抗要求	$50\Omega \pm 10\%$
DATA和CLK之间等长要求	小于200mil
PCB走线总长度要求	小于4000mil
FSPI信号之间的的空隙要求	$\geq 2$ 倍线宽
FSPI信号和其它信号之间的空隙要求	$\geq 3$ 倍线宽
换层过孔	小于4个, 需靠近信号换层过孔放置对称的缝合地孔
FSPI CLK走线要求	必须全程包地处理, 包地的走线间隔300mil以内必须有地过孔

其它注意点

- 整体布局时, FSPI颗粒尽量靠近RK3568放置, 尽量缩短走线。
- FSPI所有信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- FSPI\_CLK的22ohm串联匹配电阻靠近CPU端(源端), CPU管脚和电阻之间走线必须控制在300mil以内。
- FSPI Flash电源线宽度应满足VCCI02电源域及相应颗粒的电流需求, 建议VCCI02电源域走线12mil以上, 颗粒的电源走线25mil以上。
- FSPI Flash以及RK3568 VCCI02的去耦电容务必放在对应的电源管脚背面。
- FSPI CLK信号预留的测试点PCB走线时, 建议走Daisy-chain, 不要产生额外的分支。

- 3.2.4.3 Nand Flash PCB设计

表 3 - 22 Nand Flash信号阻抗及走线要求

参数	要求
单端阻抗要求	50Ω ± 10%
整组信号之间等长要求	小于200mil
PCB走线总长度要求	小于4000mil
Nand Flash信号之间的的空隙要求	>=2倍线宽
Nand Flash信号和其它信号之间的空隙要求	>=3倍线宽
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔
Nand Flash DQS走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

其它注意点

- 整体布局时，Nand Flash颗粒尽量靠近RK3568放置，尽量缩短走线。
- Nand Flash 所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- Nand Flash\_DQS的0ohm串联匹配电阻靠近Nand颗粒端，Nand管脚和电阻之间走线必须控制在300mil以内。
- Nand Flash电源线宽度应满足VCCI02电源域及相应颗粒的电流需求，建议VCCI02电源域走线12mil以上，颗粒的电源走线25mil以上。
- Nand Flash以及RK3568 VCCI02的去耦电容务必放在对应的电源管脚背面。
- Nand D0信号预留的测试点PCB走线时，建议走Daisy-chain，不要产生额外的分支。

- 3.2.4.4 eMMC和Nand Flash 兼容设计PCB注意点

- eMMC和Nand Flash兼容设计要双Layout时，需要注意走线要理顺，避免走线上有很长的分支，造成功能异常，R4003, R4000, R4001和R4100, R4101, R4102必须放在各信号分支点上（位号参考RK3568\_AIoT\_REF\_SCH）

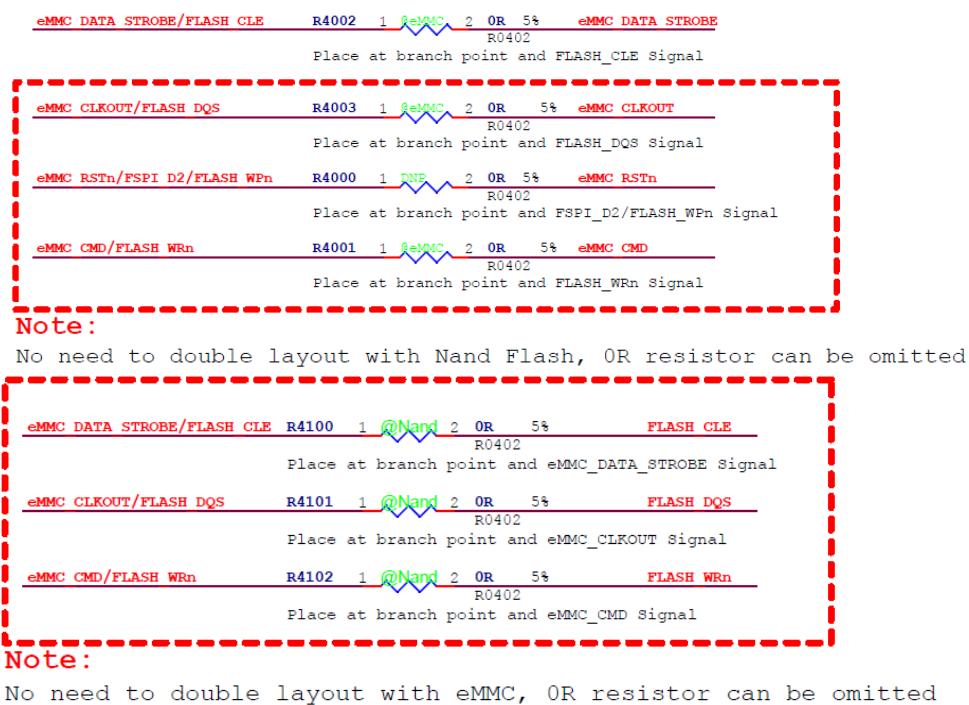


图 3 - 59 eMMC和Nand Flash兼容设计分支电阻

如下图R4000和R4100放在分支点上，使用eMMC时，只贴R4000，R4100不贴，影响尽量降到最低

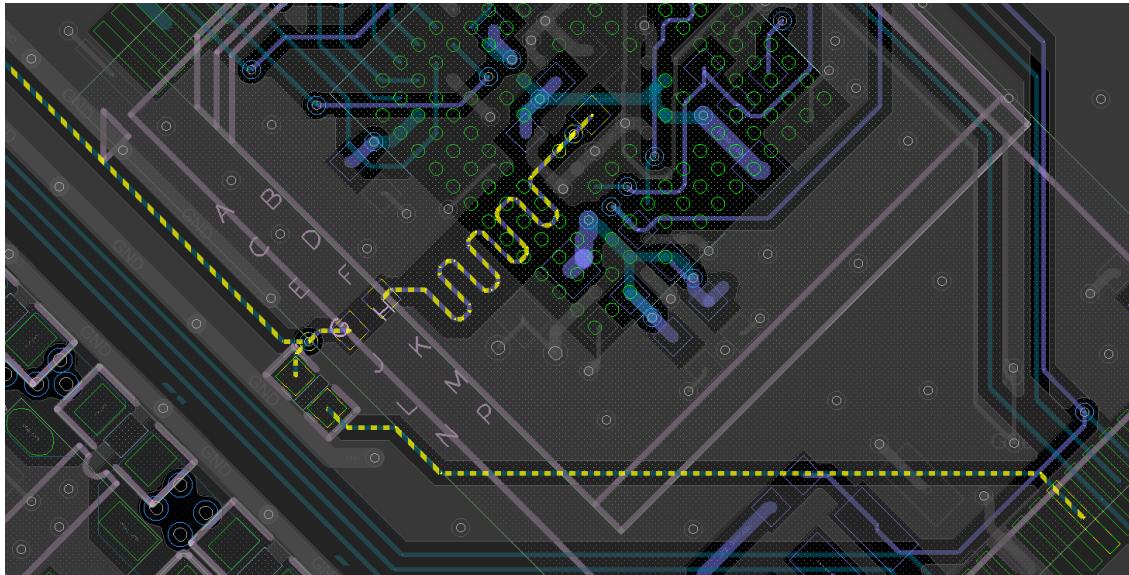


图 3 - 60 eMMC和Nand Flash兼容设计分支电阻布局和走线情况

- eMMC和Nand Flash兼容设计要双Layout时，D0-D7信号建议走Daisy-chain，走线必须先经过Nand的管脚再连接到eMMC的管脚，eMMC管脚尽量靠近Nand管脚。如没必要兼容设计，建议只保留eMMC，不要预留Nand Flash，提高eMMC稳定性。

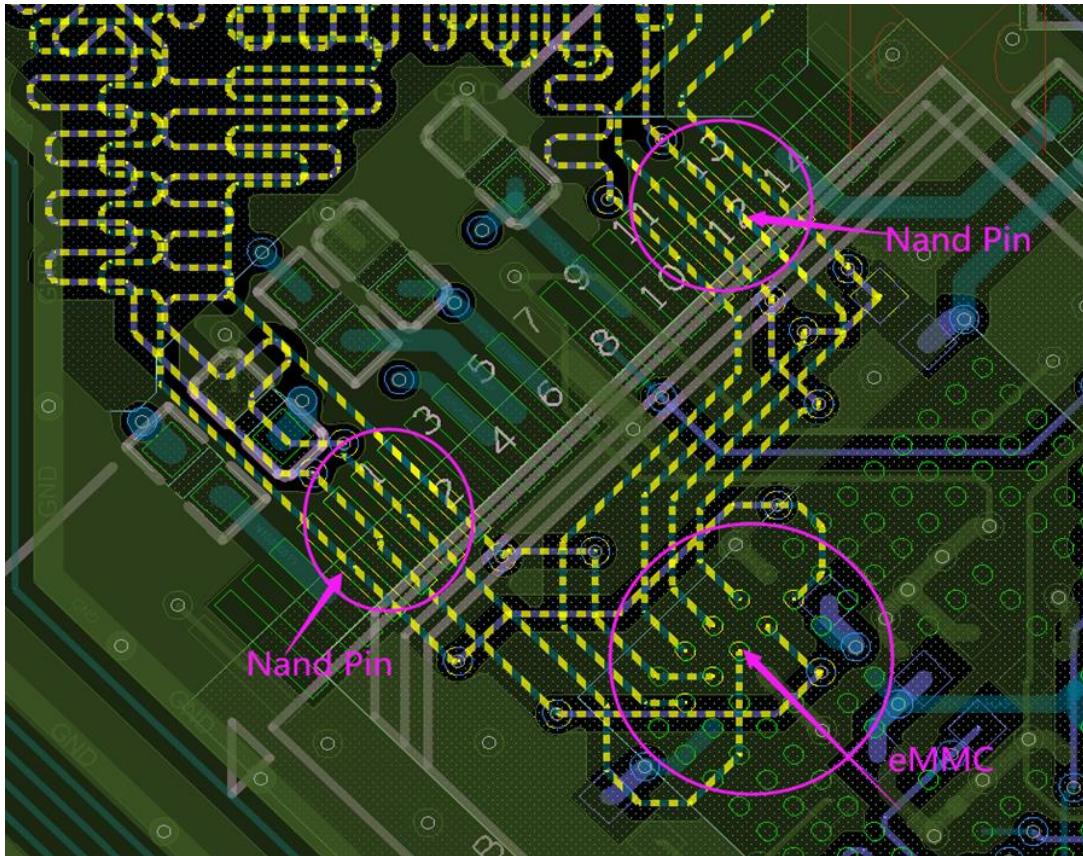


图 3 - 61 eMMC和Nand Flash兼容设计DATA走线情况

### 3.2.5 SDMMC0/1/2 接口电路PCB设计

表 3 - 23 SDMMC0/1/2信号阻抗及走线要求

参数	要求
单端阻抗要求	50 Ω ±10%
DATA/CMD和CLK之间等长要求	小于120mil
PCB走线总长度要求	当CLK小于等于50MHz时， 小于6000mil 当CLK大于50MHz时， 小于4000mil
SDMMCx信号之间的的空隙要求	>=2倍线宽
SDMMCx信号和其它信号之间的空隙要求	>=3倍线宽
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔
SDMMCx CLK走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

其它注意点：

- 整体布局时，SDMMC设备尽量靠近RK3568放置，尽量缩短走线。
- SDMMCx所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- SDMMCx\_CLK串联匹配电阻靠近CPU端，CPU管脚和电阻之间走线必须控制在400mil以内。
- SDMMCx所在的电源域VCCIOx电源域走线12mil以上，去耦电容务必放在对应的电源管脚背面。
- 当卡使用时，卡座的电源电容务必放在卡座电源管脚处，走线时必须先经过电容再到卡座管脚，卡座的电源的走线40mil以上；Micro-SD的TVS保护二级管应尽量靠近卡座放置，信号拓扑为：Micro-SD卡座--->TVS--->CPU；出现ESD现象时，ESD电流必须先经过TVS器件衰减；TVS器件走线上不要有残桩(Stub)；TVS的地管脚建议尽量增加地过孔，至少保证2个0.4\*0.2mm的过孔，加强静电泄放能力；Micro-SD卡座下面区域尽量避免走线，以免出现ESD现象时会受耦合影响。

### 3.2.6 SARADC/OTP 接口电路PCB设计

- SARADC\_VIN0/1/2/3/4/5/6/7的1nF电容为消抖电容，布局时尽量靠近芯片管脚放置。
- SARADC\_AVDD\_1V8的去耦电容务必放在对应的电源管脚背面。
- SARADC\_VIN0/1/2/3/4/5/6/7信号请远离LCD、DRAM等数字信号。禁止在高速信号线的相邻层布线；禁止在高速信号附近打孔换层；走线不要穿过电感区域。
- 如有按键，TVS管必须靠近按键放置，信号拓扑为：按键--->TVS--->CPU；出现ESD现象时，ESD电流必须先经过TVS器件衰减；TVS器件走线上不要有残桩(Stub)
- TVS的地管脚建议尽量增加地过孔，至少保证2个0.4\*0.2mm的过孔，加强静电泄放能力

### 3.2.7 USB2.0 接口电路PCB设计

表 3 - 24 USB2.0信号阻抗及走线要求

参数	要求
差分走线阻抗要求	90 Ω ±10%
DP/DM之间等长要求	小于20mil
PCB走线总长度要求	小于6000mil
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，USB座尽量靠近RK3568放置，尽量缩短走线。
- USB3\_AVDD\_0V9/1V8/3V3电源和USB2\_AVDD\_0V9/1V8/3V3的去耦电容务必放在对应的电源管脚背面。
- 当USB差分信号走线需要换层时，确保走线上的过孔数量少于4个，不得超过6个，并靠近信号

过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil

- USB差分对尽可能参考层为完整的地平面，如果无法避免跨不同平面走线，那么必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

### 3.2.8 USB3.0 接口电路PCB设计

表 3 - 25 USB3.0信号阻抗及走线要求

参数	要求
差分走线阻抗要求	90 Ω ± 10%
SSTXP/SSTXN之间等长要求	小于12mil
SSRXP/SSRXN之间等长要求	小于12mil
SSTXP/N和SSRXP/N之间等长要求	小于6000mil
PCB走线总长度要求	小于6000mil
SSTX和SSRX信号之间的空隙要求	>=4倍线宽
SSTX, SSRX信号和其它信号之间的空隙要求	>=4倍线宽
换层过孔	小于2个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，USB座尽量靠近RK3568放置，尽量缩短走线。
- MULTI\_PHY\_AVDD\_OV9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- SSTXP/N和SSRXP/N尽量走在TOP层，必须要换层时，不得超过2个过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil，走线拐角尽量用弧线或者钝角，不能为直角或锐角。
- SSTXP/N, SSRXP/N信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- AC耦合电容请对称放置并靠近USB连接座
- USB3座子的焊盘和AC耦合电容的焊盘的下方必须挖空一层来保证阻抗的连续性，挖空的大小，不小于封装焊盘尺寸。

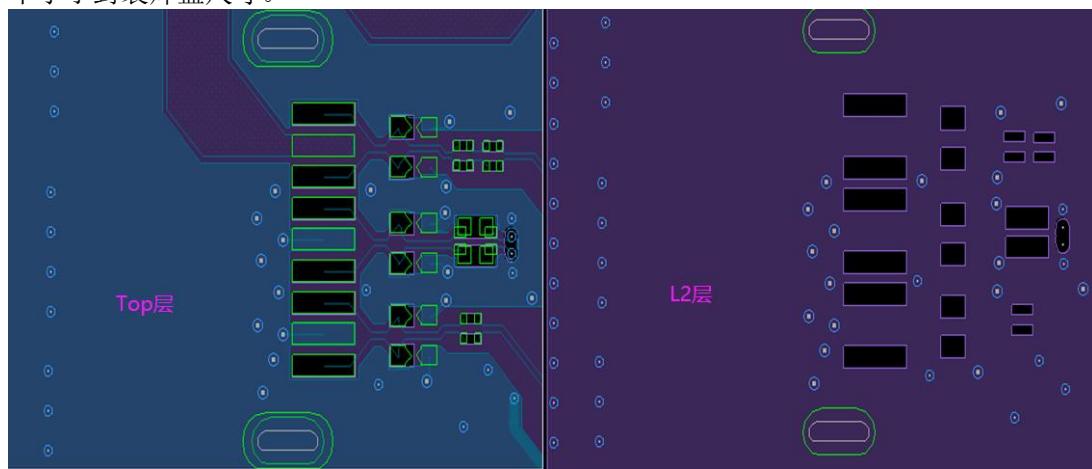


图 3 - 62 USB3座子的焊盘和AC耦合电容的焊盘的下方挖空示意图

- 如果有长距离走线，建议考虑一下PCB玻璃纤维编织效应，有条件的尽量避免长距离一个方向走线，建议修改成10度的旋转走线方式，或如图折线



图 3 - 63 PCB玻璃纤维编织效应改善走线方式

### 3.2.9 SATA3.0 接口电路PCB设计

表 3 - 26 SATA3.0信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
TXP/TXN之间等长要求	小于12mil
RXP/RXN之间等长要求	小于12mil
PCB走线总长度要求	小于6000mil
TX和RX信号之间的空隙要求	>=4倍线宽
TX, RX信号和其它信号之间的空隙要求	>=4倍线宽
换层过孔	小于2个, 需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时, SATA座尽量靠近RK3568放置, 尽量缩短走线。
- MULTI\_PHY\_AVDD\_OV9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- TXP/N和RXP/N尽量走在TOP层, 必须要换层时, 不得超过2个过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过30mil, 走线拐角尽量用弧线或者钝角, 不能为直角或锐角。
- TXP/N, RXP/N信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- AC耦合电容请对称放置并靠近SATA连接座
- SATA座子的焊盘和AC耦合电容的焊盘的下方必须挖空一层来保证阻抗的连续性, 挖空的大小, 不小于封装焊盘尺寸。

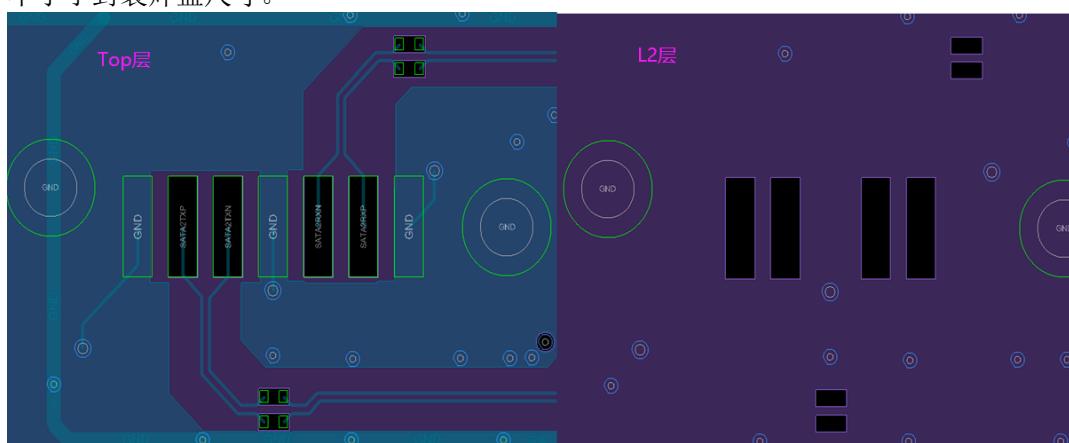


图 3 - 64 SATA座子的焊盘和AC耦合电容的焊盘的下方挖空示意图

- 如果有长距离走线，建议考虑一下PCB玻璃纤维编织效应，有条件的尽量避免长距离一个方向走线，建议修改成10度的旋转走线方式或折线，见图 3 - 63。

### 3. 2. 10 QSGMII/SGMII 接口电路PCB设计

表 3 - 27 QSGMII/SGMII信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
TXP/TXN之间等长要求	小于12mil
RXP/RXN之间等长要求	小于12mil
PCB走线总长度要求	小于6000mil
TX和RX信号之间的空隙要求	>=4倍线宽
TX, RX信号和其它信号之间的空隙要求	>=4倍线宽
换层过孔	小于2个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，QSGMII/SGMII PHY座尽量靠近RK3568放置，尽量缩短走线。
- MULTI\_PHY\_AVDD\_OV9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- TXP/N和RXP/N尽量走在TOP层，必须要换层时，不得超过2个过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil，走线拐角尽量用弧线或者钝角，不能为直角或锐角。
- TXP/N, RXP/N信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- AC耦合电容请对称放置并靠近PHY芯片  
QSGMII/SGMII PHY信号焊盘和AC耦合电容的焊盘的下方必须挖空一层来保证阻抗的连续性，挖空的大小，不小于封装焊盘尺寸。
- 如果有长距离走线，建议考虑一下PCB玻璃纤维编织效应，有条件的尽量避免长距离一个方向走线，建议修改成10度的旋转走线方式或折线，见图 3 - 63。

### 3. 2. 11 PCIe2. 0 接口电路PCB设计

表 3 - 28 PCIe2. 0信号阻抗及走线要求

参数	要求
数据差分走线阻抗要求	85 Ω ± 10%
时钟差分走线阻抗要求	100 Ω ± 10%
TXP/TXN之间等长要求	小于12mil
RXP/RXN之间等长要求	小于12mil
REFCLKP/CLKN之间等长要求	小于12mil
PCB走线总长度要求	小于6000mil
TX和RX走线之间等长要求	小于6000mil
TX和RX信号之间的空隙要求	>=4倍线宽
TX, RX信号和其它信号之间的空隙要求	>=4倍线宽
REFCLKP/N差分走线要求	对必须全程包地处理，包地的走线间隔300mil以内

	必须有地过孔
换层过孔	小于2个, 需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时, PCIe Slot尽量靠近RK3568放置, 尽量缩短走线。
- MULTI\_PHY\_AVDD\_0V9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- TXP/N, RXP/N, REFCLKP/N走线尽量在top 层, 必须要换层时, 不得超过2个过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过30mil, 走线拐角尽量用弧线或者钝角, 不能为直角或锐角。
- TXP/N, RXP/N, REFCLKP/N信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- AC耦合电容请对称放置并靠近PCIe Slot
- Slot的焊盘和AC耦合电容的焊盘的下方必须挖空一层来保证阻抗的连续性, 挖空的大小, 不小于封装焊盘尺寸。

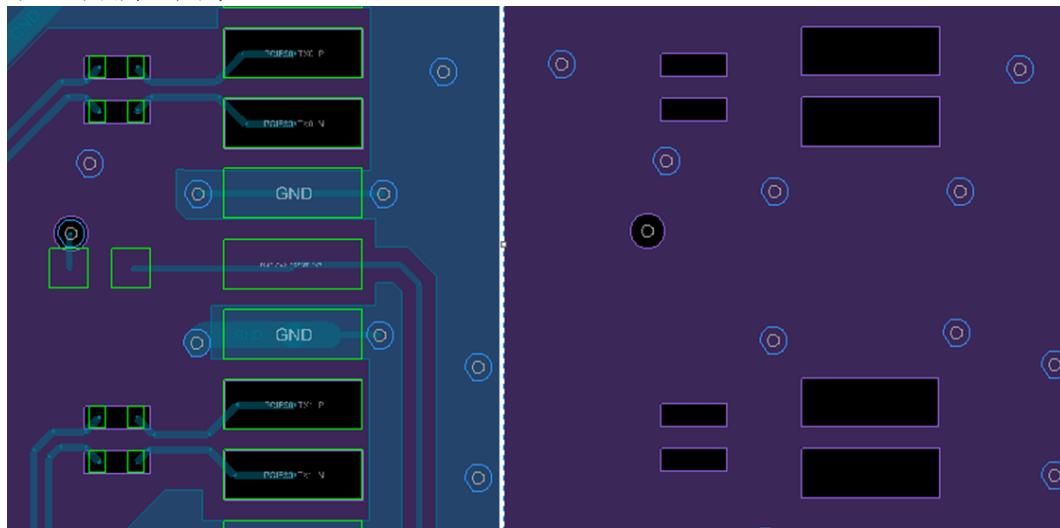


图 3 - 65 PCIe Slot的焊盘和AC耦合电容的焊盘的下方挖空示意图

- 如果有长距离走线, 建议考虑一下PCB玻璃纤维编织效应, 有条件的尽量避免长距离一个方向走线, 建议修改成10度的旋转走线方式或折线, 见图 3 - 63。

### 3.2.12 PCIe3.0 接口电路PCB设计

表 3 - 29 PCIe3.0信号阻抗及走线要求

参数	要求
数据差分走线阻抗要求	85 Ω ±10%
时钟差分走线阻抗要求	100 Ω ±10%
TXP/TXN之间等长要求	小于12mil
RXP/RXN之间等长要求	小于12mil
REFCLKP/CLKN之间等长要求	小于12mil
PCB走线总长度要求	小于6000mil
TX和RX走线之间等长要求	小于6000mil
TX和RX信号之间的空隙要求	>=5倍线宽
TX, RX信号和其它信号之间的空隙要求	>=5倍线宽
REFCLKP/N差分走线要求	对必须全程包地处理, 包地的走线间隔300mil以内

	必须有地过孔
换层过孔	小于2个, 需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时, PCIe Slot尽量靠近RK3568放置, 尽量缩短走线。
- PCIE30\_AVDD\_0V9/1V8电源去耦电容务必放在对应的电源管脚背面。
- TXP/N, RXP/N, REFCLKP/N走线尽量在top 层, 必须要换层时, 不得超过2个过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过30mil, 走线拐角尽量用弧线或者钝角, 不能为直角或锐角。
- TXP/N, RXP/N, REFCLKP/N信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- AC耦合电容请对称放置并靠近PCIe Slot
- Slot的焊盘和AC耦合电容的焊盘的下方必须挖空一层来保证阻抗的连续性, 挖空的大小, 不小于封装焊盘尺寸, 见图 3 - 56。
- 如果有长距离走线, 建议考虑一下PCB玻璃纤维编织效应, 有条件的尽量避免长距离一个方向走线, 建议修改成10度的旋转走线方式或折线, 见图 3 - 63。

### 3.2.13 MIPI CSI RX 接口电路PCB设计

表 3 - 30 MIPI CSI RX信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
差分对内等长要求	小于12mil
差分对间等长要求	小于36mil
PCB走线总长度要求	小于6000mil
MIPI信号之间的空隙要求	>=3倍线宽
MIPI信号和其它信号之间的空隙要求	>=3倍线宽
换层过孔	小于4个, 需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时, MIPI CSI设备尽量靠近RK3568放置, 尽量缩短走线。
- MIPI\_CSI\_RX\_AVDD\_0V9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- 尽量减少换层过孔, 必须要换层时, 最多只能打4次过孔, 并靠近信号过孔放置对称的缝合地孔, 缝合地孔和信号过孔中心距不得超过30mil。
- MIPI CSI差分对的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况

### 3.2.14 CIF 接口电路PCB设计

表 3 - 31 CIF信号阻抗及走线要求

参数	要求
单端走线阻抗要求	50 Ω ± 10%
CIF所有信号和CIF CLKIN之间等长要求	小于180mil
PCB走线总长度要求	小于5000mil
CIF信号之间的空隙要求	>=2倍线宽
CIF信号和其它信号之间的空隙要求	>=3倍线宽

CIF CLKIN走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔
---------------	--------------------------------

- 整体布局时，CIF设备尽量靠近RK3568放置，尽量缩短走线。
- CIF所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- CIF CLKIN的22ohm串联匹配电阻靠近设备端，设备端的管脚和电阻之间走线必须控制在400mil以内
- VCCI06的去耦电容务必放在对应的电源管脚背面。

### 3.2.15 MIPI DS1 TX 接口电路PCB设计

表 3 - 32 MIPI DS1 TX信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
差分对内等长要求	小于12mil
差分对间等长要求	小于36mil
PCB走线总长度要求	小于6000mil
MIPI信号之间的空隙要求	>=3倍线宽
MIPI信号和其它信号之间的空隙要求	>=3倍线宽
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，MIPI DS1设备尽量靠近RK3568放置，尽量缩短走线。
- MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_0V9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- MIPI\_DSI\_TX1\_AVDD\_0V9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- MIPI差分对尽量减少换层过孔，必须要换层时，不得超过4个过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil
- MIPI DS1差分对的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况

### 3.2.16 LVDS TX 接口电路PCB设计

表 3 - 33 LVDS TX信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
差分对内等长要求	小于20mil
差分对间等长要求	小于60mil
PCB走线总长度要求	小于6000mil
LVDS信号之间的空隙要求	>=3倍线宽
LVDS信号和其它信号之间的空隙要求	>=3倍线宽
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，LVDS设备尽量靠近RK3568放置，尽量缩短走线。
- MIPI\_DSI\_TX0/LVDS\_TX0\_AVDD\_0V9/1V8电源的去耦电容务必放在对应的电源管脚背面。
- LVDS差分对尽量减少换层过孔，必须要换层时，推荐少于4个过孔，不得超过6个，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil。

- LVDS差分对的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况

### 3.2.17 eDP TX 接口电路PCB设计

表 3 - 34 eDP TX信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
差分对内等长要求	小于12mil
PCB走线总长度要求	小于6000mil
eDP信号之间的空隙要求	>=4倍线宽
eDP信号和其它信号之间的空隙要求	>=4倍线宽
换层过孔	小于4个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，eDP设备尽量靠近RK3568放置，尽量缩短走线。
- eDP\_TX\_AVDD\_0V9/1.8V电源的去耦电容务必放在对应的电源管脚背面。
- 尽量减少换层过孔，必须要换层时，最多只能打4次过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil。
- eDP\_TX差分对的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况

### 3.2.18 HDMI TX 接口电路PCB设计

表 3 - 35 HDMI TX信号阻抗及走线要求

参数	要求
差分走线阻抗要求	100 Ω ± 10%
差分对内等长要求	小于12mil
时钟和数据之间的等长要求	小于480mil
PCB走线总长度要求	小于6000mil
HDMI数据信号之间的空隙要求	>=4倍线宽
HDMI数据和HDMI时钟之间的空隙要求	>=5倍线宽
换层过孔	小于2个，需靠近信号换层过孔放置对称的缝合地孔

- 整体布局时，HDMI座子尽量靠近RK3568放置，尽量缩短走线。
- HDMI\_TX\_AVDD\_0V9/1V8电源去耦电容务必放在对应的电源管脚背面。
- 走线尽量在top 层，必须要换层时，最多只能打2次过孔，并靠近信号过孔放置对称的缝合地孔，缝合地孔和信号过孔中心距不得超过30mil，走线拐角尽量用弧线或者钝角，不能为直角或锐角。
- 差分线整组并行走线最外围包地处理，包地的走线和信号之间的空隙：>=4倍线宽，并且包地的走线间隔300mil以内必须有地过孔
- 所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- HDMI座子的焊盘和TVS管的焊盘的下方必须挖空一层来保证阻抗的连续性，挖空的大小，不小于封装焊盘尺寸。

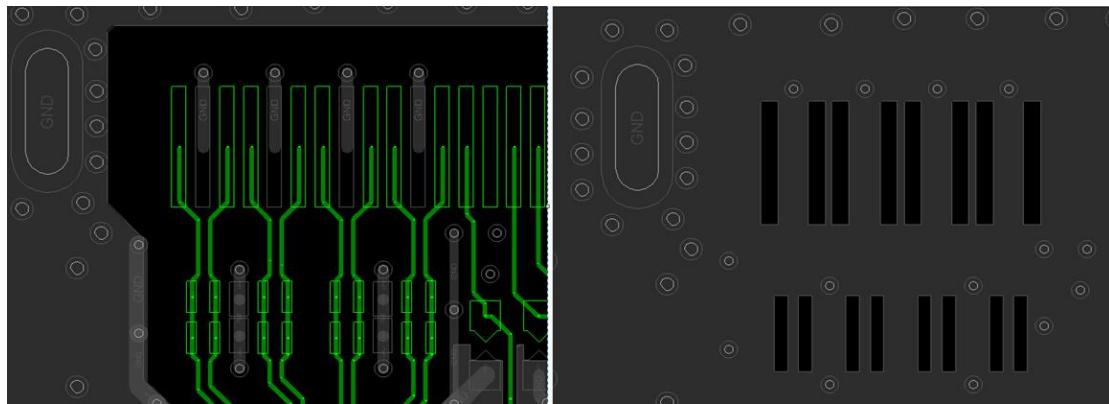


图 3-66 HDMI座子的焊盘和TVS管的焊盘的下方挖空示意图

- HDMI的TVS管应尽量靠近连接座放置，信号拓扑为：HDMI座--->TVS--->CPU；出现ESD现象时，ESD电流必须先经过TVS器件衰减；TVS器件走线上不要有残桩(Stub)。TVS的地管脚建议尽量增加地过孔，至少保证2个0.4\*0.2mm的过孔，加强静电泄放能力

### 3.2.19 RGB TX 接口电路PCB设计

表 3-36 RGB TX信号阻抗及走线要求

参数	要求
单端走线阻抗要求	50Ω ±10%
LCDC所有信号和LCDC CLK之间等长要求	小于180mil
PCB走线总长度要求	小于5000mil
LCDC信号之间的空隙要求	>=2倍线宽
LCDC信号和其它信号之间的空隙要求	>=3倍线宽
LCDC CLK走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

- 整体布局时，LCDC设备尽量靠近RK3568放置，尽量缩短走线。
- LCDC clk的22ohm串联匹配电阻靠近CPU端（源端），CPU管脚和电阻之间走线必须控制在400mil以内
- LCDC所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- VCCI05的去耦电容务必放在对应的电源管脚背面。

### 3.2.20 BT1120 TX 接口电路PCB设计

表 3-37 BT1120 TX信号阻抗及走线要求

参数	要求
单端走线阻抗要求	50Ω ±10%
BT1120所有信号和BT1120 CLK之间等长要求	小于180mil
PCB走线总长度要求	小于5000mil
BT1120信号之间的空隙要求	>=2倍线宽
BT1120信号和其它信号之间的空隙	>=3倍线宽

要求	
BT1120 CLK走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

- 整体布布局时，BT1120 TX设备尽量靠近RK3568放置，尽量缩短走线。
- BT1120 CLK的22ohm串联匹配电阻靠近CPU端（源端），CPU管脚和电阻之间走线必须控制在400mil以内
- BT1120所有信号的参考层需要为完整的地平面，避免出现连续的过孔阻断信号的回流路径的情况
- VCCI05的去耦电容务必放在对应的电源管脚背面。

### 3.2.21 音频接口电路PCB设计

- RK809-5 SPK的LC器件靠近RK809放置
- RK809-5的VCC\_SPK\_HP走线大于50mil。
- SPKP/SPKN按照差分走线并整组包地，线宽20mil，尽量缩短走线。
- HP\_L/HP\_R 左右声道要分别包地，不是差分线，不能靠在一起，挨在一起会降低左右声道的隔离度，建议走线线宽大于10mil。
- HP\_SNS网络串接电阻必须在耳机座管脚处短接到地，补偿输入，提高左右声道隔离度

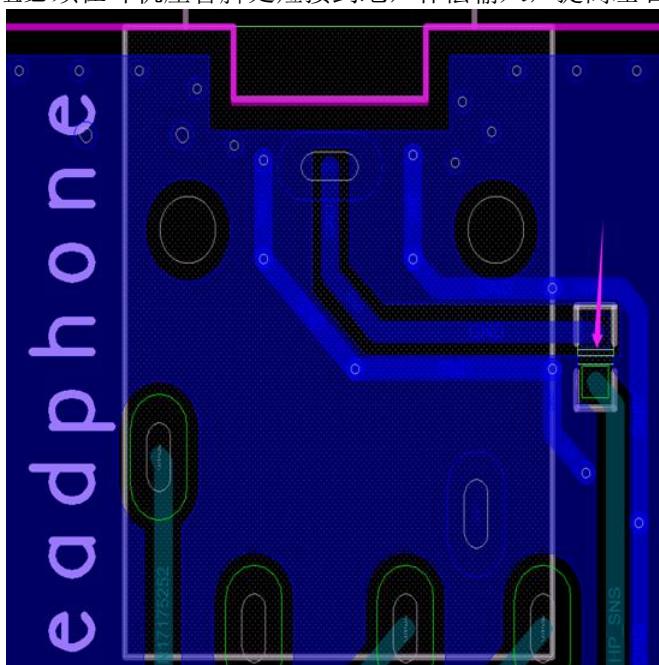


图 3 - 67 RK809-5 HP\_SNS 电阻布局和走线

- HP\_SNS做为HPL/HPR的伴随地，整组走线并包地，HPL/HPR线宽10mil以上。



图 3 - 68 RK809-5 HPL/HPR/HP\_SNS 走线情况

- MIC单端连接时，MIC1/MIC2单独走线并分别包地。
- MIC差分连接时，MICP/MICN按照差分走线，并整组包地。
- MIC走线线宽建议8mil以上
- 所有音频信号都请远离LCD、DRAM等高速信号线。禁止在高速信号线相邻层走线，相邻层必须为地平面；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离RF信号和器件。
- 所有音频信号的相邻层不得为电源平面或走线。
- 耳机座/麦克风的TVS保护二级管应尽量靠近连接座放置，信号拓扑为：耳机座/麦克风--->TVS--->CPU；出现ESD现象时，ESD电流必须先经过TVS器件衰减；TVS器件走线上不要有残桩(Stub)，TVS的地管脚建议尽量增加地过孔，至少保证2个0.4\*0.2mm的过孔，加强静电泄放能力
- S/PDIF信号建议全程包地处理，包地的走线间隔300mil以内必须有地过孔

### 3.2.22 GMAC接口电路PCB设计

- 3.2.22.1 RGMII接口

表 3-38 RGMII信号阻抗及走线要求

参数	要求
单端走线阻抗要求	50Ω ±10%
TXDO, TXD1, TXD2, TXD3, TXEN 和 TXCLK之间等长要求	小于120mil
RXD0, RXD1, RXD2, RXD3, RXDV 和 RXCLK之间等长要求	小于120mil
PCB走线总长度要求	小于5000mil
RGMII信号之间的空隙要求	>=2倍线宽
RGMII信号和其它信号之间的空隙要求	>=3倍线宽
TXCLK和RXCLK走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

- 3.2.22.2 RMII接口

表 3-39 RMII信号阻抗及走线要求

参数	要求
单端走线阻抗要求	50Ω ±10%
TXDO, TXD1, TXEN, RXDO, RXD1, RXDV, RXER 和MCLKINOUT之间等长要求	小于300mil
PCB走线总长度要求	小于5000mil
RGMII信号之间的空隙要求	>=2倍线宽
RGMII信号和其它信号之间的空隙要求	>=3倍线宽
MCLKINOUT走线要求	必须全程包地处理，包地的走线间隔300mil以内必须有地过孔

- 整体布局时，GEPHY或FEPHY尽量靠近RK3568放置，尽量缩短走线。
- TXD0-TXD3, TXCLK, TXEN的22ohm串联匹配电阻靠近CPU端（源端），CPU管脚和电阻之间走线必须控制在400mil以内。

- RXD0-RXD3, RXCLK, RXDV的22ohm串联匹配电阻靠近PHY端, PHY管脚和电阻之间走线必须控制在400mil以内。
- ETH0\_REFCLK0\_25M, ETH1\_REFCLK0\_25M的22ohm串联匹配电阻靠近CPU端（源端）, CPU管脚和电阻之间走线必须控制在400mil以内。
- ETH0\_REFCLK0\_25M, ETH1\_REFCLK0\_25M必须全程包地处理, 包地的走线间隔300mil以内必须有地过孔
- RMII模式MCLKINOUT输出模式: 22ohm串联匹配电阻靠近CPU端（源端）, CPU管脚和电阻之间走线必须控制在400mil以内。
- RMII模式MCLKINOUT输入模式: 22ohm串联匹配电阻靠近PHY端, PHY管脚和电阻之间走线必须控制在400mil以内。
- RGMII/RMII所有信号的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况

以RTL8211F/FI为例, PHY侧的注意点:

- 晶体电路布局需要优先考虑, 布局时应与芯片在同一层并尽量靠近放置以避免打过孔, 晶体走线尽可能的短, 远离干扰源, 尽量远离板边缘。
- 晶体以及时钟信号需要全程包地处理, 包地线每隔100mil至少添加一个GND过孔, 并且必须保证邻层的地参考面完整。
- 务必确认RJ45封装和原理图是否一致, RJ45有分Tab down和Tab up, 信号顺序刚好是相反。如果使用RTL8211F/FI建议采用Tab down, MDI顺序是顺的。
- 网络变压器尽可能靠近RJ45座子, MDI走线不得超过4.5inch
- RSET电阻必须靠近RTL8211F/FI的管脚, 走线不得超过800mil, 远离其它干扰信号。
- PHY到网络变压器的MDI差分信号差分阻抗为 $100\Omega \pm 10\%$ 。
- PHY到网络变压器的差分信号MDI0+、MDI0-、MDI1+、MDI1-、MDI2+、MDI2-、MDI3+、MDI3-差分对内长度偏差控制在 $\pm 5\text{mil}$ 以内, MDI差分对应严格遵循差分规则走线。例如, 必须保持相同的长度、相同的宽度、相同的层和固定的线距, 并尽可能保持对称
- MDI差分对间线长延迟控制在800mil以内。
- MDI0/1/2/3之间空隙:  $>=3$ 倍线宽
- MDI0/1/2/3和其它信号之间空隙:  $>=4$ 倍线宽。
- MDI尽量减少换层过孔, 必须要换层时, 最多只能打2次过孔, 并靠近信号过孔放置对称的地缝合孔。
- MDI差分对的参考层需要为完整的地平面, 避免出现连续的过孔阻断信号的回流路径的情况
- 网络变压器高压侧的MDI差分对, 走线线宽建议尽量走粗, 建议8mil
- 网络变压器高压侧的75 ohm电阻走线建议25mil以上。
- 网络变压器中心抽头滤波电容必须靠近网络变压器对应的管脚
- PHY芯片电源的去耦电容, 都需要尽量靠近PHY芯片各管脚放置, 走线时尽量先经过电容焊盘, 再到芯片管脚, 管脚和电容之间走线长度不得超过100mil
- RTL8211F/FI内部自带的DCDC, 电感必须靠近芯片管脚, LX走线要尽量短而粗, 宽度不小于60mil, 长度不得超过200mil, 输出电容必须靠近电感, 走线时, 必须先经过输出电容再到后级。Pin21和Pin3, 8, 38必须星形分开走线, 走线线宽30mil以上
- 如果PHY IO采用3.3V时VCCIO\_PHY和VCC3V3\_PHY电源走线必须走星形, 走线线宽30mil以上
- PHY芯片的中心焊盘必须良好接地, 放置的过孔至少保证5X5个0.5\*0.3mm的过孔
- 防雷管的接地必须良好接地, 建议不少于3X3个0.5\*0.3mm的过孔, 否则会降低防雷管作用
- 网络变压器高压侧的相关器件必须远离PCB板的主地
- RJ45接口和网络变压器高压侧属于高压区, 禁止覆铜, 建议和低压区间隔至少4mm以上

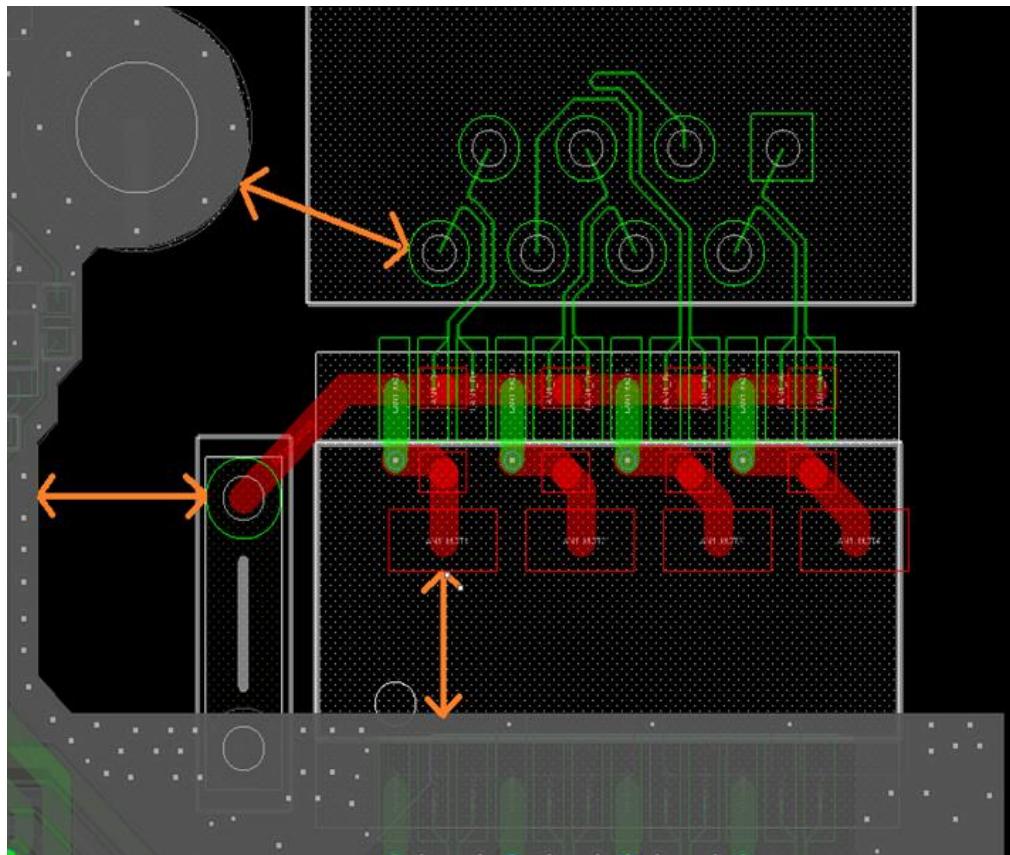


图 3-69 RJ45 接口和网络变压器禁布区示意图

- 有条件的，建议在网络变压器下方开1mm以上的爬电槽，加强抗浪涌能力。

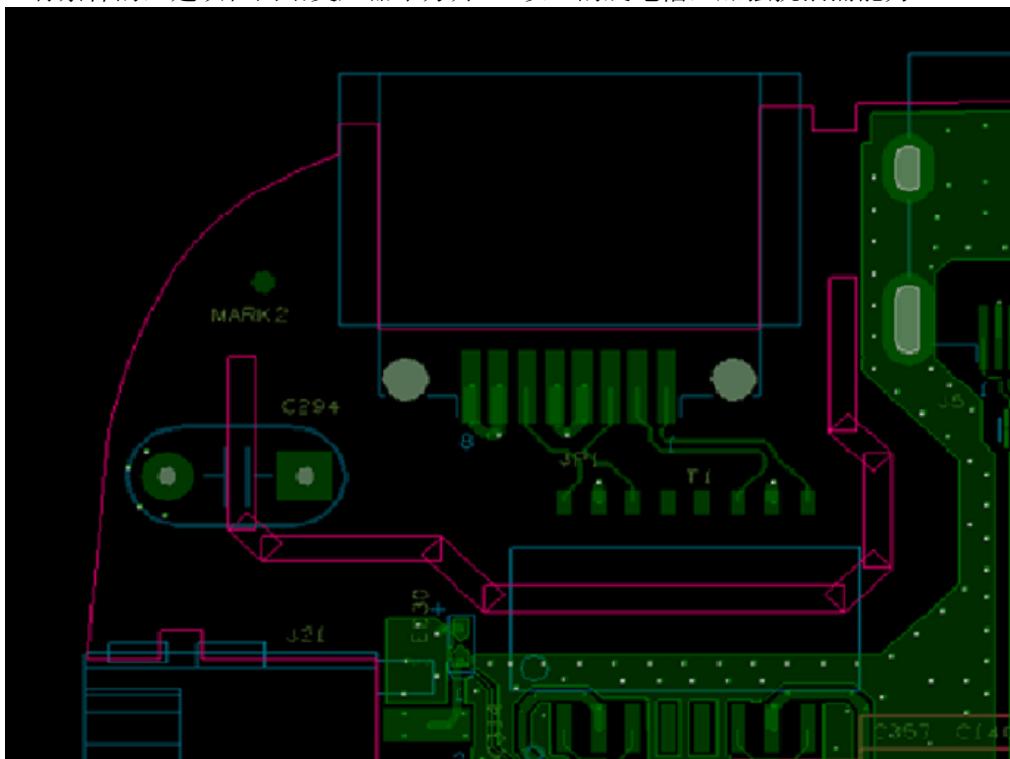


图 3-70 RJ45 接口和网络变压器开槽示意图

### 3.2.23 WIFI/BT PCB设计

- 整体布局时，WIFI模组适当放置，模组远离DDR、HDMI、USB、LCD电路以及喇叭等易干扰模块或连接座
- 模组下方TOP层不允许走线，需保证参考面为完整的地平面，SDIO/PCIe/UART/PCM信号线建议绕过模组投影区域后连接到模组管脚。
- 晶体电路布局需要优先考虑，布局时应与芯片在同一层并尽量靠近放置以避免打过孔，晶体

走线尽可能的短，远离干扰源，尽量天线区域。

- 晶体以及时钟信号需要全程包地处理，包地线每隔100mil至少添加一个GND过孔，并且必须保证邻层的地参考面完整。
- 晶体电路布局时如果与芯片不同层放置，晶体走线及必须全程包地处理，避免被干扰。
- 32.768k单独走线并做包地处理，并且包地线每隔400mil至少添加一个GND过孔
- SDIO WIFI时，SDIO信号PCB设计要求见：3.2.5章节要求
- PCIe WIFI时，PCIe信号PCB设计要求见：3.2.11或3.2.12章节要求
- 模组的电感布局时，请注意走线经电感出来后，先经过电容，再进入模组电源管脚

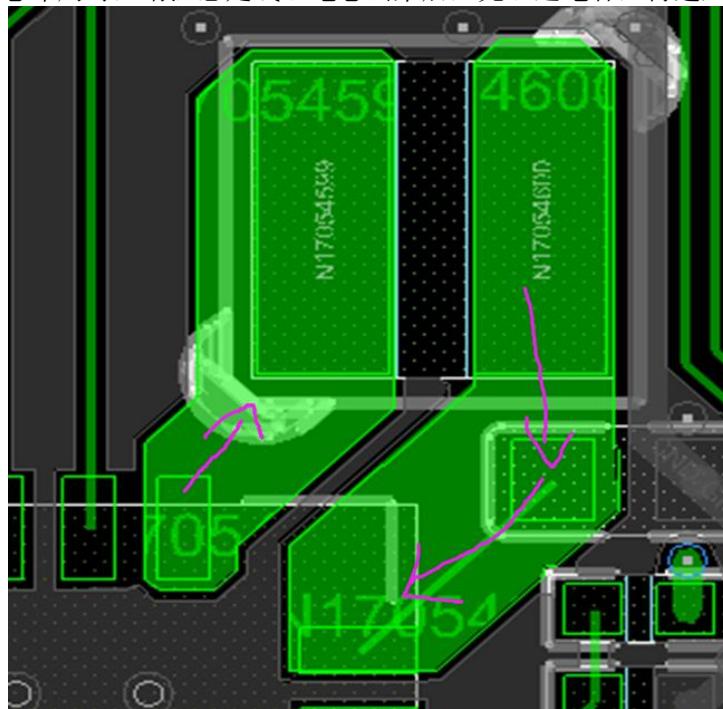


图 3 - 71 WiFi模块的电感电容走线示意图

- 模组的电源去耦电容必须靠近模组电源管脚
- 模组的VBAT管脚走线宽度必须大于40mil
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，尽量不换层
- 天线匹配电路必须靠近天线座，天线走线50欧，保证参考地完整，阻抗不要突变，下方不允许有其他信号线或电源；走线的伴随地需要与主地参考面使用地墙连接。

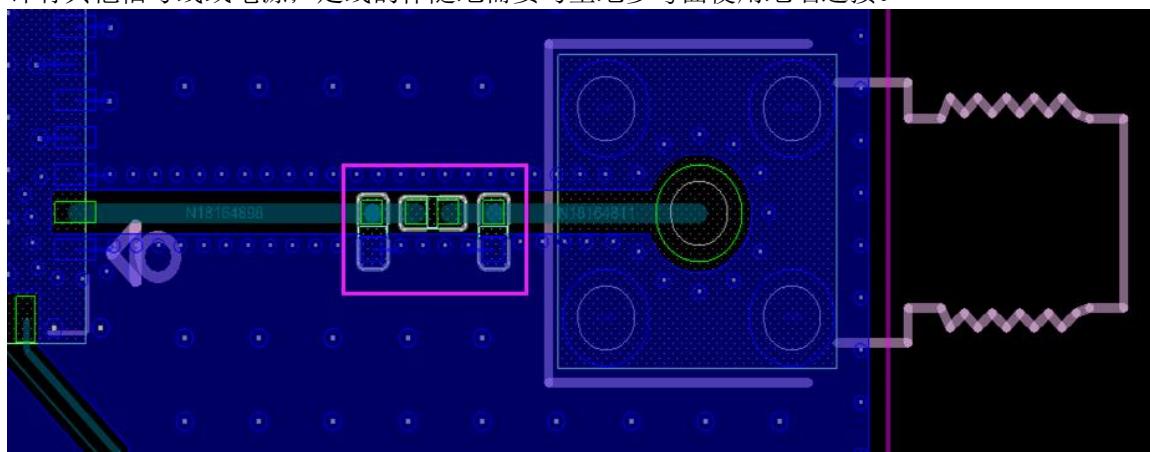


图 3 - 72 WiFi模块天线走线示意图

- 模组的天线以及天线走线区域下方所有层都不允许其它信号线或电源
- 如果是2X2 MIMO天线接口，两个天线口之间的出线方向需要考虑两个天线的位置，两个天线的位置需要尽量远离避免干扰，并考虑垂直放置以避免互相干扰

### 3.2.24 VGA OUT PCB设计

- 整体布局时，VGA座子尽量靠近转换芯片放置，尽量缩短VGA模拟信号走线。

- 转换芯片电源的去耦电容，都需要尽量靠近转换芯片各电源管脚放置。
- VGA\_R/G/B走线线宽尽量加粗，建议12mil以上。
- VGA\_R/G/B之间的长度差不得超过200mil
- VGA\_R/G/B 75ohm电阻必须靠近芯片放置
- VGA\_R/G/B滤波电路必须靠近VGA座子放置
- VGA\_R/G/B信号要求全程分开包地处理，包地的走线间隔300mil以内必须有地过孔
- VGA\_R/G/B信号相邻层必须为地平面，不得为电源平面
- VGA\_R/G/B信号都请远离LCD、DRAM等高速信号线，禁止在高速信号线相邻层走线；禁止在高速信号线附近打孔换层；走线不要穿过电感区域；远离RF信号和器件。
- VGA\_HSYNC/VSYNC的RC滤波必须靠近VGA座子放置，走线不得超过6inch
- VGA座子所有信号TVS管应尽量靠近连接座放置，信号拓扑为：VGA座--->TVS--->芯片管脚；出现ESD现象时，ESD电流必须先经过TVS器件衰减；TVS器件走线上不要有残桩(Stub)。
- TVS的地管脚建议尽量增加地过孔，至少保证2个0.4\*0.2mm的过孔，加强静电泄放能力

### 3.2.25 LCD屏和触摸屏 PCB设计

- LED背光IC的FB端限流电阻，请靠近屏座放置而不是DC-DC。
- 背光升压电路，请注意电容摆放及电源走线，保证电源的充放电回路最小。
- 屏和触摸屏连接座如果有预留测试点，应靠近连接座，且走线上的残桩(Stub)尽量短。

### 3.2.26 摄像头 PCB设计

- Camera采用连接器时：MIPI差分信号经过连接器时，相邻差分信号对之间必须使用GND管脚进行隔离。
- CIF/MIPI等信号，如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻（2.2ohm-10ohm之间，具体以能满足SI测试为准），以及预留TVS器件。
- Camera连接座如果有预留测试点，应靠近连接座，且走线上的残桩(Stub)尽量短
- 连接座AVDD/DOVDD/DVDD电源的去耦电容，都需要尽量靠近Camera连接座放置。
- Camera布局时需要远离大功率辐射器件，如GSM天线等。
- MIPI CSI RX信号PCB设计要求见 3.2.13章节要求
- CIF信号PCB设计要求见 3.2.14章节要求

## 4 热设计建议

良好的热设计对RK3568的产品性能的提高、系统的稳定性、产品的安全性尤其重要。

### 4.1 热仿真结果

针对RK3568 FCBGA636\_19x19mm\_Pitch 0.65mm的封装，基于EVB的4层板PCB采用有限元建模法（Finite Element Modeling，FEM），可以得出热阻的仿真报告。该报告基于JEDEC JESD51-2标准给出，应用时的系统设计及环境可能与JEDEC JESD51-2标准不同，需要根据应用条件做出分析。



#### 注意

热阻是在PCB没有散热片条件下的参考值，具体温度跟单板的设计、大小、厚度、材质以及其他物理因素有关系。

#### 4.1.1 结果概要

热阻仿真结果如下表：

表 4 - 1 RK3568 热阻仿真报告结果

Package (EHS-FCBGA)	$\theta_{JA}$ (°C/W)	$\theta_{JB}$ (°C/W)	$\theta_{JC}$ (°C/W)
JEDEC PCB	15.925	10.813	0.487

注：数据为仿真数据仅供参考，请以实物测试为准。

#### 4.1.2 PCB描述

热阻仿真用的PCB结构如下表：

表 4 - 2 RK3568 热阻仿真的PCB结构

EVB PCB	PCB Dimension (L x W)	114.3 x 101.6mm
	PCB Thickness	1.6mm
	Number of Cu Layer	4-layers

#### 4.1.3 术语解释

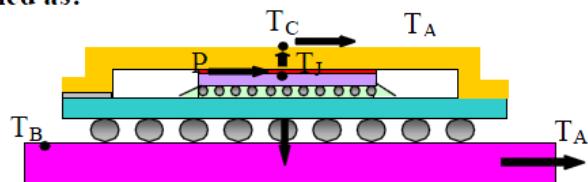
本章中的的术语解释如下：

- $T_J$ : The maximum junction temperature;
- $T_A$ : The ambient or environment temperature;
- $T_c$ : The maximum compound surface temperature;
- $T_B$ : The maximum surface temperature of PCB bottom;
- $P$ : Total input power

The thermal parameter can be define as following

1. Junction to ambient thermal resistance,  $\theta_{JA}$ , defined as:

$$\theta_{JA} = \frac{T_J - T_A}{P}; \quad (1)$$



Thermal Dissipation of EHS-FCBGA

图 4 - 1  $\theta_{JA}$  的定义

2. Junction to case thermal resistance,  $\theta_{JC}$ , defined as:

$$\theta_{JC} = \frac{T_J - T_C}{P}; \quad (2)$$

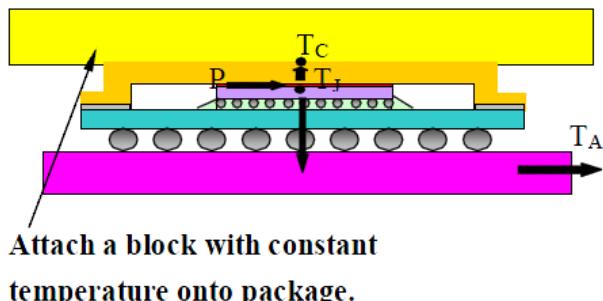


图 4-2  $\theta_{JC}$  的定义

3. Junction to board thermal resistance,  $\theta_{JB}$ , defined as:

$$\theta_{JB} = \frac{T_J - T_B}{P}; \quad (3)$$

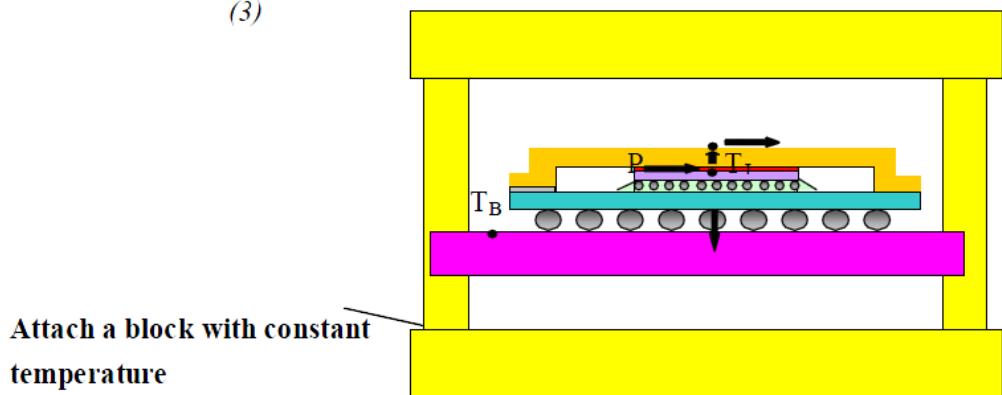


图 4-3  $\theta_{JB}$  的定义

## 4.2 芯片内部热控制方式

### 4.2.1 温度控制策略

在Linux内核中，定义一套温控框架linux Generic Thermal System Drivers，它可以通过不同的策略控制系统的温度，目前常用的有以下三种策略：

- **Power allocator:** 温控策略引入 PID（比例-积分-微分）控制，根据当前温度，动态给各 cooling device 分配power，温度低的时候可分配的 power 比较大，即可以运行的频率高，随着温度上升，可分配的 power 逐渐减小，可运行的频率也逐渐降低，从而达到根据温度限制频率
- **Step wise :** 根据当前温度，cooling device 逐级降频。
- **Fair share :** 频率档位比较多的 cooling device 优先降频。
- **Userspace:** 不限制频率。

RK3568芯片内部有T-sensor检测片内温度，默认使用Power\_allocator的策略

### 4.2.2 温度控制配置

RK3568 SDK中可以针对CPU和GPU分别提供温控策略，具体配置请参考《Rockchip\_Developer\_Guide\_Thermal\_CN.pdf》。

## 4.3 电路热设计参考

#### 4.3.1 电路原理图热设计参考

- 在保证稳定性前提下，提供整体电源效率，比如少用高压差的LDO，减少电源自身在电源转换过程中产生的热量
- 根据实际产品，芯片不用的模块尽量不供电或让软件做power down处理
- 选用导热系数大的材料，根据产品定义，使用环境等条件重新按《散热片尺寸计算》进行估算需要采用的散热器大小，建议尽量采用更大的散热器

#### 4.3.2 PCB热设计参考

RK3568的产品中，RK3568芯片是发热量最大的器件，所有的散热处理都以芯片为主要对象。

除RK3568外，其它主要发热器件有：PMIC、充电IC及所用电感、背光IC及所用电感。

- 合理的结构设计，能保证机器内部与外界空气有热交换途径。
- 整体布局时，大功耗或易产生热量的器件均匀分布，避免局部过热，建议RK3568和RK809-5适当放置，不要太靠近也不能离的太远，建议间隔20mm-50mm之间，两者尽量不放置在板边，对散热不利。
- 建议采用6层板以上，尽量增加板子含铜量，建议采用1oz的铜厚，尽量多层为地平面，其它层满足电源以及信号走线外，也尽量铺成地平面，借助大面积的铜箔散热。
- RK3568 VDD\_LOGIC, VDD\_GPU, VDD\_NPU, VDD\_CPU, VCC\_DDR几路电流比较大，走线或覆铜必须满足载流能力，否则可能会增加温升
- 要求所以有EPAD的芯片，EPAD上面尽量打满过孔，临层必须为地平面，背面地铜皮尽量完整，背面铜皮建议做裸铜处理，有利于散热。
- RK3568芯片GND管脚在顶层走“井”字形，交叉连接，建议走线线宽10mil，有利于芯片散热
- RK3568芯片的GND管脚，建议尽量保证每个ball都有对应一个地过孔，至少保证每1.5个ball对应一个过孔，增加导热途径，临层必须为地平面，有利于芯片散热。
- RK3568芯片背面去耦电容地焊盘，建议采用全覆铜，不要采用花孔连接，尽量使地铜皮完整，以提高散热
- 空旷地方，在不破坏电源层条件下，尽量增加地过孔，增加导热途径，以提高散热

## 5 ESD/EMI防护设计

### 5.1 概述

本章对于RK3568产品设计中的ESD/EMI防护设计给出了建议，帮助客户更好的提高产品的抗静电、抗电磁干扰水平。

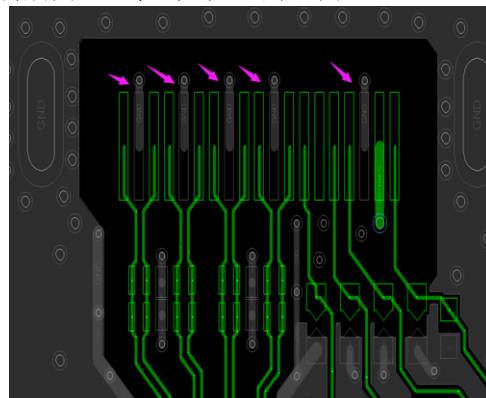
### 5.2 术语解释

本章中的术语解释如下：

- ESD (Electro-Static discharge): 静电释放；
- EMI (Electromagnetic Interference): 电磁干扰，包括传导干扰和辐射干扰两部分；

### 5.3 ESD 防护

- 从模具上做隔离，接插件能内缩的尽量内缩于壳体内，让静电释放到内部电路上的距离变长，能量变弱，测试标准由接触放电条件变为空气放电等。
- 在PCB布局时做好敏感器件的保护，隔离；
- 布局时尽量将RK3568芯片及核心部件放在PCB中间，不能放在PCB中间的需要保证屏蔽罩离板边至少2MM以上的距离，且要保证屏蔽罩能够可靠接地；
- 应该按功能模块及信号流向来布局PCB，各个敏感部分相互独立，对容易产生干扰的部分最好能隔离；
- 要求合理摆放应对ESD器件，一般要求摆在源头，即ESD器件摆放在接口处或静电释放处；
- 元件布局远离板边且距插接件有一定距离；
- PCB表面一定要有良好的GND回路，各接插件在表层都要有较好的GND连接回路。有加屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地。要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线；
- 表层板边不走线且多打地孔；
- 必要时要做好信号跟地之间的隔离；
- 多露铜，以便加强静电释放效果，或者便于增加加泡棉等补救措施
- 如果有经连接器实现板对板连接时，建议全部信号串接一定阻值的电阻(2.2ohm-10ohm之间，具体以能满足SI测试为准)，以及预留TVS器件，可提升抗静电浪涌能力
- RK3568 nPOR管脚的100nF电容必须靠近管脚放置，电容的地焊盘必须有一个0402地过孔，空间允许建议打两个以上，更良好的接地。
- 关键信号比如Reset, 时钟，中断等敏感信号与板边距离不得小于5mm
- 其它外围芯片如果有带Reset管脚，建议增加100nF电容必须靠近管脚，电容的地焊盘必须有一个0402地过孔，空间允许建议打两个以上，更良好的接地。
- 整机设计为浮地设备时，建议各接口不要分地设计。
- 机器外壳为金属时，电源是三孔，要求金属外壳必须良好连接大地
- 预留屏蔽罩位置，屏蔽罩的应尽量跟表层地相连，并在屏蔽罩焊接处多打地孔接地，要做到这一点，就要求各个连接座部分在表层不要走线，也不要出现大范围切断表层铜皮的走线
- 从PCB上进行隔离，让静电只能释放在部分区域，比如座子地管脚单独过孔和内层的地层连接，对表层的PCB进行Keepout，表层的地铜皮和管脚尽量远离，即让敏感信号远离静电易放电区域（表层地铜皮）等等，如图在表层隔离HDMI信号与GND的距离



## 5.4 EMI 防护

- 电磁干扰三要素：干扰源、耦合通道及敏感设备。我们不能处理敏感设备，所以处理EMI就只能从干扰源跟耦合通道入手了。解决EMI问题，最好的方式就是消除干扰源，消除不了的就想办法切断耦合通道或者避免天线效应；
- PCB上干扰源一般很难完全消除，可以通过滤波、接地、平衡、阻抗控制，改善信号质量(如端接)等方法来应对。各种方法一般会综合运用，但良好的接地是最基本的要求；
- 常用应对EMI材料有屏蔽罩，专用滤波器，电阻，电容，电感，磁珠，共模电感/磁环，吸波材料，展频器件等；
- 滤波器选择原则：若负载(接收器)为高阻抗(一般的单端信号接口都是高阻抗，比如SDIO, RBG, CIF等)，则选择容性滤波器件并入线路；若负载(接收器)为低阻抗(比如电源输出接口)，则选择感性滤波器件串入线路。使用滤波器件后不能使信号质量超出其SI许可范围。差分接口一般使用共模电感来抑制EMI；
- PCB上屏蔽措施需良好接地，不然可能会引起辐射泄露或者屏蔽措施形成了天线效应，连接器的屏蔽需符合相关技术标准；
- RK3568展频的能分模块使用。展频的程度需根据相关部分对信号的要求而定。具体措施见RK3568展频说明；
- DDR3\_CLKP/N, DDR4\_CLKP/N, LPDDR3\_CLKP/N之间RC的电路，不得删减，可改善EMI
- 所有时钟串接的匹配电阻，建议保留，提供匹配阻抗，提高信号质量的改善措施
- DC电源输入处，有条件可预留电源共模电感或EMI滤波器
- USB, HDMI, VGA, 屏连接座等接口处增加预留共模电感或滤波电路
- 有加散热器时，要注意散热器也有可能耦合EMI能量，产生辐射，在选用散热器时除了满足热设计要求，还应满足EMI测试要求。散热器要预留接地条件，当有需要接地时，将散热器接地，此处不好明确接地点个数及怎么选择接地点，需要第一个版本硬件在实验室实际测试时依据实际情况整改。
- EMI跟ESD对LAYOUT的要求有高度一致性，前述ESD的LAYOUT要求，大部分适用于EMI防护。另外增加下面的要求：
  - 尽量保证信号完整性；
  - 差分线要做好等长及紧密耦合，保证差分信号的对称性，以尽量减少差分信号的错位跟时钟，避免转化成引起EMI问题的共模信号；
  - 有插座器件等带金属壳器件的元件，应避免耦合干扰信号从而辐射。也要避免器件的干扰信号从壳体耦合到其他信号线
  - 所有时钟串接的匹配电阻靠近CPU端(源端)，CPU管脚和电阻之间走线必须控制在400mil以内。
  - 如果PCB超过4层板，建议让所有时钟信号尽量走内层
  - 防止电源辐射，电源层覆铜必须内缩，以一个H(电源和地之间的介质厚度)为单位，建议内缩20H

## 6 焊接工艺

### 6.1 概述

RK3568芯片为ROHS指令认证产品，即均是Lead-free产品。本章规范了客户端在用RK3568芯片SMT时各个时间段温度的基本设置，主要介绍客户在使用RK3568芯片回流焊时的工艺控制：主要是无铅工艺和混合工艺两类。

### 6.2 术语解释

本章中的术语解释如下：

- Lead-free: 无铅工艺；
- Pb-free: 无铅工艺，所有器件（主板、所有IC、电阻电容等）均为无铅器件，并使用无铅锡膏的纯无铅工艺；
- Reflow profile: 回流焊；
- Restriction of Hazardous Substances (ROHS): 关于限制在电子电器设备中使用某些有害成分的指令；
- Surface Mount Technology (SMT): 表面贴装技术；
- Sn-Pb: 锡铅混合工艺，指使用有铅锡膏和既有无铅BGA也有有铅IC的混合焊接工艺；

### 6.3 回流焊要求

#### 6.3.1 焊膏成分要求

Solder 合金与flux 比重为90%: 10%; 体积比为: 50%: 50%，锡膏冷藏温度2~10°C，使用前应常温下回温，回温时间3~4小时并做好时间记录。

刷板前锡膏需要搅拌，手工搅拌3~5分钟或机械搅拌3分钟，搅拌后呈自然垂流状。

#### 6.3.2 SMT曲线

由于RK3568芯片均采用环保材料，建议使用Pb-Free工艺。下图回流焊曲线仅为JEDEC J-STD-020D工艺要求推荐值，客户端需根据实际生产情况进行调整。

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
<b>Preheat &amp; Soak</b>		
Temperature min ( $T_{smin}$ )	100 °C	150 °C
Temperature max ( $T_{smax}$ )	150 °C	200 °C
Time ( $T_{smin}$ to $T_{smax}$ ) ( $t_s$ )	60-120 seconds	60-120 seconds
Average ramp-up rate ( $T_{smax}$ to $T_p$ )	3 °C/second max.	3 °C/second max.
Liquidous temperature ( $T_L$ )	183 °C	217 °C
Time at liquidous ( $t_L$ )	60-150 seconds	60-150 seconds
Peak package body temperature ( $T_p$ )*	See classification temp in Table 4.1	See classification temp in Table 4.2
Time ( $t_p$ )** within 5 °C of the specified classification temperature ( $T_c$ )	20** seconds	30** seconds
Average ramp-down rate ( $T_p$ to $T_{smax}$ )	6 °C/second max.	6 °C/second max.
Time 25 °C to peak temperature	6 minutes max.	8 minutes max.

\* Tolerance for peak profile temperature ( $T_p$ ) is defined as a supplier minimum and a user maximum.  
\*\* Tolerance for time at peak profile temperature ( $t_p$ ) is defined as a supplier minimum and a user maximum.

图 6 - 1 回流焊曲线分类

Package Thickness	Volume mm <sup>3</sup> <350	Volume mm <sup>3</sup> 350 - 2000	Volume mm <sup>3</sup> >2000
<1.6 mm	260 °C	260 °C	260 °C
1.6 mm - 2.5 mm	260 °C	250 °C	245 °C
>2.5 mm	250 °C	245 °C	245 °C

图 6 - 2 无铅工艺器件封装体耐热标准

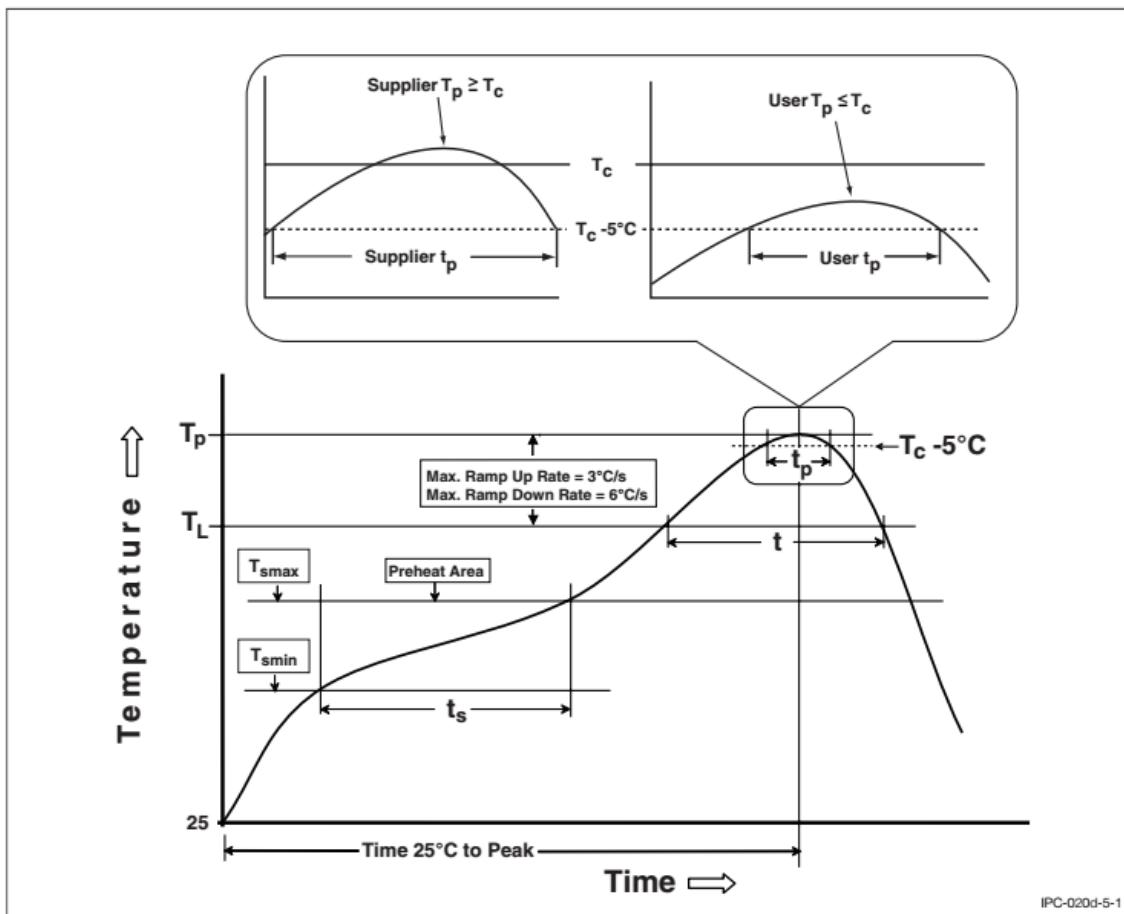


图 6-3 无铅回流焊接工艺曲线

### 6.3.3 SMT建议曲线

我司建议的SMT曲线如图6-4所示：

Step 1 Board Preheat	Step 2 Soak Time	Step 3 Peak Reflow & Time Above 220 °C	Step 4 Cool Down
Start with solder joint temp $\leq 40^\circ\text{C}$	After nozzle is lowered prior to peak reflow (Soak Time: Paste dependant; consult paste manufacturer)	Solder Joint Temp 230 – 250°C Above $\geq 217^\circ\text{C}$ 60 – 90 sec Max delta-t of solder joint temperature at peak reflow $\leq 10^\circ\text{C}$	Substrate MAX Temperature $\leq 260^\circ\text{C}$ Die Peak Temperature $\leq 300^\circ\text{C}$
Rising Ramp Rate: 0.5 – 2.5° C / Sec.	Solder Joint Temp: 200 to 220°C		Cooling Ramp Rate -0.5 to – 2.0°C/sec
Board Preheat Solder Joint Temp: 125 – 150°C	Critical Ramp Rate (205 to 215°C): 0.35 – 0.75°C/sec.	Peak Temp Range, and Time Above $\geq 217^\circ\text{C}$ spec's met.	PCB land/pad temperature needs to be at 100 – 130°C $\pm 5^\circ\text{C}$ when removing board from rework machine bottom heater at end of component removal operation or $\leq 80^\circ\text{C}$ when using stand alone PCB Pre-Heater for PCB land/pad site dress operation.
Preheat with bottom heater, before nozzle is lowered	Nozzle has lowered to reflow component	Nozzle is down during peak reflow	Nozzle raises to home position when solder joint reaches peak temp range

图 6-4 无铅回流焊接工艺建议曲线参数

## 7 包装和存放条件

### 7.1 概述

规定了RK3568的存放和使用规范，以确保产品的安全和正确使用。

### 7.2 术语解释

本章中的术语解释如下：

- Desiccant: 干燥剂，用于吸附潮气的一种材料；
- Floor life: 产品允许暴露在环境中的最长时间，从在拆开防潮包装到回流焊之前；
- Humidity Indicator Card (HIC): 湿度指示卡；
- Moisture Sensitivity Level (MSL): 潮敏等级；
- Moisture Barrier Bag (MBB): 防潮包装袋；
- Rebake: 重新烘烤；
- Solder Reflow: 回流焊；
- Shell Life: 存储期限；
- Storage environment: 存放环境；

### 7.3 防潮包装

产品的干燥真空包装材料如下：

- 干燥剂；
- 六点湿度卡；
- 防潮袋，铝箔，银色不透明，带有湿敏等级的标识；



图 7-1 芯片干燥真空包装

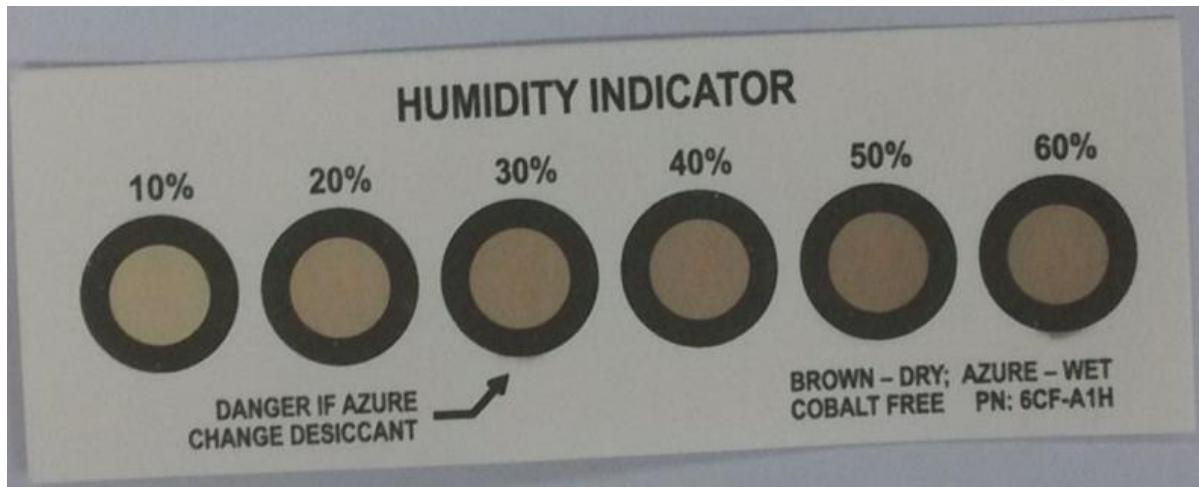


图 7-2 六点湿度卡

## 7.4 产品存放

### 7.4.1 存放环境

产品真空包装存放，在温度 $\leq 40^{\circ}\text{C}$ 且相对湿度 $< 90\%$ 时，保存期限可达12个月。

### 7.4.2 暴露时间

在环境条件 $< 30^{\circ}\text{C}$ 和湿度60%下，请参照如下表7-1。

RK3568芯片MSL等级为3，对湿度非常敏感。如果拆包装后没有及时使用，且长时间放置后未烘烤贴片，会大概率出现芯片失效。

表 7-1 暴露时间参照表 (MSL)

MSL等级	暴露时间	
	工厂环境条件: $\leq 30^{\circ}\text{C} / 60\% \text{RH}$	
1	Unlimited at $\leq 300^{\circ}\text{C} / 85\% \text{RH}$	
2	1年	
2a	4周	
3	168小时	
4	72小时	
5	48小时	
5a	24小时	
6	Mandatory bake before use, and must be reflowed within the time limit specified on the label.	

## 7.5 潮敏产品使用

RK3568芯片在包装袋被打开后，芯片回流焊前必须符合如下条件：

- 连续或累计暴露时间在168小时内，且工厂环境为 $\leq 30^{\circ}\text{C} / 60\% \text{RH}$ ；
- 保存在 $< 10\% \text{ RH}$ 环境下的；

在下述情况下，芯片必须进行烘烤去除内部湿气，以避免回流焊时产生分层或爆米花问题：

- 湿度指示卡在 $23 \pm 5^{\circ}\text{C}$ 时， $> 10\%$ 的点已变色。(颜色变化请参考湿度指示卡标示)；
- 未符合2a或2b的规范；

芯片重新烘烤的时间请参考如下表7-2所示：

表 7-2 RK3568 Re-bake参考表

Package Body	MSL	High Temp Bake @125°C +10/-0°C		Medium Temp Bake @90°C +8/-0°C		Low Temp Bake @40°C +5/-0°C	
		Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h	Exceeding Floor Life by > 72h	Exceeding Floor Life by ≤ 72h

							≤ 72h
Thickness ≤1.4mm	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days



### 注意

此表中显示的均是受潮后，必须的最小的烘烤时间。  
重新烘烤优先选择低温烘烤。

---