```verilog
`timescale 1ns / 1ps
//////////////////////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date:       17:48:30 10/04/2015
// Design Name:
// Module Name:       Tftseg_decoder
// Project Name:
// Target Devices:
// Tool versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
//////////////////////////////////////////////////////////////////////////////////
module Tftseg_decoder(
    input [3:0] switch,
    output [14:0] display,
    output [3:0] ftsd_ctl,
    output [3:0] Led_out
    );


    reg [14:0] display;
     reg [3:0] ftsd_ctl;
     reg [3:0] Led_out;



    always@(switch)
        begin
          ftsd_ctl=4'b0111;
          Led_out=switch;
```

```verilog
case(switch)

  4'b0000: begin
                display=15'b0000_0011_1111_111;

        end

4'b0001: begin
                display=15'b1111_1111_1011_011;

        end

  4'b0010: begin
                display=15'b0010_0100_1111_111;

                    end

  4'b0011: begin
                display=15'b0000_1100_1111_111;

        end

  4'b0100: begin
                display=15'b1001_1000_1111_111;

        end

  4'b0101: begin
                display=15'b0100_1000_1111_111;

        end

4'b0110: begin
                display=15'b0100_0000_1111_111;

        end

4'b0111: begin
```

```verilog
                    display=15'b0001_1011_1111_111;

            end



4'b1000: begin
                    display=15'b0000_0000_1111_111;

            end



    4'b1001: begin
                    display=15'b0000_1000_1111_111;

            end

    4'b1010: begin
                    display=15'b0111_0000_1111_111;

            end

    4'b1011: begin
                    display=15'b0111_0000_1111_111;

            end

4'b1100: begin
                    display=15'b0111_0000_1111_111;

            end



4'b1101: begin
                    display=15'b0111_0000_1111_111;

            end
```

```verilog
    4'b1110: begin
               display=15'b0111_0000_1111_111;

         end

  4'b1111: begin
               display=15'b0111_0000_1111_111;

         end



    endcase
     end

endmodule
```