

Integrated Circuit Design Homework 3

Innovus

● 作業說明

本次作業目的是讓大家練習使用 Innovus，將 HW2 的 gate level netlist 經 APR (Auto Place and Route) EDA tool 轉為 transistor level。

➤ 若自己 HW2 的 code 無法完成 APR，可以寄信給助教，助教會給你另外一份寫好的 gate level code，完成 APR 練習並繳交相關檔案，可以獲得本次作業的基本分數(60 分)。

● 操作步驟

請參考上課投影片 20200513_T5_innovus.pdf

模擬時請記得將 testbench 中的 SDF 檔改成 APR 產生的 imgproc_APR.sdf

● 繳交檔案

Type	File Name	Description
APR	imgproc_APR.v	Netlist generated by Innovus
	imgproc_APR.sdf	Post-layout sdf
	imgproc_APR.gds	GDSII Layout file
Report	ICD_HW3_studentID.pdf	內需包含模擬結果的截圖及 APR 過程截圖。

➤ 請將以上檔案放入 HW3_studentID 資料夾內，並壓縮成 zip 格式上傳

➤ 如果檔案太大無法上傳 Ceiba，請先上傳除 GDS 外的檔案，並將 GDS 另外寄給助教

➤ Report

1. 使用 Innovus 完成以下步驟後分別截圖（可參考步驟投影片）
 - i. Floorplan
 - ii. Full placement
 - iii. Power ring & Power stripe
 - iv. Special Route
 - v. NanoRoute
2. Post-APR simulation 通過截圖
3. 通過 Post-APR simulation 的 cycle time
4. Area report 中的 total area of core 數值