**Integrated Circuit Design Homework 3**

**Innovus**

* 作業說明

本次作業目的是讓大家練習使用 Innovus，將HW2的 gate level netlist 經 APR (Auto Place and Route) EDA tool 轉為 transistor level。

* 若自己HW2的 code 無法完成 APR，可以寄信給助教，助教會給你另外一份寫好的 gate level code，完成 APR 練習並繳交相關檔案，可以獲得本次作業的基本分數(60分)。
* 操作步驟

請參考上課投影片20200513\_T5\_innovus.pdf

模擬時請記得將testbench中的SDF檔改成APR產生的imgproc\_APR.sdf

* 繳交檔案

|  |  |  |
| --- | --- | --- |
| Type | File Name | Description |
| APR | imgproc\_APR.v | Netlist generated by Innovus |
| imgproc\_APR.sdf | Post-layout sdf |
| imgproc\_APR.gds | GDSII Layout file |
| Report | ICD\_HW3\_studentID.pdf | 內需包含模擬結果的截圖及APR 過程截圖。 |

* 請將以上檔案放入HW3\_studentID資料夾內，並壓縮成zip格式上傳
* 如果檔案太大無法上傳Ceiba，請先上傳除GDS外的檔案，並將GDS另外寄給助教
* Report

1. 使用 Innovus 完成以下步驟後分別截圖 （可參考步驟投影片）
   * 1. Floorplan
     2. Full placement
     3. Power ring & Power stripe
     4. Special Route
     5. NanoRoute
2. Post-APR simulation 通過截圖
3. 通過 Post-APR simulation 的 cycle time
4. Area report中的total area of core數值