軟體品質管理課程專案規劃

1. 專案名稱:

PLL頻率測量

1. 動機與背景:

電子領域隨著時代的進度以及技術部段的更新無論餘製成亦或技術上，演進速度可謂極為快速，故電子產品的趨勢逐為設計功能強大、低功耗、面積小以及速度快等要求。半導體的製程技術隨時代的進步亦由0.8um持續演進到45nm或更為高階的製程，影響了語音、影像、通訊亦或遊戲電玩以及家電等等諸如此類之電子產品。因製程越先進也使得晶片複雜度提升，訊號的時脈頻率亦跟隨電路的速度而不斷的提升，故於晶片內部系統時代的同步對於訊號的品質突顯出重要性。

目標:

在系統電路設計上，多數使用時脈訊號作為電路時序的基準，時脈訊號工作頻率與週期上需要高精準度來配合實現。基於CMOS製程技術的提升，近來年電路數位化趨勢不段攀升，有別於以往採類比式鎖相迴路來實現電路的設計，類比式電路設計時間較長，以整合電路的觀點較為有難度，如雜訊干擾、訊號遮蔽以及電源穩定性等問題。故以全數位式電路設計達到最小干擾及高精準度。

參考資料與工具: IEEE、GitHub、Trello、GanttProject、yEd

組員工作分配:

邱俊逸-整體資訊系統架構與規劃

李榮家-初步資料查詢,資料統整