

國立中央大學

電機工程學系

超大型積體電路設計
期末報告

指導老師:鄭國興

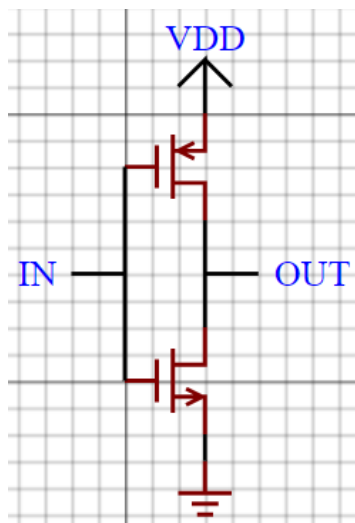
學生:曹寓恆

系級:電機碩一

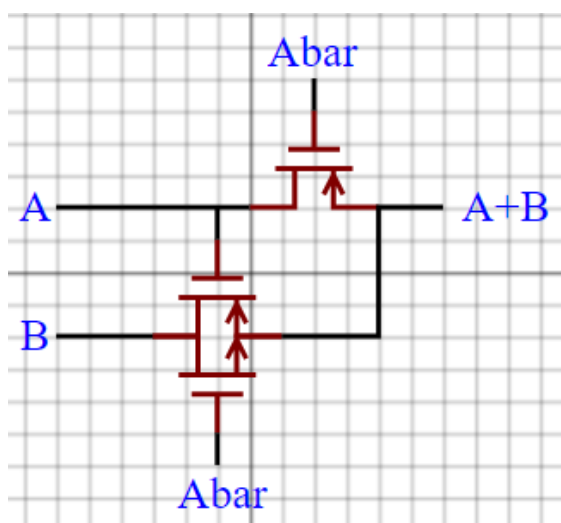
學號:110521167

中華民國一百一十一年一月

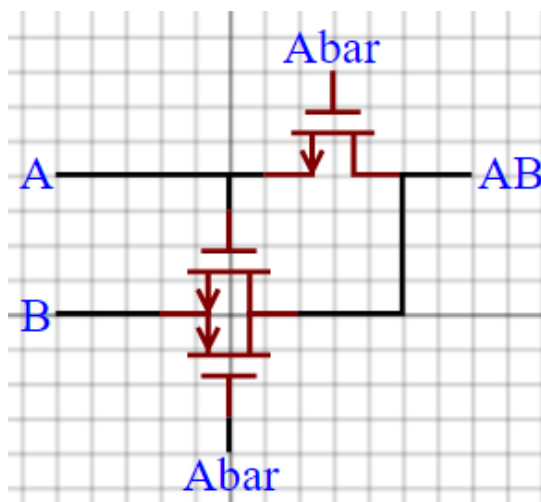
I. 電路架構



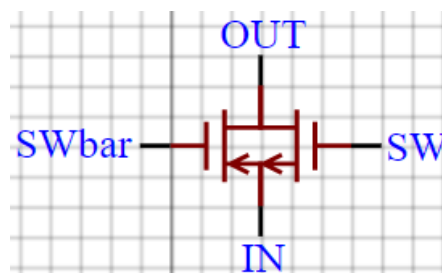
Inverter



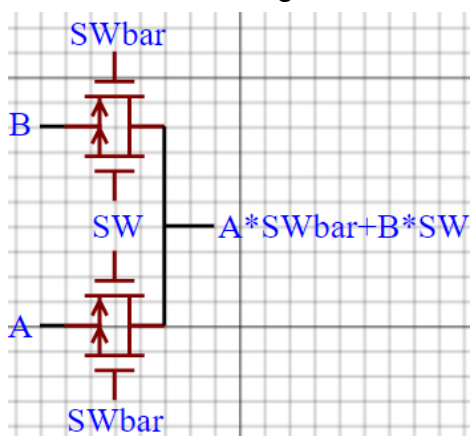
OR gate



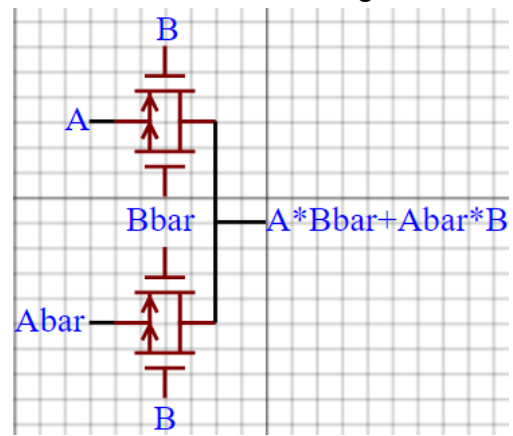
AND gate



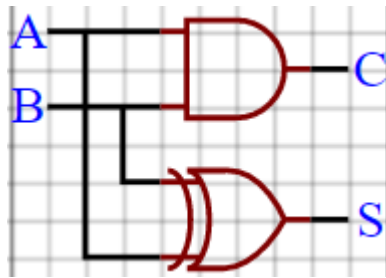
Transition gate



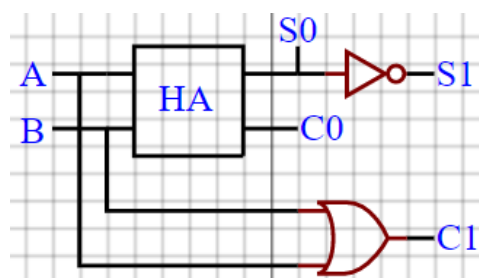
MUX



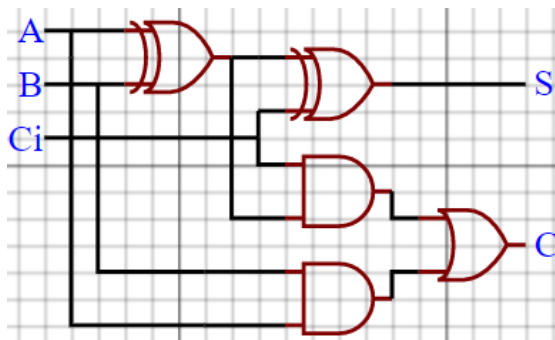
XOR



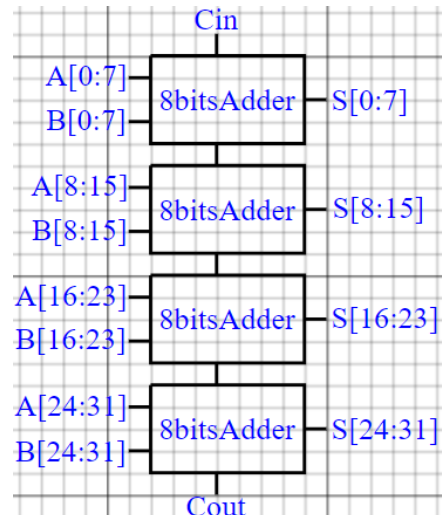
Half Adder



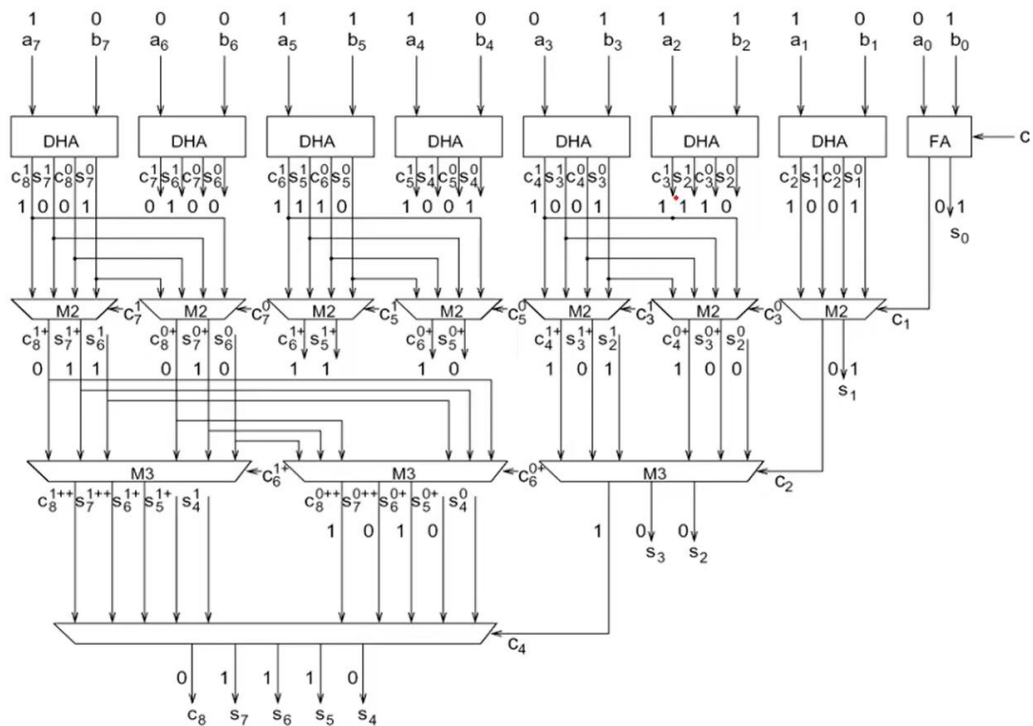
Dual H.A.



Full Adder



32Bits Adder

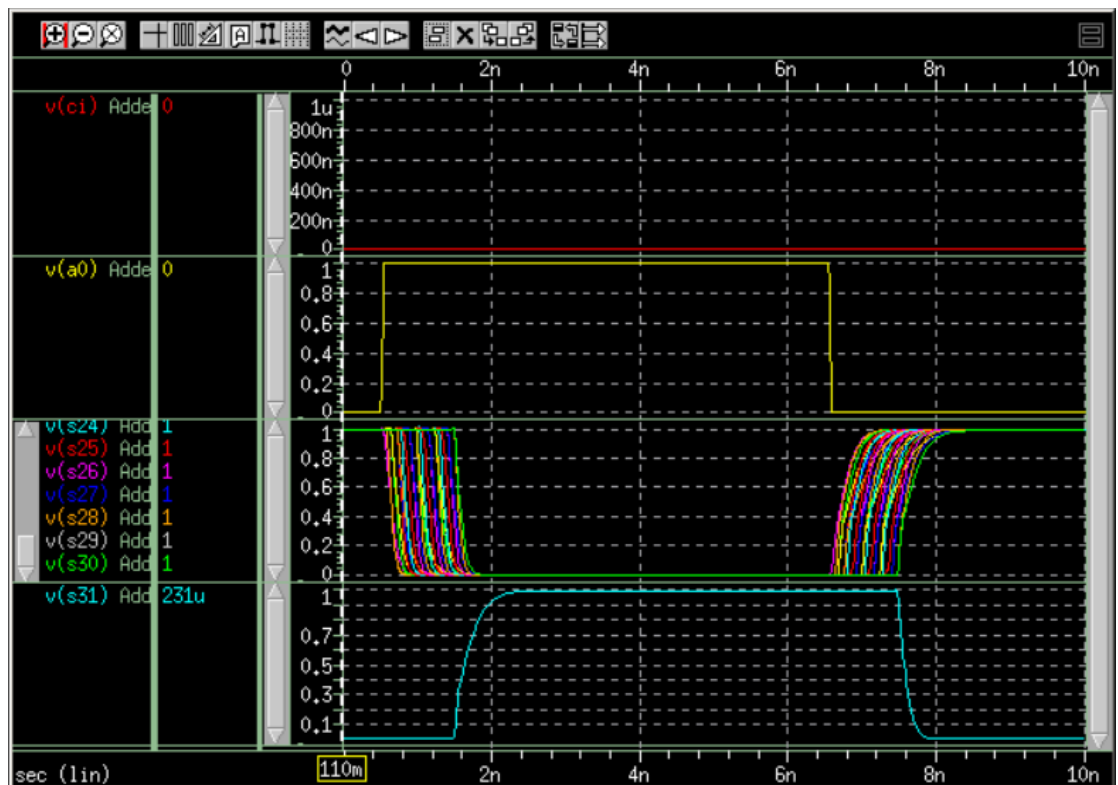


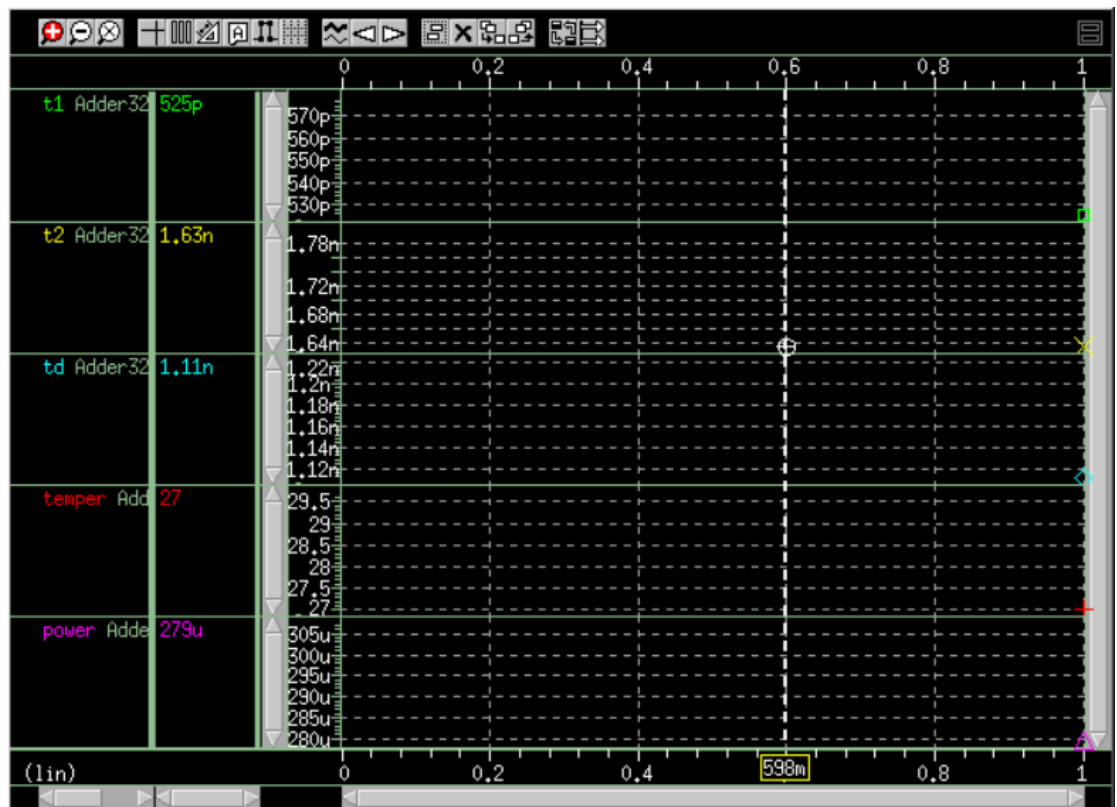
8Bits Adder

II. 電路說明

首先用傳輸閘搭配靜態邏輯閘作出基本邏輯閘，接著 8bits CSA 的部分，除了第一級以外都使用 D.H.A 算出 C_i 為 0 或 1 兩種情況的 S 和 C，第一級可以用 F.A. 直接算出 S0 和 C1，知道 C1 後將訊號送到 M2 選擇出正確的一組 S1 和 C2，第三級算出 0 和 1 兩組 S2 和 C3，各自送到連接 S3、C4 的 MUX，先算好 C3 為 0 時的 S3、C4 以及 C3 為 1 的 S3、C4，當前一級 C2 求出來後就能經由 C2 選擇出正確的一組 S2、S3、C4，後續 S[5:8] 依此類推。由於 8bits 以上 CSA 電路複雜度呈指數增長因此放棄全用 CSA，直接以 4 級 8bits adder 串接來實現 32bits adder。實驗的感想是 8bits CSA 級數太少不能體現優勢，8bits CSA 仍然需要三級的 delay，相較之下 carry look ahead 可能會表現得更好。

III. 模擬結果





Delay(Td)	1.11nS
功率消耗(power)	0.28mW

IV. 參考資料

1. [DSD course video Conditional sum adder and Carry lookahead adder](#)
– [YouTube](#)
2. 中央大學電機系數位積體電路設計講義—鄭國興
3. 同學的 AND、OR 設計