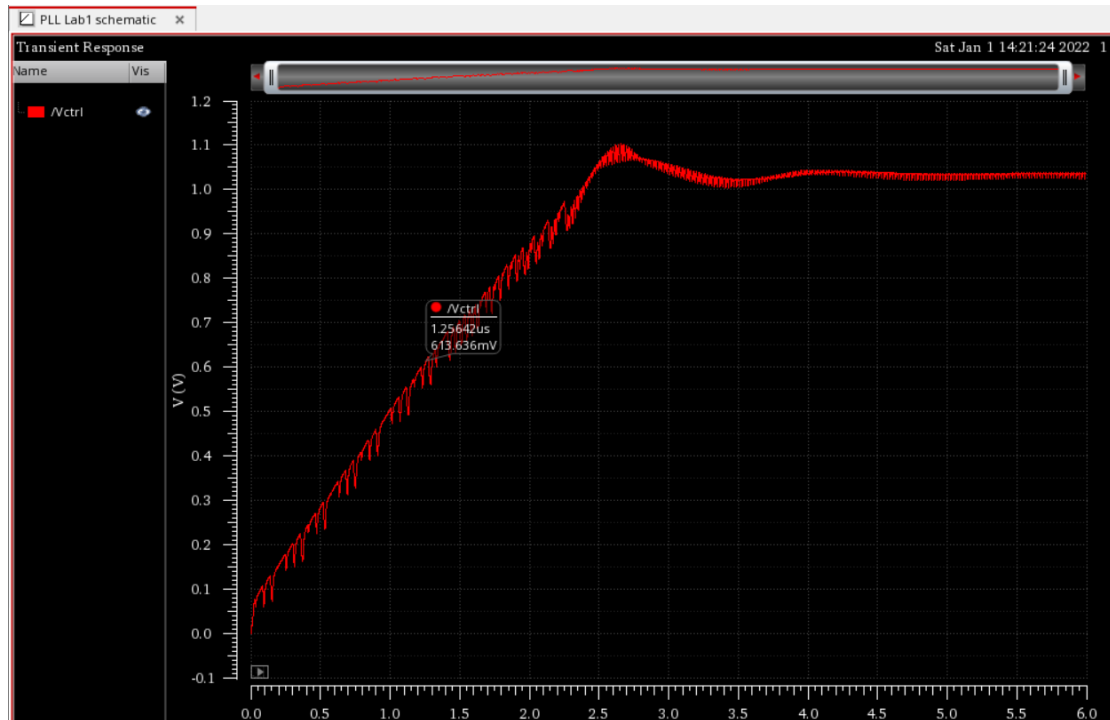


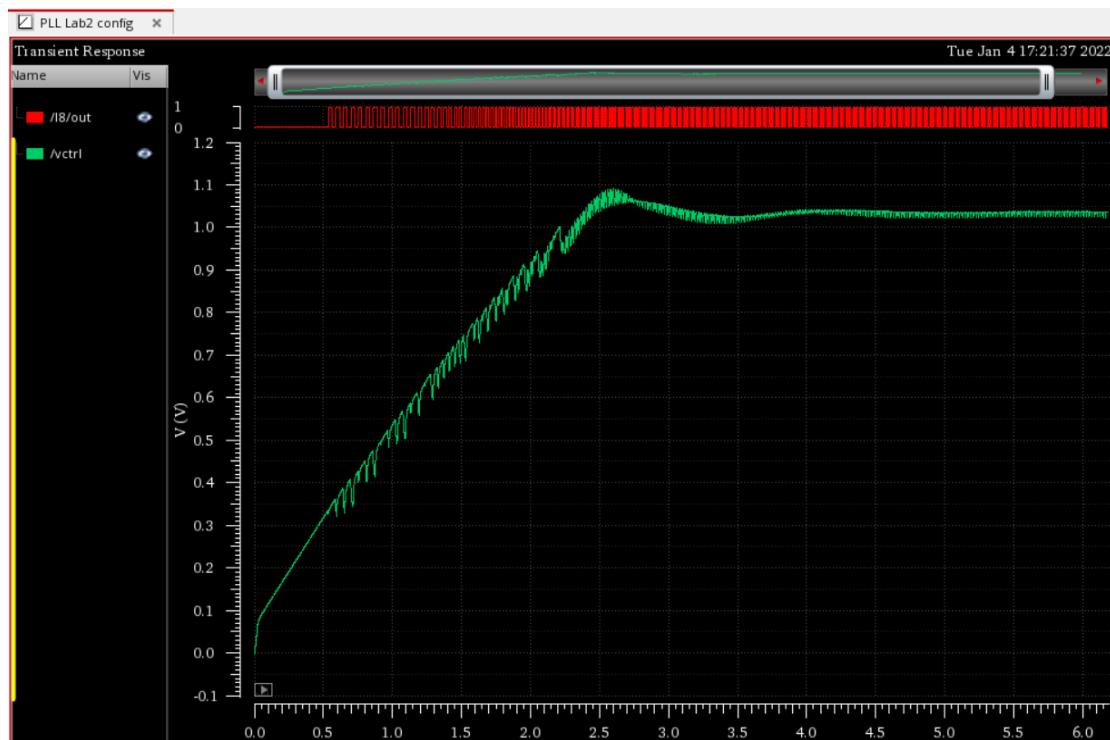
# B101016\_report

Simulation waveform:

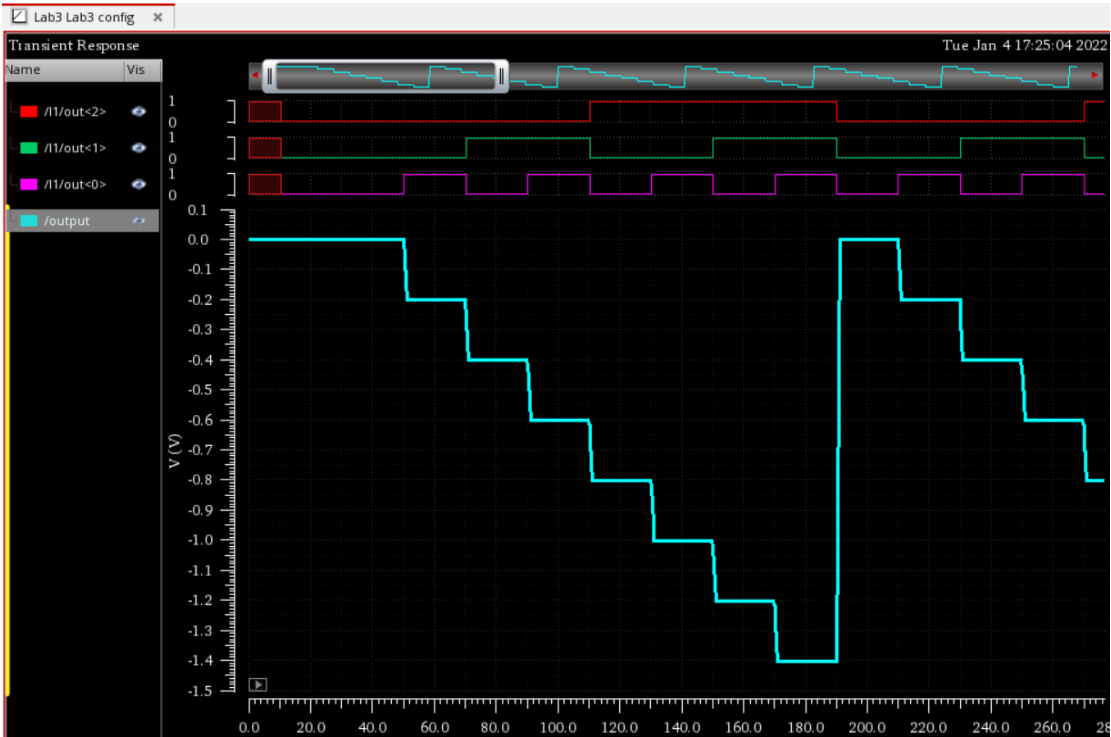
Lab1



Lab2:

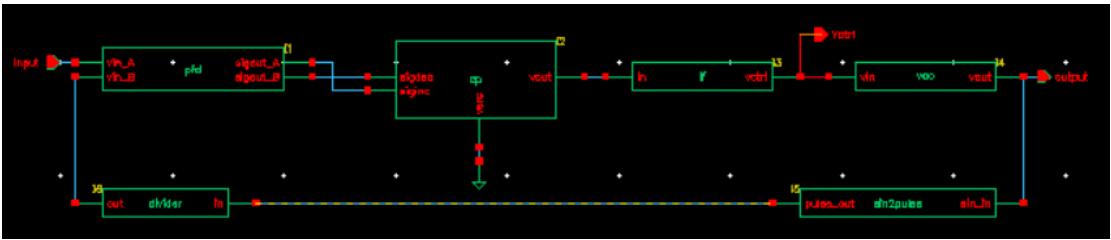


Lab3:

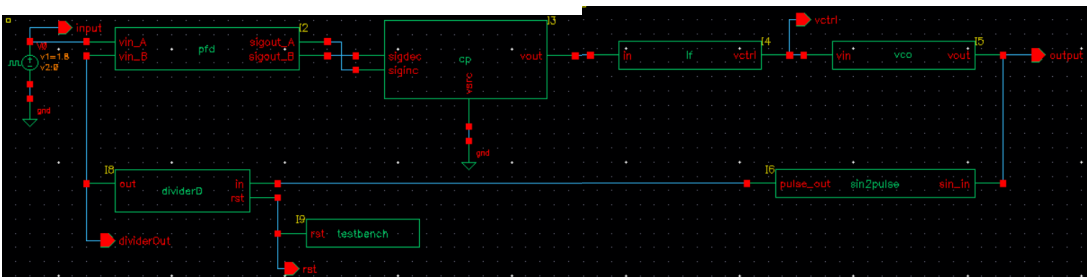


Cellview:

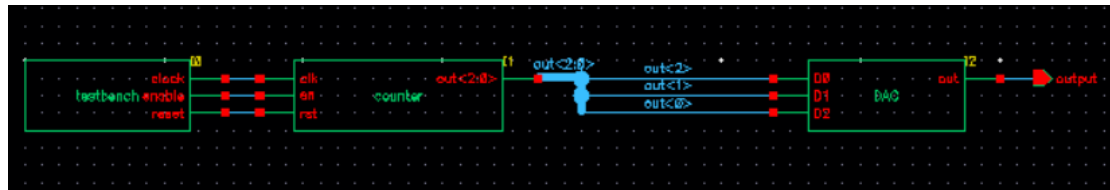
Lab1



Lab2



### Lab3



心得:

這次作業是我第一次用 virtuoso 模擬 analog 電路，我覺得相較於 hspice，verilog-A 只要知道電路的行為就可以直接套用數學式，像這次 DAC 中 OPA 的  $V_{in}$ 、 $V_{out}$  關係已知，因此開發速度非常快，唯一花比較多時間的是因為不太熟悉 verilog-A 的語法需要一邊寫一邊參考給的範例。然後之前接線沒有用過 bus，趁著這次作業學會了 bus 的使用方式。另外講義 24 頁 Import Digital Design 那邊不太清楚作用，找不到 import 路徑而且做作業時也沒有使用到。