

B101016_HW3_report

1. c1中reset後會從ST_1開始, 之後在ST_1~ST_3之間循環, 不會有到ST_0的機會, 導致c1的ST_0的指令不會被執行到, 因此相關的其他module也不會被執行到。

Name	Score	Line	Toggle	FSM
test	46.70%	48.93%	48.32%	42.86%
cc	41.52%	33.89%	47.83%	42.86%
a1	70.37%	100.00%	40.74%	
c1	45.08%	21.23%	71.15%	42.86%
r1	60.45%	80.00%	40.91%	

2. 根據第一題的結論, 針對ST_0中的16個case(含default)輸入16個test pattern可以在cc中達到一樣的coverage

Name	Score	Line	Toggle	FSM
test	46.10%	47.11%	48.32%	42.86%
cc	41.52%	33.89%	47.83%	42.86%
a1	70.37%	100.00%	40.74%	
c1	45.08%	21.23%	71.15%	42.86%
r1	60.45%	80.00%	40.91%	

3. 要把把ST_0中single cycle instruction的next_state設為ST_0, 接著ALU中有些計算上的"+"、 "-"是相反的要更正, 可以完成4'b0000~4'b0101的instruction。剩餘的未完成。
- 4.
5. 在這次作業中我學到了使用verdi追蹤verilog資料流向的方法, debug時主要使用的是drive和load的功能去追蹤賦值的情況, 再看nWave去看波形檢測功能是否正確, 但是nScema的功能我就比較少使用, 另外看line coverage和toggle可以很快地發現哪些段落沒有被執行到和哪些reg沒有toggle, 可以很快地抓出問題出在哪邊, 我覺得是很方便的一個功能。