

110521167 PA5 Report

Q1.

clock clk (rise edge)	1.00	1.00
clock network delay (ideal)	0.00	1.00
output external delay	0.00	1.00
data required time		1.00

data required time		1.00
data arrival time		-1.19

slack (VIOLATED)		-0.19

data required time	data arrival time	slack (VIOLATED)
1.00	-1.19	-0.19

Q2.

clock clk (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
output external delay	0.00	2.00
data required time		2.00

data required time		2.00
data arrival time		-2.00

slack (MET)		0.00

設定參數值

period	rising	falling
2.00	0	1

data required time	data arrival time	slack (VIOLATED)
2.00	-2.00	0.00

Q3.

```
Number of ports:      881
Number of nets:       7218
Number of cells:      6290
Number of combinational cells: 6274
Number of sequential cells: 0
Number of macros/black boxes: 0
Number of buf/inv:    1180
Number of references: 16

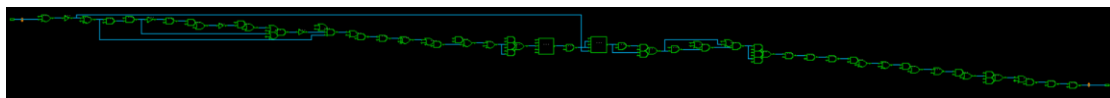
Combinational area:    7459.704008
Buf/Inv area:          635.208005
Noncombinational area: 0.000000
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:       7459.704008
Total area:            undefined
```

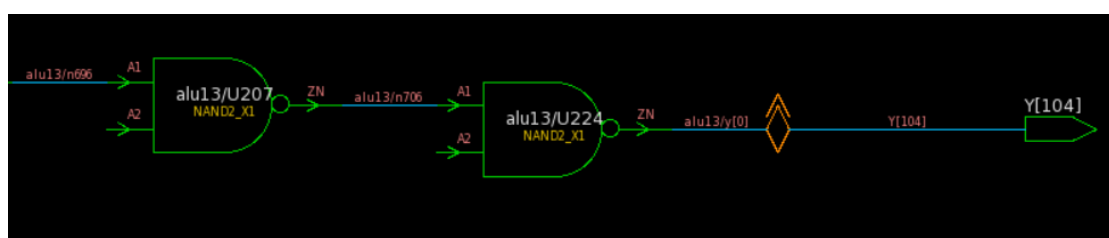
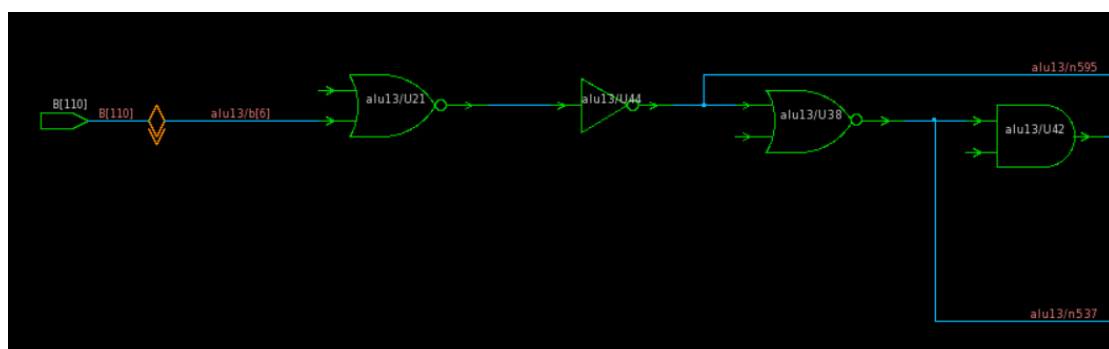
Total cell area = 7459.704008

Q4.

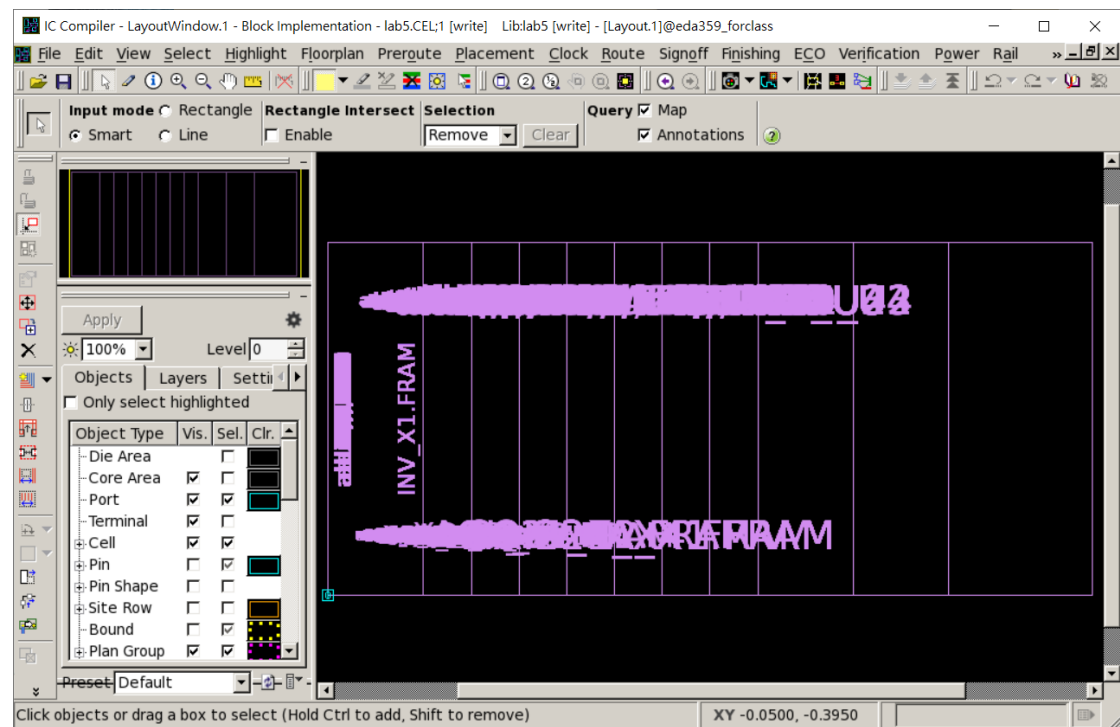
1. A full view.



2. Critical path is from B[110] to Y[104].

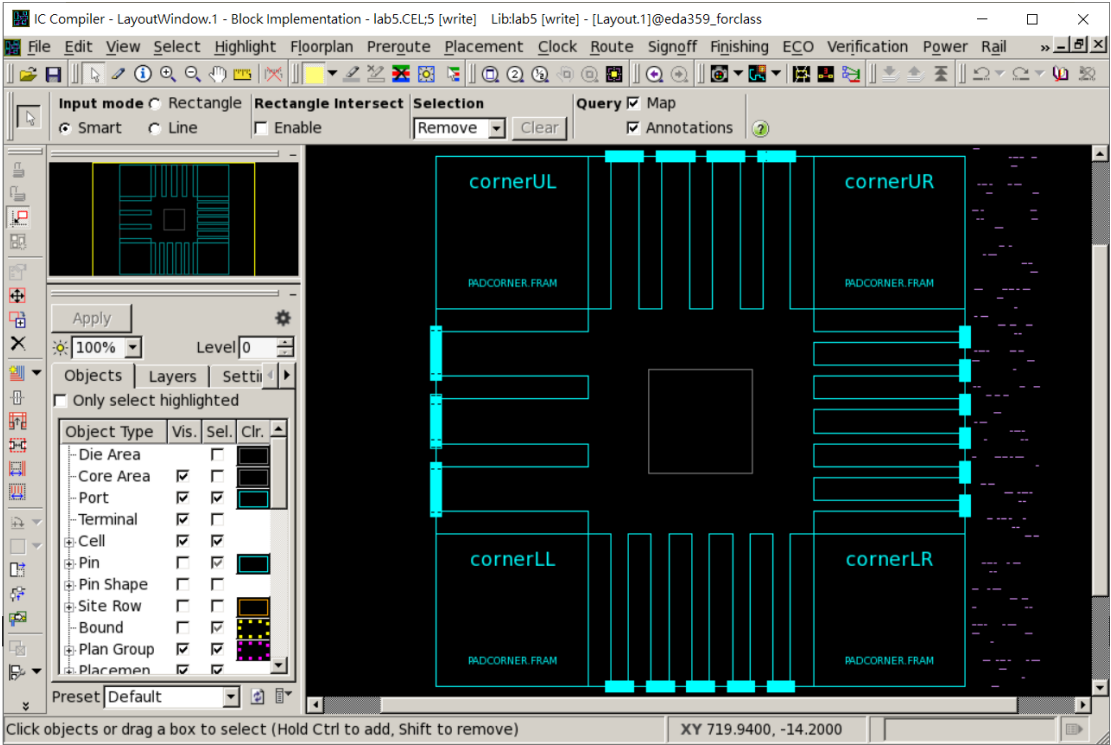


Q5.



Q6.

Q5 的視窗裡面放大看也只有一塊塊並排的 ALU，但是在 Q6 的視窗放大看可以看到許多 io_vss、io_vdd、core_vss、core_vdd 的小方塊，然後四周出現了 CORNER.FRAM。

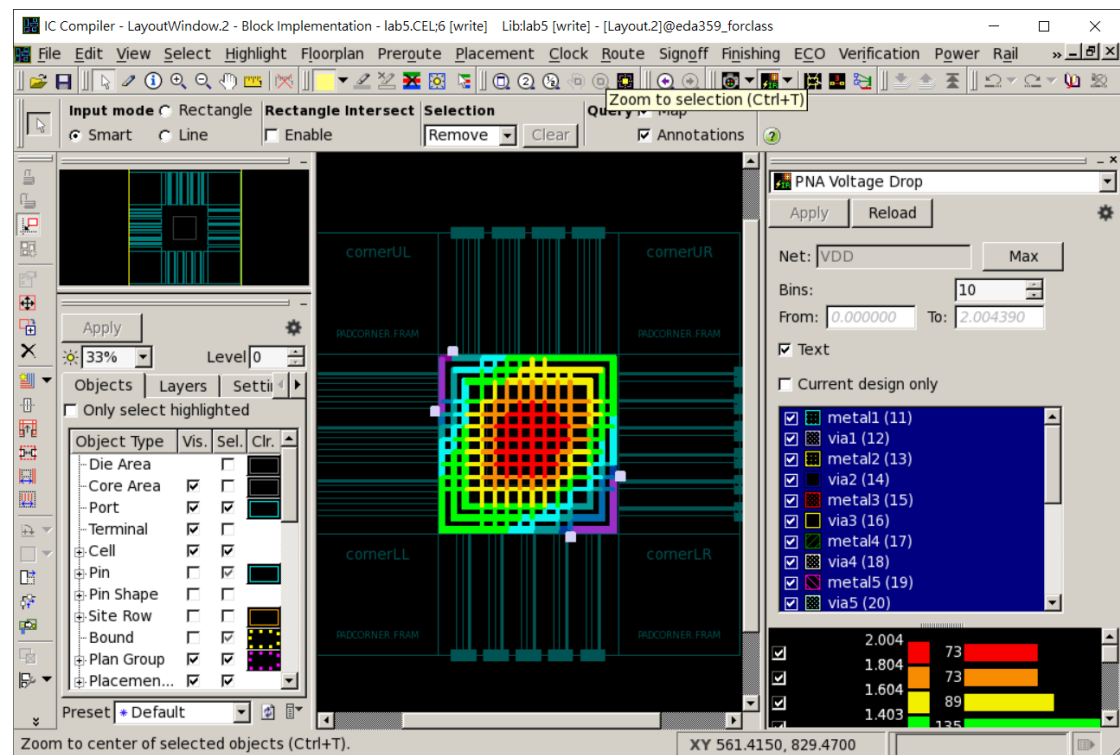


Q7.

```
icc_shell> derive_pg_connection -power_net {VDD} -ground_net {VSS} -power_pin {VDD} -ground_pin {VSS}
Information: connected 6278 power ports and 6278 ground ports
1
```

power ports	ground ports
6278	6278

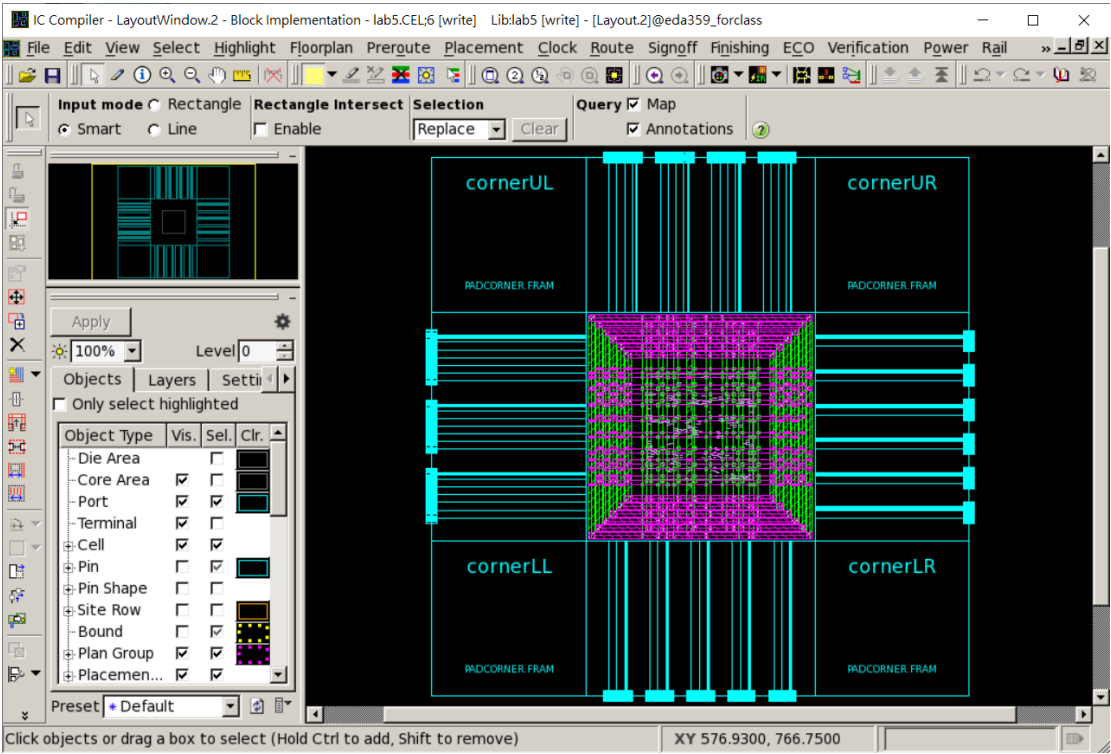
Q8.



IR drop:

I 是指電流 R 是指電阻，當電壓從四周的 VSS、VDD 流過導線，會因為導線本身具有電阻導致送到 cell 時的電壓下降，嚴重的 IR drop 可能會讓 cell 的邏輯錯誤，在這一張 IR drop map 中四周較靠近電源 IR drop 較不明顯，但中心的紅色部分的 IR drop 約為 2mV。

Q9.



Q10.

data arrival time		1.44
clock clk (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
output external delay	0.00	2.00
data required time		2.00

data required time		2.00
data arrival time		-1.44

slack (MET)		0.56

data required time	data arrival time	slack (VIOLATED)
2.00	-1.44	0.56

Q11.

data arrival time		2.00
clock clk (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
output external delay	0.00	2.00
data required time		2.00

data required time		2.00
data arrival time		-2.00

slack (MET)		0.00

data required time	data arrival time	slack (VIOLATED)
2.00	-2.00	0.00

Q12.

Power Group (%) Attrs	Internal Power	Switching Power	Leakage Power	Total Power

io_pad (0.00%)	0.0000	0.0000	0.0000	0.0000
memory (0.00%)	0.0000	0.0000	0.0000	0.0000
black_box (0.00%)	0.0000	0.0000	0.0000	0.0000
clock_network (0.00%)	0.0000	0.0000	0.0000	0.0000
register (0.00%)	0.0000	0.0000	0.0000	0.0000
sequential (0.00%)	0.0000	0.0000	0.0000	0.0000
combinational (100.00%)	1.1320e+03	1.1941e+03	1.7307e+05	2.4992e+03

Total uW	1.1320e+03 uW	1.1941e+03 uW	1.7307e+05 nW	2.4992e+03

Internal power	Switching power	Leakage power
1.132 mW	1.1941 mW	173.0678 uW

Q13.

data arrival time		2.00
clock clk (rise edge)	2.00	2.00
clock network delay (ideal)	0.00	2.00
output external delay	0.00	2.00
data required time		2.00

data required time		2.00
data arrival time		-2.00

slack (MET)		0.00

data required time	data arrival time	slack (VIOLATED)
2.00	-2.00	0.00

Q14.

Power Group (%)	Internal Power Attrs	Switching Power	Leakage Power	Total Power

io_pad (0.00%)	0.0000	0.0000	0.0000	0.0000
memory (0.00%)	0.0000	0.0000	0.0000	0.0000
black_box (0.00%)	0.0000	0.0000	0.0000	0.0000
clock_network (0.00%)	0.0000	0.0000	0.0000	0.0000
register (0.00%)	0.0000	0.0000	0.0000	0.0000
sequential (0.00%)	0.0000	0.0000	0.0000	0.0000
combinational (100.00%)	1.1670e+03	1.7483e+03	1.7363e+05	3.0889e+03

Total uW	1.1670e+03 uW	1.7483e+03 uW	1.7363e+05 nW	3.0889e+03

Internal power	Switching power	Leakage power
1.167 mW	1.7483 mW	173.6294 uW

看步驟上應該是對 power 進行優化，不過和 Q12 比較 Q14 的 total power 反而更多，為什麼會這樣我不是很清楚...

Q15.

```
Number of Undocumented Errors: 0
*****
Report : check_physical_design
Stage  : pre_clock_opt
Design : lab5
Version: N-2017.09-SP2
Date   : Fri Jun 17 06:03:44 2022
*****
Total messages: 0 errors, 31 warnings

-----
Warning Summary for check_physical_design
-----

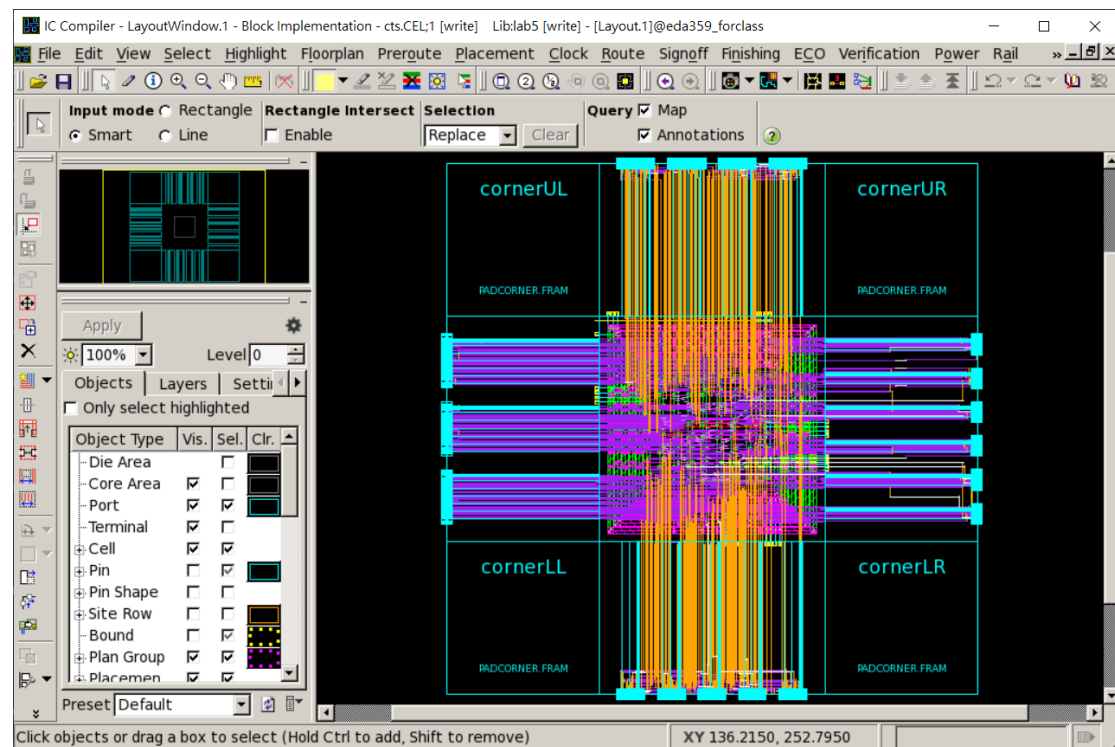
-----
ID              Occurrences  Title
-----
PSYN-523        29          Geometries are not integer multiple of width or...
TLUP-004         1          layer mis-match between TF and ITF (minWidth)
-----

-----
Other Warning Summary for check_physical_design
-----

-----
ID              Occurrences  Title
-----
TIM-164         1          The trip points for the library named %s differ...
```

沒有 Error，但是出現了 layer mis-match 之類的 Warning。

Q16.



DRC-SUMMARY:

```
@@@@@@@ TOTAL VIOLATIONS =      9116
Crossing top-cell boundary : 162
Diff net spacing : 1367
Diff net via-cut spacing : 34
Less than minimum width : 24
Same net spacing : 12
Short : 7443
Internal-only types : 74
```

```
[Iter 1] Elapsed real time: 0:58:42
[Iter 1] Elapsed cpu  time: sys=0:00:00 usr=0:58:43 total=0:58:44
[Iter 1] Stage (MB): Used   31  Allocctr   31  Proc    0
[Iter 1] Total (MB): Used   77  Allocctr   79  Proc 2038
```

End DR iteration 1 with 111 parts

在 route 過程中我觀察到會先跑 global router，這一個階段會有幾個 phase，接著是 detail router，這一個階段會跑好幾個 iteration，每一次都會讓 parts 更小一些，整個過程大概花了一個小時...

Q17.

```
Verify Summary:

Total number of nets = 6827, of which 0 are not extracted
Total number of open nets = 0, of which 0 are frozen
Total number of excluded ports = 0 ports of 0 unplaced cells connected to 0 nets
                                0 ports without pins of 0 cells connected to 0 nets
                                0 ports of 0 cover cells connected to 0 non-pg nets
Total number of DRCs = 3579
Total number of antenna violations = no antenna rules defined
Total number of voltage-area violations = no voltage-areas defined
Total number of tie to rail violations = not checked
Total number of tie to rail directly violations = not checked
```

The difficulties you encountered and how you solve
the problems

這次 assignment 中遇到最大的困難大概是當網路不穩或是其他原因導致 tool crash 時，reload 不見得會成功，像是做到 design planning 這一步時 crash，但是重開後 open desing->design_planning 並沒有回到那一步，也找不出原因和 reload 的方法，最後只好把整個 icc_lab 砍掉重做。

後來在 route 部分又發生 crash，這一次再打開 cts 就有成功回到那一步，可以直接接著重做 route。為什麼一次可以一次不行我還不知道原因，或許之後熟悉 tool 後可以知道更好的方法去解決 crash 後 reload 的方法。

What I Learn from this assignment.

我覺得能實際跑一次流程還蠻有意思的，以前在其它堂課寫 floorplanner、standard cell legalization、router 時，只會產生紀錄座標之類的 output file，這次看到商用的 tool 把這些參數圖像化感覺很酷，能實際看到了這些東西對電路進行了甚麼動作，還有電路產生的變化，放大視窗還能看到一個個的 cell、wire，如果之後要從事電路設計想必還會看到很多次這些東西。

第二個是在整個過程中 tool 執行時間最久的是 route 的部分，這麼小的一個電路也需要跑這麼久的話，如果未來從事電路設計相關，想必有機會再看到這些畫面很多次而且 runtime 也會更久，希望到時候也還能趁這時候忙裡偷閒，當一下薪水小偷 XD

Suggestions of this assignment

我覺得可以在教材中補充一些關於 crash 後補救的方法，在這次的 assignment 中許多同學都遇到了 tool crashed 的問題，但是在後續 reload 的部分只能靠自己摸索，如果這一部份也有提供一些對策可以省去許多從頭來過的時間。