

# Sipeed M1 规格书

## v1.12



### 特性:

- CPU : RISC-V 64bit 双核处理器, 400Mhz 标准频率(可超频)
- 图像识别:QVGA@60FPS/VGA@30FPS
- 声音识别:支持高达 8 个麦克风组成的阵列
- 深度学习框架:TensorFlow/Keras/Darknet
- 外设:FPIOA、UART、GPIO、SPI、I<sup>2</sup>C、I<sup>2</sup>S、WDT、TIMER、RTC etc.

### 本文档更新记录

V1.0	2018 年 10 月 25 日编辑；原始文档
V1.1	2019 年 3 月 6 日编辑：删除关于 M1w 的描述
V1.11	2020 年 7 月 30 日编辑：修改引脚描述和修改引脚图
V1.12	2021 年 10 月 11 日编辑：修改引脚图；增加注意事项

### 功能概述

CPU : RISC-V 双核 64bit, 400Mh 可调频率	强大的双核 64 位基于开放架构的处理器，具备丰富的社区资源支持
FPU 规格	满足 IEEE754-2008 标准
Debugging 支持	具备用以调试的高速 UART 与 JTAG 接口
神经网络处理器 (KPU)	<ul style="list-style-type: none"> <li>支持主流训练框架按照特定限制规则训练出来的定点化模型</li> <li>对网络层数无直接限制，支持每层卷积神经网络参数单独配置，包括输入输出通道数目、输入输出行宽列高</li> <li>支持两种卷积内核 1x1 和 3x3</li> <li>支持任意形式的激活函数</li> <li>实时工作时最大支持神经网络参数大小为 5.5MiB 到 5.9MiB</li> <li>非实时工作时最大支持网络参数大小为 (Flash 容量-软件体积)</li> </ul>
音频处理器 (APU)	<ul style="list-style-type: none"> <li>可以支持最多 8 路音频输入数据流，即 4 路双声道</li> <li>可以支持多达 16 个方向的声源同时扫描预处理与波束形成</li> <li>可以支持一路有效的语音数据流输出</li> <li>内部音频信号处理精度达到 16-位</li> <li>输入音频信号支持 12-位，16-位，24-位，32-位精度</li> <li>支持多路原始信号直接输出</li> <li>可以支持高达 192K 采样率的音频输入</li> <li>内置 FFT 变换单元，可对音频数据提供 512 点快速傅里叶变换</li> <li>利用系统 DMAC 将输出数据存储到 SoC 的系统内存中</li> </ul>
静态随机存取存储器 (SRAM)	SRAM 包含两个部分，分别是 6MiB 的片上通用 SRAM 存储器与 2MiB 的片上 AI SRAM 存储器，共计 8MiB (1MiB 为 1 兆字节)。
现场可编程 IO 阵列 (FPIOA/IOMUX)	FPIOA 允许用户将 255 个内部功能映射到芯片外围的 48 个自由 IO 上
数字视频接口 (DVP)	最大支持 640X480 及以下分辨率，每帧大小可配置
快速傅里叶变换加速器	FFT 加速器是用硬件的方式来实现 FFT 运算

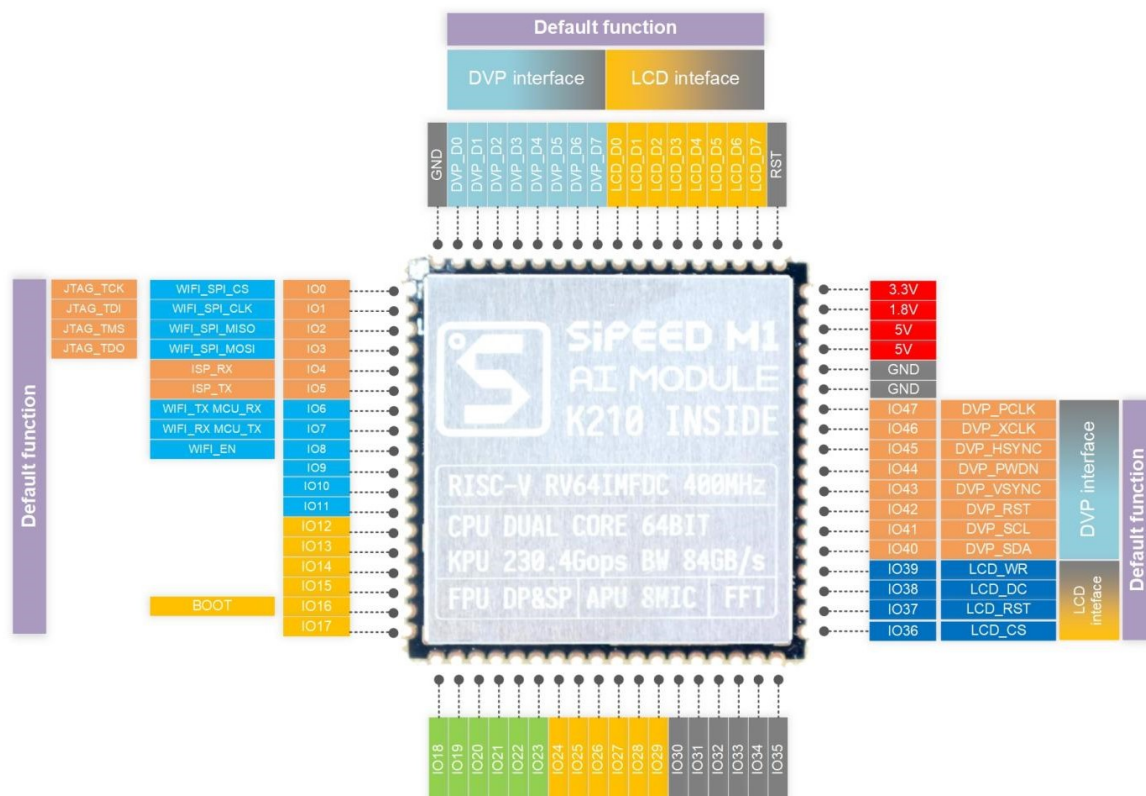
### 软件概述

FreeRtos & Standard SDK	支持 FreeRtos and Standrad development kit.
MicroPython Support	支持 MicroPython on M1
机器视觉	Machine vision based on convolutional neural network
机器听觉	High performance microphone array processor

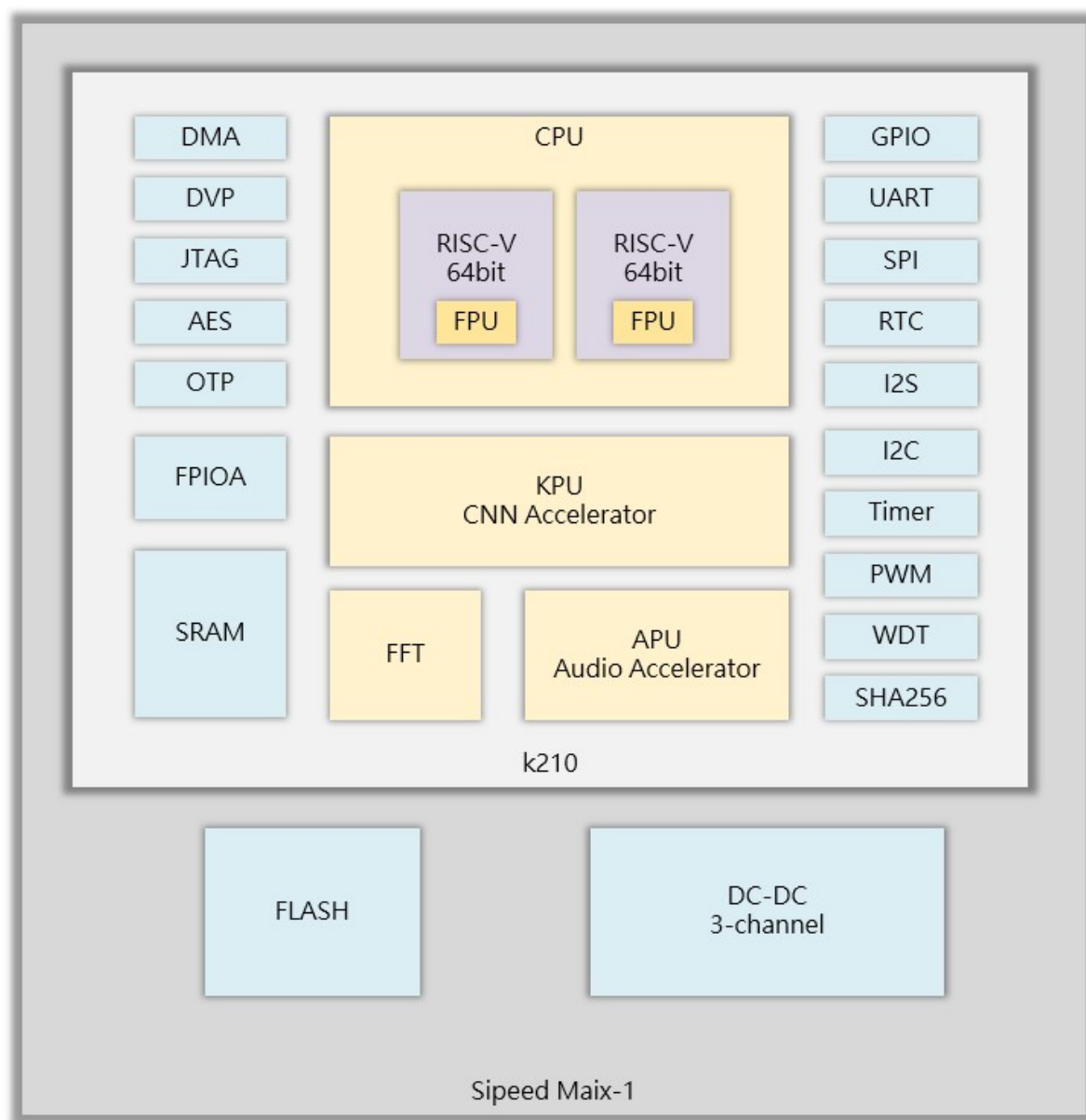
### 硬件概述

外部供电电压需求	5.0V $\pm$ 0.2V
外部供电电流需求	> 300mA @ 5V
温升	<30K
工作温度范围	-30°C ~ 85°C

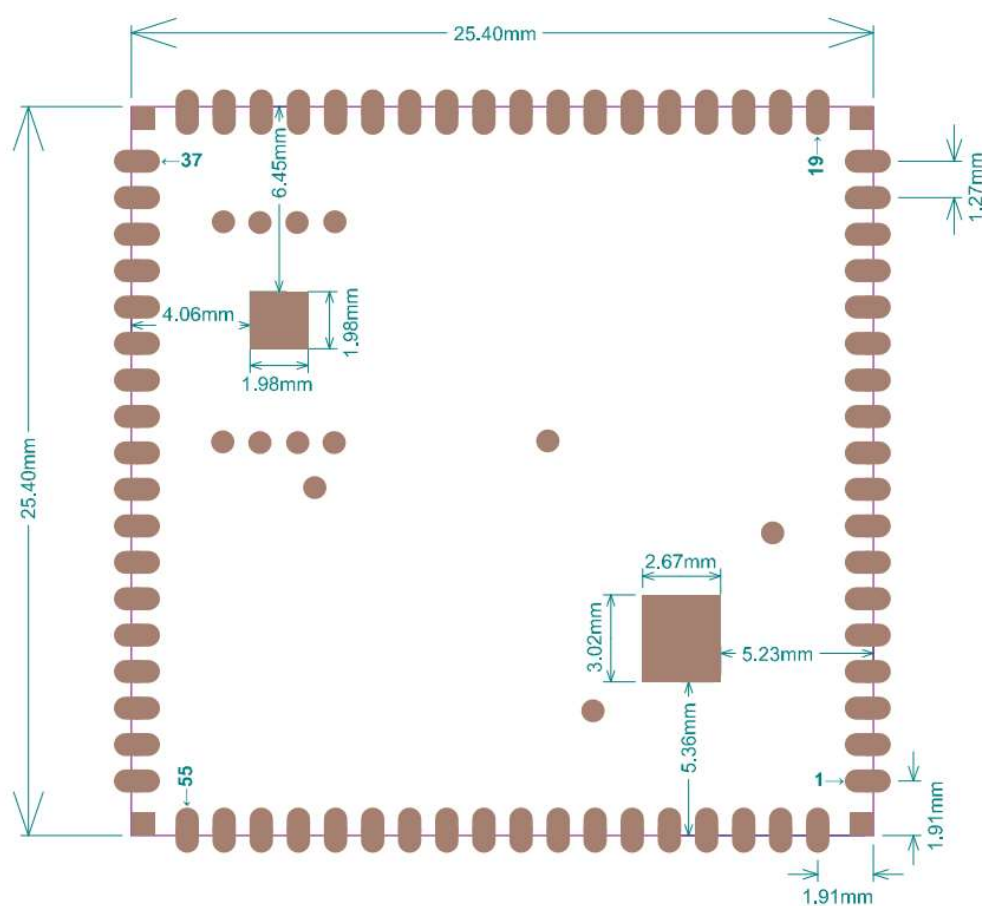
### M1 pin map



## M1 框图



尺寸信息	
长	25.4mm
宽	25.4mm
厚度	3.3 mm

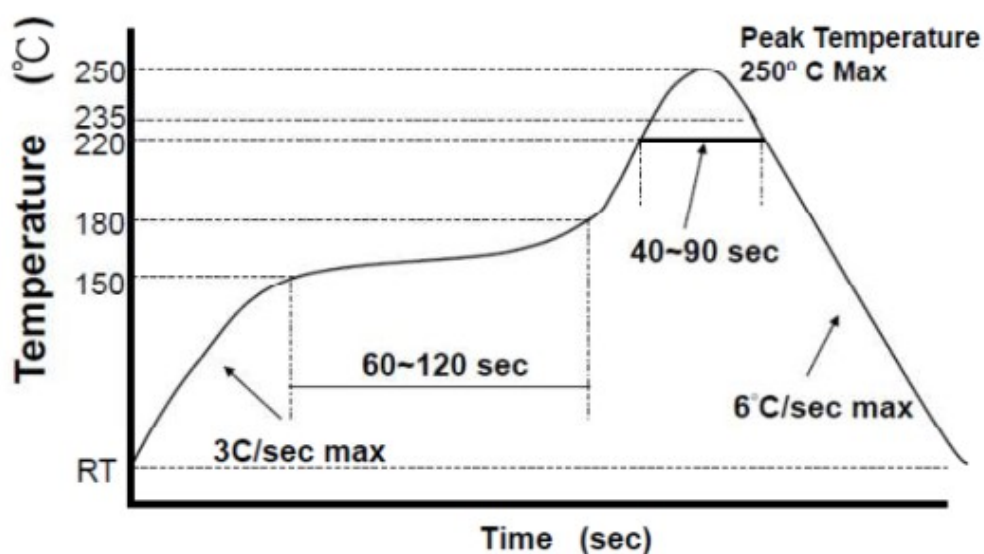


## 引脚信息

序号	引脚	序号	引脚	序号	引脚	序号	引脚
1	JTAG_TCK	19	MIC_BCK	37	LCD_CS	55	RST
2	JTAG_TDI	20	MIC_WS	38	LCD_RST	56	LCD_D7
3	JTAG_TMS	21	MIC_DAT3	39	LCD_DC	57	LCD_D6
4	JTAG_TDO	22	MIC_DAT2	40	LCD_WR	58	LCD_D5
5	ISP_RX	23	MIC_DAT1	41	DVP_SDA	59	LCD_D4
6	ISP_TX	24	MIC_DAT0	42	DVP_SCL	60	LCD_D3
7	WIFI_TX MCU_RX	25	MIC_LED_DAT	43	DVP_RST	61	LCD_D2
8	WIFI_RX MCU_TX	26	SPI0_CS1	44	DVP_VSYNC	62	LCD_D1
9	WIFI_EN	27	SPI0_MISO	45	DVP_PWDN	63	LCD_D0
10	IO9	28	SPI0_SCLK	46	DVP_HSYNC	64	DVP_D7
11	IO10	29	SPI0_MOSI	47	DVP_XCLK	65	DVP_D6
12	IO11	30	SPI0_CS0	48	DVP_PCLK	66	DVP_D5
13	LED_G	31	MIC0_WS	49	GND	67	DVP_D4
14	LED_B	32	MIC0_DATA	50	GND	68	DVP_D3
15	LED_R	33	MIC0_BCK	51	5V	69	DVP_D2
16	IO15	34	I2S_WS	52	5V	70	DVP_D1
17	BOOT KEY0	35	I2S_DA	53	1V8	71	DVP_D0
18	IO17	36	I2S_BCK	54	3V3	72	GND

注：尺寸图右下角小方块焊盘为 WIFI\_GPIO0,其它三个角的为 GND

### 回流曲线指南



### 注意事项

Boot 模式选择	<p>在启动时, BOOT 引脚用于选择两个启动选项之一:</p> <ul style="list-style-type: none"> <li>从主 FLASH 存储启动(设置 BOOT 引脚为 3.3V)(让 BOOT 引脚悬空或者上拉到 3.3V)</li> <li>进入 ISP 下载模式(设置 BOOT 引脚为 0V)</li> </ul>
RST 引脚	RST 引脚的电平范围是 0-1.8V; 低电平有效; 请勿让 RST 引脚的电压大于 1.8V
散热	建议将模块底部的焊盘连接到底板上的一大片铜皮, 有助于散热
静电	<p>1、所有使用到的 IO 口和电源引脚, 都需要靠近模块放置 ESD 二极管</p> <p>2、所有使用到的 IO 口, 都需要增加串联电阻, 阻值为 100R-1K 之间</p>
使用该模块进行底板设计需要注意的事项	<a href="https://bbs.sipeed.com/thread/62">https://bbs.sipeed.com/thread/62</a>

资源	
官网	<a href="http://www.sipeed.com">www.sipeed.com</a>
Github	<a href="https://github.com/sipeed">https://github.com/sipeed</a>
BBS	<a href="http://bbs.sipeed.com">http://bbs.sipeed.com</a>
Wiki	<a href="http://maixpy.sipeed.com">maixpy.sipeed.com</a>
Sipeed 模型平台	<a href="https://maixhub.com/">https://maixhub.com/</a>
SDK 相关信息	<a href="http://dl.sipeed.com/MAIX/SDK">dl.sipeed.com/MAIX/SDK</a>
HDK 相关信息	<a href="http://dl.sipeed.com/MAIX/HDK">dl.sipeed.com/MAIX/HDK</a>
E-mail(技术支持和商业合作)	<a href="mailto:support@sipeed.com">support@sipeed.com</a>
telgram link	<a href="https://t.me/sipeed">https://t.me/sipeed</a>
AI QQ 交流群	878189804



#### 免责声明和版权声明

本文档中的信息（包括 URL 地址）如有更改，恕不另行通知。  
该文档由 Sipeed 提供，不附带任何形式的担保，包括任何适销性担保，以及其他地方提及的任何提案，规范或样本。 本文档不构成责任，包括使用本文档中的信息侵犯任何专利权。

Copyrights © 2019 Sipeed Limited. All rights reserved.