

Sipeed M1W 规格书

V1.12



特性:

- CPU : RISC-V 64bit 双核处理器, 400Mhz 标准频率(可超频)
- 图像识别:QVGA@60FPS/VGA@30FPS
- 声音识别:支持高达 8 个麦克风组成的阵列
- 深度学习框架:TensorFlow/Keras/Darknet
- 外设:FPIOA、UART、GPIO、SPI、I²S、I²C、WDT、TIMER、RTC etc.
- 无线功能:支持 2.4G 802.11.b/g/n

本文档更新记录	
V1.0	2019 年 3 月 6 日编辑；原始文档
V1.11（在此版本中，M1w 已通过 FCC 认证）	更新主页图片 更新引脚表 更新引脚图 更新了屏蔽壳的激光雕刻信息（添加 FCC ID） 添加 K210 和 ESP8285 之间的 SPI 连接（仅在此版本和未来版本中有效）
V1.12	2021 年 10 月 11 日编辑：修正了引脚图；增加注意事项

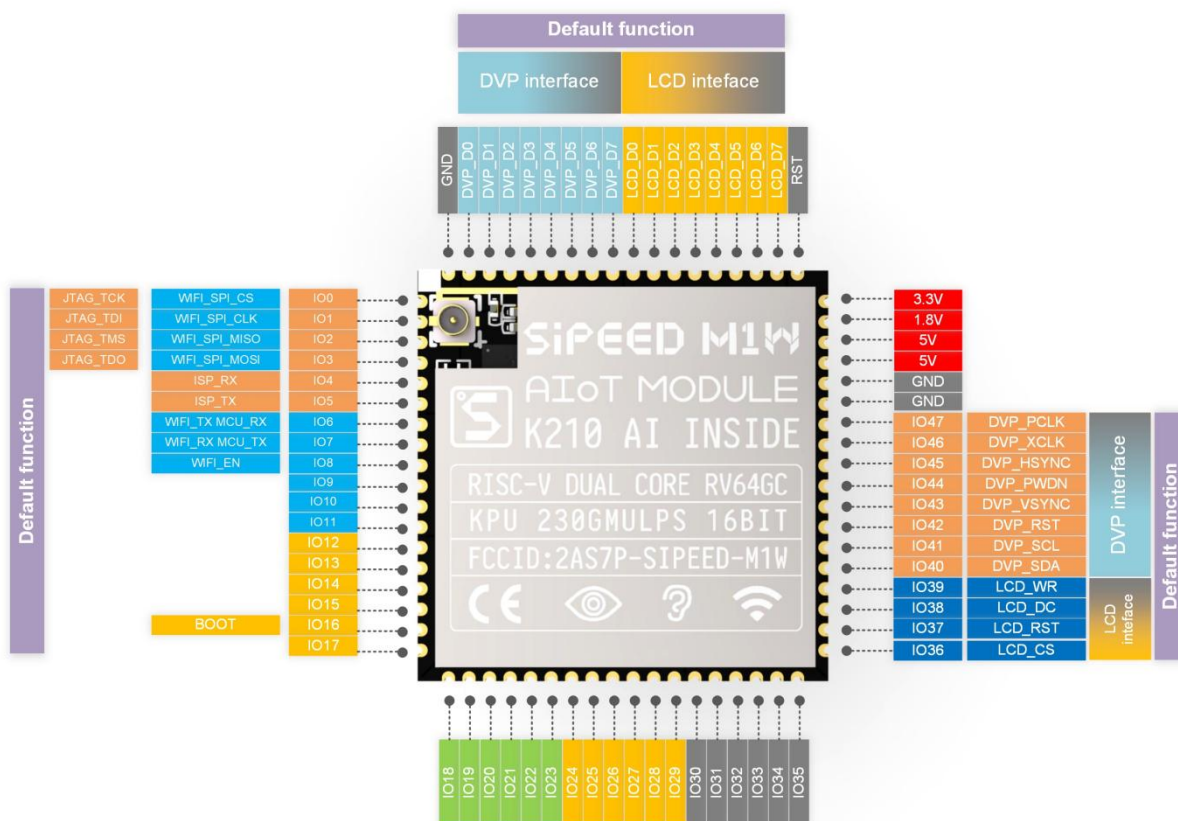
功能概述	
CPU : RISC-V 双核 64bit, 400Mh 可调频率	强大的双核 64 位基于开放架构的处理器, 具备丰富的社区资源支持
FPU 规格	满足 IEEE754-2008 标准
Debugging 支持	具备用以调试的高速 UART 与 JTAG 接口
神经网络处理器 (KPU)	<ul style="list-style-type: none"> 支持主流训练框架按照特定限制规则训练出来的定点化模型 对网络层数无直接限制, 支持每层卷积神经网络参数单独配置, 包括输入输出通道数目、输入输出宽列高 支持两种卷积内核 1x1 和 3x3 支持任意形式的激活函数 实时工作时最大支持神经网络参数大小为 5.5MiB 到 5.9MiB 非实时工作时最大支持网络参数大小为 (Flash 容量-软件体积)
音频处理器 (APU)	<ul style="list-style-type: none"> 可以支持最多 8 路音频输入数据流, 即 4 路双声道 可以支持多达 16 个方向的声源同时扫描预处理与波束形成 可以支持一路有效的语音数据流输出 内部音频信号处理精度达到 16-位 输入音频信号支持 12-位, 16-位, 24-位, 32-位精度 支持多路原始信号直接输出 可以支持高达 192K 采样率的音频输入 内置 FFT 变换单元, 可对音频数据提供 512 点快速傅里叶变换 利用系统 DMAC 将输出数据存储到 SoC 的系统内存中
静态随机存取存储器 (SRAM)	SRAM 包含两个部分, 分别是 6MiB 的片上通用 SRAM 存储器与 2MiB 的片上 AI SRAM 存储器, 共计 8MiB (1MiB 为 1 兆字节)。
现场可编程 IO 阵列 (FPIOA/IOMUX)	FPIOA 允许用户将 255 个内部功能映射到芯片外围的 48 个自由 IO 上
数字视频接口 (DVP)	最大支持 640X480 及以下分辨率, 每帧大小可配置
快速傅里叶变换加速器	FFT 加速器是用硬件的方式来实现 FFT 运算

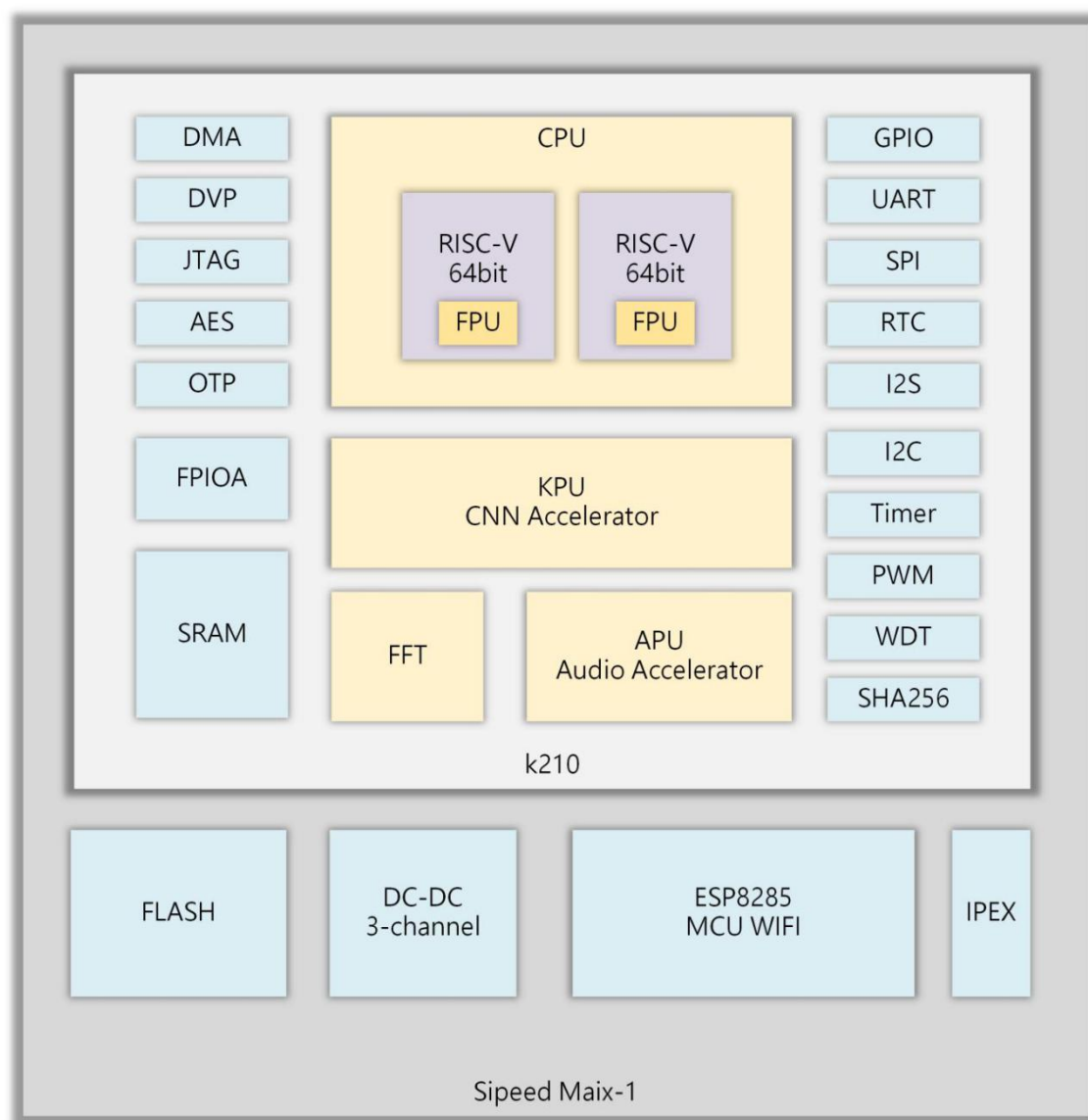
软件概述	
FreeRtos & Standard SDK	支持 FreeRtos and Standrad development kit.
MicroPython Support	支持 MicroPython on M1
机器视觉	Machine vision based on convolutional neural network
机器听觉	High performance microphone array processor

硬件概述	
外部供电电压需求	5.0V±0.2V
外部供电电流需求	> 600mA
温升	<30K
工作温度范围	-30℃ ~ 85℃

射频特性	
MCU : ESP8285	Tensilica L106 32-bit MCU
无线标准	802.11 b/g/n
频率范围	2400Mhz - 2483.5Mhz
发射功率(传导测试)	802.11.b : +15dBm 802.11.g : +10dBm(54Mbps) 802.11.n : +10dBm (65Mbps)
天线连接形式	IPEX 3.0x3.0mm
Wi-Fi 模式	Station/SoftAP/SoftAP+Station
与主芯片通信接口	具体连接请阅读 M1w_V1.11 原理图 (dl.sipeed.com)

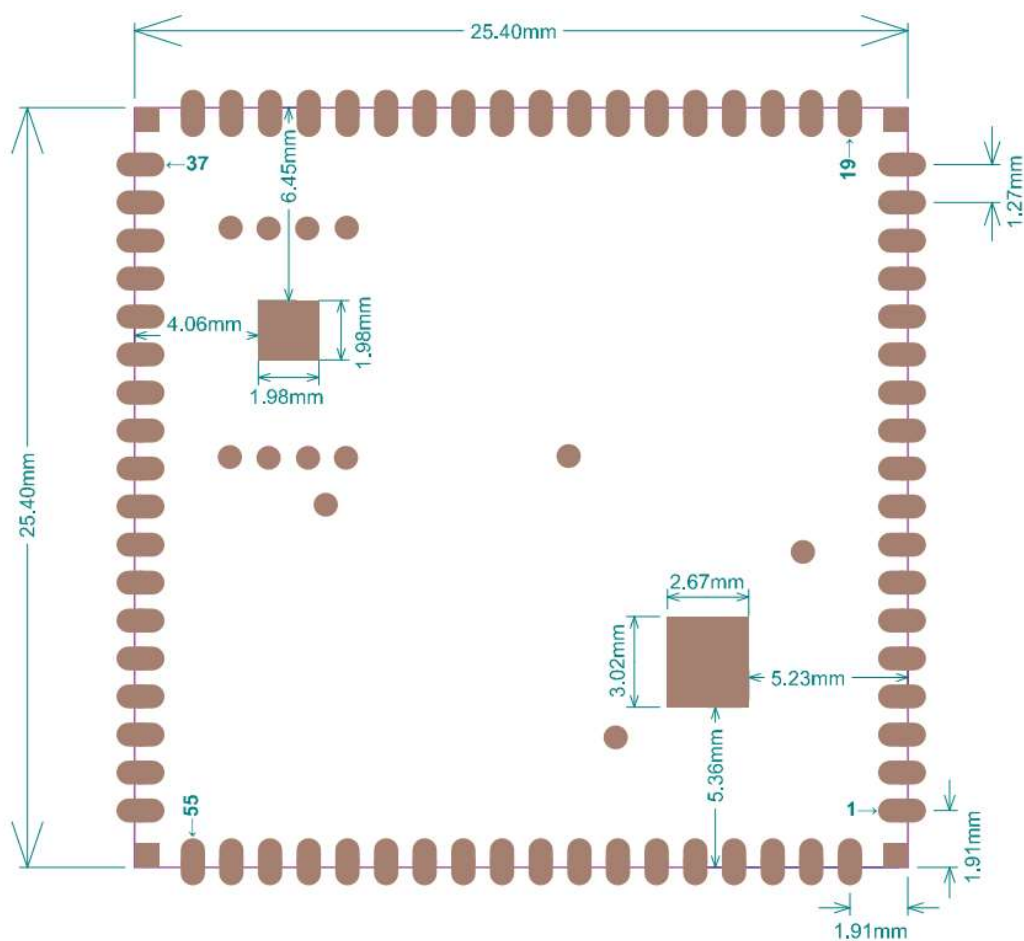
M1W pin map



M1W 框图

M1W 尺寸信息

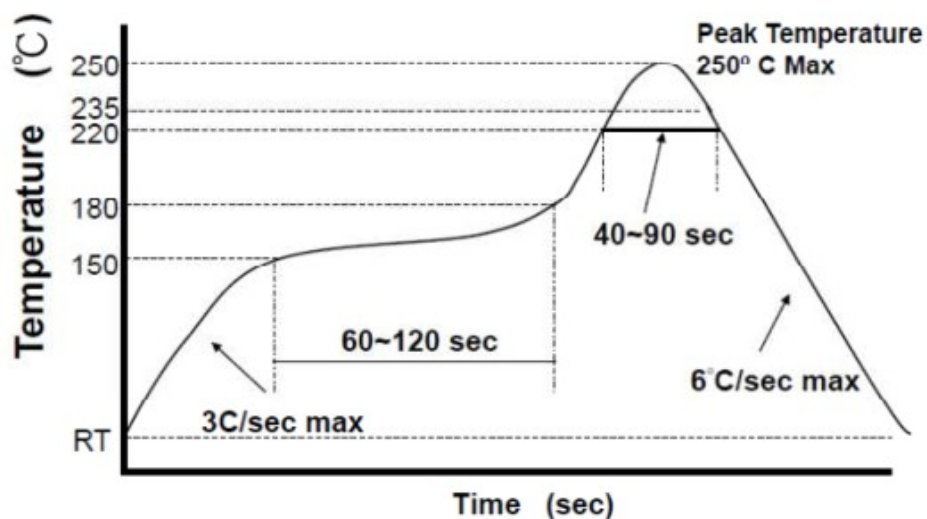
长	25.4mm
宽	25.4mm
厚度	3.3mm

引脚信息

序号	引脚	序号	引脚	序号	引脚	序号	引脚
1	JTAG_TCK (WIFI_SPI_CS)	19	MIC_BCK	37	LCD_CS	55	RST
2	JTAG_TDI (WIFI_SPI_CLK)	20	MIC_WS	38	LCD_RST	56	LCD_D7
3	JTAG_TMS (WIFI_SPI_MISO)	21	MIC_DAT3	39	LCD_DC	57	LCD_D6
4	JTAG_TDO (WIFI_SPI_MOSI)	22	MIC_DAT2	40	LCD_WR	58	LCD_D5
5	ISP_RX	23	MIC_DAT1	41	DVP_SDA	59	LCD_D4
6	ISP_TX	24	MIC_DAT0	42	DVP_SCL	60	LCD_D3
7	WIFI_TX MCU_RX	25	MIC_LED_DAT	43	DVP_RST	61	LCD_D2
8	WIFI_RX MCU_TX	26	SPI0_CS1	44	DVP_VSYNC	62	LCD_D1
9	WIFI_EN	27	SPI0_MISO	45	DVP_PWDN	63	LCD_D0
10	IO9	28	SPI0_SCLK	46	DVP_HSYNC	64	DVP_D7
11	IO10	29	SPI0_MOSI	47	DVP_XCLK	65	DVP_D6
12	IO11	30	SPI0_CS0	48	DVP_PCLK	66	DVP_D5
13	LED_G	31	MIC0_WS	49	GND	67	DVP_D4
14	LED_B	32	MIC0_DATA	50	GND	68	DVP_D3
15	LED_R	33	MIC0_BCK	51	5V	69	DVP_D2
16	IO15	34	I2S_WS	52	5V	70	DVP_D1
17	BOOT KEY0	35	I2S_DA	53	1V8	71	DVP_D0
18	IO17	36	I2S_BCK	54	3V3	72	GND

注：尺寸图右下角小方块焊盘为 WIFI_GPIO0,其它三个角的为 GND

回流曲线指南



注意事项

Boot 模式选择	<p>在启动时, BOOT 引脚用于选择两个启动选项之一:</p> <ul style="list-style-type: none"> 从主 FLASH 存储启动(设置 BOOT 引脚为 3.3V)(让 BOOT 引脚悬空或者上拉到 3.3V) 进入 ISP 下载模式(设置 BOOT 引脚为 0V)
RST 引脚	RST 引脚的电平范围是 0-1.8V; 低电平有效; 请勿让 RST 引脚的电压大于 1.8V
散热	建议将模块底部的焊盘连接到底板上的一大片铜皮, 有助于散热
静电	<p>1、所有使用到的 IO 口和电源引脚, 都需要靠近模块放置 ESD 二极管</p> <p>2、所有使用到的 IO 口, 都需要增加串联电阻, 阻值为 100R-1K 之间</p>
使用该模块进行底板设计需要注意的事项	https://bbs.sipeed.com/thread/62

资源	
官网	www.sipeed.com
Github	https://github.com/sipeed
BBS	http://bbs.sipeed.com
Wiki	maixpy.sipeed.com
Sipeed 模型平台	https://maixhub.com/
SDK 相关信息	dl.sipeed.com/MAIX/SDK
HDK 相关信息	dl.sipeed.com/MAIX/HDK
E-mail(技术支持和商业合作)	support@sipeed.com
telgram link	https://t.me/sipeed
AI QQ 交流群	878189804



免责声明和版权声明

本文档中的信息（包括 URL 地址）如有更改，恕不另行通知。
该文档由 Sipeed 提供，不附带任何形式的担保，包括任何适销性担保，以及其他地方提及的任何提案，规范或样本。 本文档不构成责任，包括使用本文档中的信息侵犯任何专利权。

Copyrights © 2019 Sipeed Limited. All rights reserved.