

Sipeed M1n 规格书 v1.0



特性:

- CPU: RISC-V 64bit 双核处理器, 400Mhz 标准频率(可超频)
- 图像识别:QVGA@60FPS/VGA@30FPS
- 声音识别:支持高达 8 个麦克风组成的阵列
- 深度学习框架:TensorFlow/Keras/Darknet
- 外设:FPIOA、UART、GPIO、SPI、I²C、I²S、WDT、TIMER、RTC etc.



| 本文档更新记录 | |
|---------|-------------------|
| V1.0 | 2019年9月11日编辑;原始文档 |
| | |
| | |

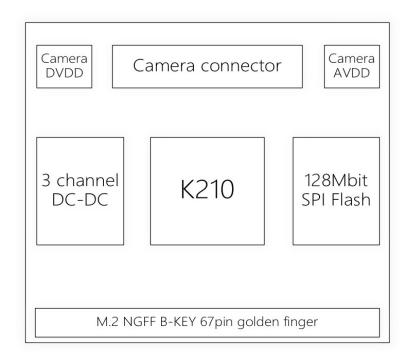
| 功能概述 | |
|----------------------------------|--|
| CPU: RISC-V 双核 64bit, 400Mh 可调频率 | 强大的双核 64 位基于开放架构的处理器,具备丰富的社区资源支持 |
| FPU 规格 | 满足 IEEE754-2008 标准 |
| Debugging 支持 | 具备用以调试的高速 UART 与 JTAG 接口(只提供了焊线焊盘) |
| 板载摄像头 DVP 座子 | 24pin 0.5mm 间距 FPC 座子; AVDD-3.0V; DVDD-1.3V |
| IO 引出 | 除了 JTAG 接口的 4 个 IO,其余 IO 都引出到 M.2 接口 |
| 神经网络处理器 (KPU) | 支持主流训练框架按照特定限制规则训练出来的定点化模型 对网络层数无直接限制,支持每层卷积神经网络参数单独配置,包括输入输出通道数目、输入输出行宽列高 支持两种卷积内核 1x1 和 3x3 支持任意形式的激活函数 实时工作时最大支持神经网络参数大小为 5.5MiB 到 5.9MiB 非实时工作时最大支持网络参数大小为 (Flash 容量-软件体积) |
| 音频处理器 (APU) | 可以支持最多 8 路音频输入数据流,即 4 路双声道 可以支持多达 16 个方向的声源同时扫描预处理与波束形成 可以支持一路有效的语音数据流输出 内部音频信号处理精度达到 16-位 输入音频信号支持 12-位,16-位,24-位,32-位精度 支持多路原始信号直接输出 可以支持高达 192K 采样率的音频输入 内置 FFT 变换单元,可对音频数据提供512 点快速傅里叶变换 利用系统 DMAC 将输出数据存储到 SoC 的系统内存中 |
| 静态随机存取存储器 (SRAM) | SRAM 包含两个部分,分别是 6MiB 的片上通用 SRAM 存储器与 2MiB 的片上 AI SRAM 存储器,共计 8MiB (1MiB 为 1 兆字 节)。 |
| 现场可编程 IO 阵列 (FPIOA/IOMUX) | FPIOA 允许用户将 255 个内部功能映射到芯片外围的 48 个自由 IO 上 |
| 数字视频接口 (DVP) | 最大支持 640X480 及以下分辨率,每帧大小可配置 |
| 快速傅里叶变换加速器 | FFT 加速器是用硬件的方式来实现 FFT 运算 |



| 软件概述 | |
|-------------------------|--|
| FreeRtos & Standard SDK | 支持 FreeRtos and Standrad development kit. |
| MicroPython Support | 支持 MicroPython on M1 |
| 机器视觉 | Machine vision based on convolutional neural network |
| 机器听觉 | High performance microphone array processor |

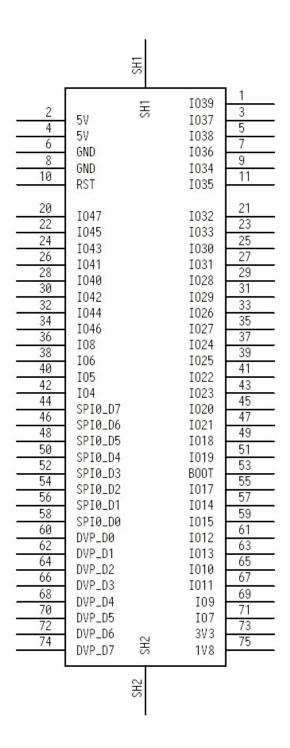
| 硬件概述 | |
|----------|--------------|
| 外部供电电压需求 | 5.0V ±0.2V |
| 外部供电电流需求 | > 300mA @ 5V |
| 温升 | <30K |
| 工作温度范围 | -30°C ~ 85°C |

M1n 框图



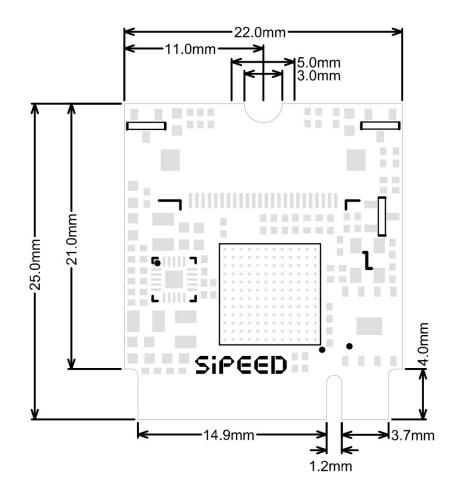


M1n pin out





| 尺寸信息 | |
|------|-------------|
| 长 | 25.0mm |
| 宽 | 22.0mm |
| 厚度 | 2.7 mm(最厚处) |





| 注意事项 | |
|--------------------|--|
| Boot 模式选择 | 在启动时,BOOT(IO16)引脚用于选择两个启动选项之一: |
| | ● 从主 FLASH 存储启动(设置 BOOT 引脚为 3.3V)(让 BOOT 引脚悬 |
| | 空或者上拉到 3.3V) |
| | ● 进入 ISP 下载模式(设置 BOOT 引脚为 0V) |
| | 在底板上需要加上 BOOT 引脚的上拉电阻,上拉到 3.3V |
| RST引脚 | RST 引脚的电平范围是 0-1.8V; 低电平有效; 请勿让 RST 引脚的电 |
| | 压大于 1.8V |
| 静电 | 1、所有使用到的 IO 口和电源引脚,都需要靠近模块放置 ESD 二极 |
| | 管 |
| | 2、所有使用到的 IO 口,都需要增加串联电阻,阻值为 100R-1K 之 |
| | 间 |
| 使用该模块进行底板设计需要注意的事项 | https://bbs.sipeed.com/thread/62 |

| · · · · · · · · · · · · · · · · · · · | | |
|---------------------------------------|---------------------------|--|
| 官网 | www.sipeed.com | |
| Github | https://github.com/Sipeed | |
| BBS | http://bbs.sipeed.com | |
| Wiki | maixpy.sipeed.com | |
| Sipeed 模型平台 | https://maixhub.com/ | |
| SDK 相关信息 | dl.sipeed.com/MAIX/SDK | |
| HDK 相关信息 | dl.sipeed.com/MAIX/HDK | |
| E-mail(技术支持和商业合作) | support@sipeed.com | |
| telgram link | https://t.me/sipeed | |
| AI QQ 交流群 | 878189804 | |



免责声明和版权声明

本文档中的信息(包括 URL 地址)如有更改,恕不另行通知。 该文档由 Sipeed 提供,不附带任何形式的担保,包括任何适销 性担保,以及其他地方提及的任何提案,规范或样本。 本文 档不构成责任,包括使用本文档中的信息侵犯任何专利权。

Copyrights © 2021 Sipeed Limited. All rights reserved.