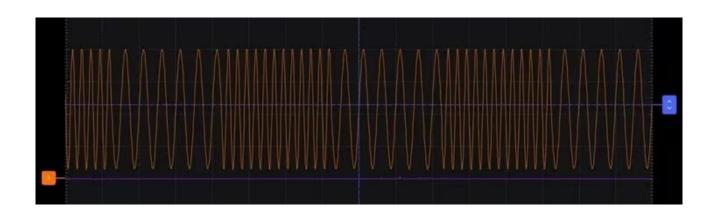
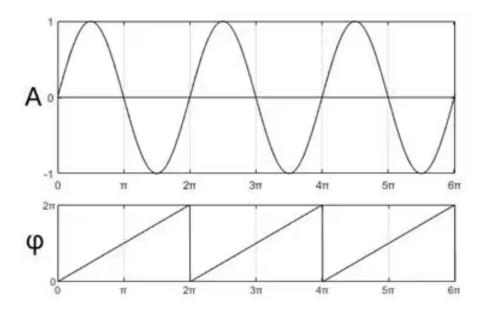
AD9833调不通?看这篇文章就够了~



DDS简要基础

直接数字合成是生成模拟信号的一种常用方法,简单意义上的DDS,主要由相位调制器、波形查找表和DAC组成。相位调制器产生一个相位信息,使用该相位信息去波形查找表中查找对应的幅值信息,将幅值送DAC,产生对应的模拟信号,这就是DDS的工作原理。相位调制器一般由相位累加器和相位偏移器组成,先说相位累加器,看图,上半部分为幅值图,下半部分为相位图。

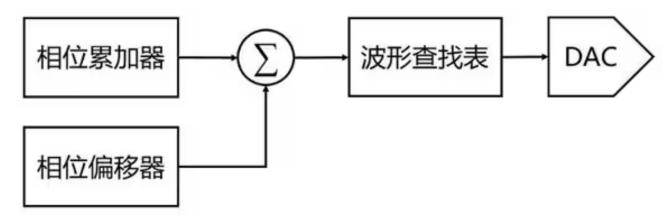


我们知道,对于简单正弦函数,幅值A和相位φ不是线性关系,通过相位φ求幅值A,需要经过A=sin(φ)的三角运算;用MCU直接算吗?使用MCU进行三角函数计算的时间开销相对较大,对于频率较高的DDS,略显力不从心,实际DDS中也不是这么搞的。DDS的相位信息被存放在累加寄存器中,虽然幅值和相位不是线性关系,但寄存器累加值和相位可以是线性关系,很容易用寄存器的累加值表达相位信息。

由于累加寄存器的位数是固定的,累加操作从0开始直至寄存器溢出,对应的相位信息

是有限个数,相位对应的幅值信息也是有限个数,对于DDS而言,一种比较高效的方法是,将相位信息和幅值信息制作成查找表,根据累加寄存器的值,去波形查找表中查询对应的DAC数值,送到DAC中产生需要的电压信号。这里需要注意,为了降低系统误差,累加器的位数一般大于DAC的位数。

相位偏移器又是什么呢?一般情况下累加器的值是从0开始加的,输出波形的相位也是从0开始的;如果我想要输出信号的相位从90°开始,需要增加一个偏移,从相位累加器取出当前相位+相位偏移器的偏移相位,结果再送波形查找表,即可获得偏移后的幅值信息,DAC就可以输出偏移后的波形啦。流程可见下图:



这里部分朋友可能会产生疑问,相位累加器的原理已经明白了,但频率如何调节?这需要一点数学工具,请看公式推导:

对于简单正弦函数,有:

 $f(t)=sin(\omega^*t)=sin(2\pi^*f^*t)$ 此处 ω^*t 是三角函数的角位移,范围在 $0\sim2\pi$,可以表示为 $\phi=\omega^*t=2\pi^*f^*t$ 由于DDS是时钟驱动的,时间t以固定间隔 Δt 前进,设时钟计数为 τ ,则 $t=\Delta t^*\tau$,所以有如下等式: $\Delta \phi=2\pi^*f^*\Delta t^*\tau$

对特定的DDS系统, Δt 由驱动时钟的频率确定,设该时钟频率为fm,则 Δt =1/fm,于是有: $\Delta \phi$ =2 π *f/fm* τ

在上式中,f是系统输出信号的频率,fm是系统的时钟频率,我们把输出频率f放到左边,对等式进行整理: $f=fm*(\Delta φ/2π)*(1/τ)$

现在考虑 Δ φ在DDS中的表示方式,假设DDS系统中存在一个28bit的寄存器,数值范围应为0~(2^28-1),为方便表述,将寄存器的最大值用Cmax来表示,则0~Cmax对应角度范围0~2π,因寄存器中的数值是离散的,设寄存器数值的单位增量为 Δ reg,设累加次数为τ,有: Δ φ=2π/(2^28)* Δ reg*τ,带入f的表达式,有:f=1/(2^28)*fm* Δ reg

这个结论太棒了,它表明DDS的输出频率仅和系统的时钟频率fm,寄存器数值的单位增量 Δ reg有关,在确定DDS的系统时钟后,通过调整 Δ reg,即可实现频率调节!但是单位增量 Δ reg看不见摸不着,怎么调它?最简单的做法是,对外暴露一个接口接收目标频率参数f,在系统内设置 Δ reg=f*(Δ 28)/fm,这样输出信号的频率和编程写入的频率就一致了。

AD9833使用指南

先盘一下AD9833的特性,

输出频率: 0~12.5MHz (12.5MHz在时钟25MHz时达到);

工作电压: 2.3V~5.5V (最大不超过6V);

通信方式: 三线SPI (最大通信速率40MHz);

输出波形:正弦、三角、方波;也可软件控制输出复杂波形;

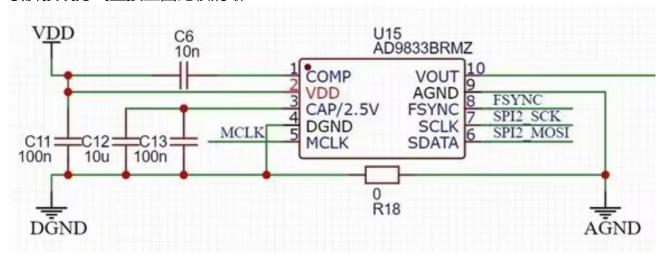
其他特性: 睡眠模式 (唤醒时间1ms)、脉冲直接输出、DAC关断等。

关于焊接:回流焊温度不应超过220℃!

使用前必知(最重要的3点!):

1.AD9833是单电源DDS,输出信号没有负电压! 2.输出电压最大值为650mV,不是供电电压! 3.输出电压最小值为38mV,不是0!

引脚接线方式直接上图比较清晰:



特殊引脚的作用及布线:

1.COMP DAC的偏置引脚,用于退耦DAC的偏置电压,经10nF电容连接到VDD;

2.CAP/2.5V 内部2.5V稳压器的退耦电容,100nF到DGND;若VDD≤2.7V,将该引脚连接到VDD使内部稳压器旁路;

3.MCLK 外部时钟输入,该时钟的质量将直接影响DDS的频率精度和相位噪声;

4.FSYNC 通信同步引脚,通信开始时,需将该引脚拉低;

5.AGND 模拟地, 若没有专用的模拟地, 可通过一个0Ω电阻跨接数字地;

6.VOUT 模拟信号输出引脚,内部有200Ω负载接地;

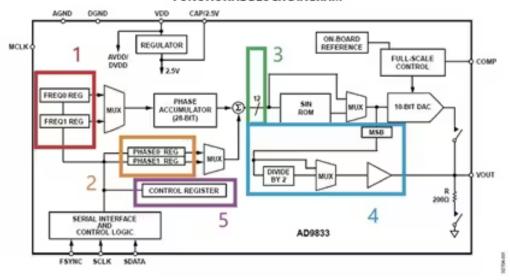
AD9833通信约定:

数据以一个16位字的形式,通过SPI传送到AD9833;通信开始前需将同步引脚拉低,且同步引脚拉低时时钟线SCLK应为高电平;

数据可一次传输一个字,传输完成后将同步引脚拉高结束通信;也可一次传输多个字, 传输时保持同步引脚为低电平,直至多个字传输完成后拉高。

AD9833内部结构, 先上图:

FUNCTIONAL BLOCK DIAGRAM



(该图截自AD9833数据手册,彩色是我后标上去的)

标记1: 频率寄存器部分

AD9833拥有两个频率寄存器,分别为FREQ0和FREQ1;因此可以配置两个不同的频率,

可通过设置激活其中一个;

标记2: 相移寄存器部分

AD9833拥有两个相移寄存器,分别为PHASE0和PHASE1;因此可以配置两个不同的相移,可通过设置激活其中一个;

标记3:12位地址截断

图中的/12标记可能让部分新手疑惑。因为相位调制器的位数是28位,若全部对应到波形查找表中,将需要一个地址宽度为28bit的查找表ROM,这是非常惊人的。事实上,因为AD9833的DAC只有10位精度,28bit查找表无法被充分使用;通过将28bit的地址截断为12bit,可以减小查找表ROM容量,只要截断带来的误差小于DAC的分辨率,就不会影响到DDS的性能。

标记4: MSB直接输出

通过将DAC的MSB以数字直接输出的形式输出到VOUT引脚,可以得到方波,内建的2分频通道可将输出频率降低到原来的1/2。