

Invent Vision

Documento de Especificação de Requisitos

**Compressão Sem Perdas de Imagens Térmicas
LWIR em FPGA**

Versão 1.0

Autor: Ubiratan da Silva Tavares

Data: 4 de dezembro de 2025

Conteúdo

1	Introdução	2
1.1	Objetivo	2
1.2	Escopo	2
1.3	Convenções, Termos e Abreviações	2
1.4	Prioridades dos Requisitos	2
1.5	Referências	2
2	Descrição Geral do Sistema	3
2.1	Visão Geral	3
2.2	Usuários e Ambiente de Operação	3
2.3	Dependências e Interfaces	3
3	Requisitos Funcionais	4
3.1	Requisitos	4
3.1.1	[RF001] Compressão Sem Perdas LWIR	4
3.1.2	[RF002] Interface de Entrada e Saída	4
3.1.3	[RF003] Algoritmo LZW em Hardware	4
3.1.4	[RF004] Configuração e Modos de Operação	4
3.1.5	[RF005] Monitoramento de Desempenho	4
4	Requisitos Não Funcionais	5
4.1	Desempenho	5
4.2	Arquitetura e Design de Hardware	5
4.3	Recursos de Hardware	5
4.4	Confiabilidade e Segurança	5
4.5	Usabilidade e Portabilidade	5
5	Requisitos de Ambiente e Restrições Finais	6
5.1	Requisitos de Desempenho Fechados	6
5.2	Ambiente de Desenvolvimento (Toolchain)	6
5.3	Pontos Abertos Finais (A.4)	6

1. Introdução

1.1 Objetivo

Este documento descreve os requisitos funcionais e não funcionais do sistema de compressão sem perdas de imagens térmicas LWIR implementado em FPGA, com o propósito de garantir rastreabilidade, desempenho e conformidade técnica.

1.2 Escopo

O sistema abrange a compressão e descompressão de dados de imagem LWIR de 16 bits, em tempo real, empregando algoritmos de compressão sem perdas otimizados para hardware reconfigurável.

1.3 Convenções, Termos e Abreviações

Os requisitos são identificados no formato [RFxxx] e [RNFxxx], onde RF indica requisito funcional e RNF requisito não funcional.

1.4 Prioridades dos Requisitos

- **Essencial:** requisito indispensável ao funcionamento.
- **Importante:** necessário, mas não crítico.
- **Desejável:** opcional ou futuro.

1.5 Referências

Liste documentos de apoio, artigos e manuais do FPGA alvo.

2. Descrição Geral do Sistema

2.1 Visão Geral

O sistema realiza compressão sem perdas em fluxo contínuo (*streaming*) de imagens LWIR de 16 bits, com arquitetura paralela e baixa latência.

2.2 Usuários e Ambiente de Operação

- **Engenheiros de Hardware:** responsáveis pela síntese e integração no FPGA.
- **Pesquisadores em Visão Computacional:** validam os resultados da compressão.

2.3 Dependências e Interfaces

O sistema integra-se a módulos de captura de imagem via barramento AXI4-Stream e exporta dados comprimidos para memória ou transmissor externo.

3. Requisitos Funcionais

3.1 Requisitos

3.1.1 [RF001] Compressão Sem Perdas LWIR

O sistema deve realizar compressão sem perdas de imagens LWIR de 16 bits em tempo real.

3.1.2 [RF002] Interface de Entrada e Saída

Deve aceitar dados de imagem via interface AXI4-Stream e gerar saída comprimida compatível com o pipeline de processamento.

3.1.3 [RF003] Algoritmo LZW em Hardware

O sistema deve implementar o algoritmo LZW em arquitetura paralela com suporte a dicionário dinâmico.

3.1.4 [RF004] Configuração e Modos de Operação

Deve permitir configuração entre modos de compressão DPCM-RLE (baseline) e LZW otimizado.

3.1.5 [RF005] Monitoramento de Desempenho

O sistema deve calcular e disponibilizar métricas de taxa de compressão (CR) e throughput.

4. Requisitos Não Funcionais

4.1 Desempenho

RNF001 O sistema deve atingir uma Taxa de Compressão mínima (CR) definida após caracterização dos dados.

RNF002 A latência total de processamento deve ser inferior a 1 ms por frame.

4.2 Arquitetura e Design de Hardware

RNF003 O algoritmo LZW deve empregar BRAMs de porta dupla para leitura e escrita simultânea.

RNF004 A arquitetura deve ser totalmente pipeline (*fully pipelined*) para alta taxa de transferência.

4.3 Recursos de Hardware

RNF005 O design deve otimizar o uso de LUTs, FFs, BRAMs e DSPs conforme a FPGA alvo.

4.4 Confiabilidade e Segurança

RNF006 A compressão deve ser determinística e reproduzível.

RNF007 O sistema deve prevenir corrupção de dados e estouros de buffer.

4.5 Usabilidade e Portabilidade

RNF008 O design deve ser portável entre famílias de FPGA.

RNF009 Deve integrar-se facilmente a sistemas embarcados de captura e processamento.

5. Requisitos de Ambiente e Restrições Finais

5.1 Requisitos de Desempenho Fechados

[RNF010] Taxa de Compressão Mínima (CR Fechado)

O acelerador de compressão deve alcançar uma Taxa de Compressão (CR) na faixa de **1.5:1 a 2.5:1 lossless** sobre os dados *Thermal Infrared* (TIR) de 16 bits.

[RNF011] Latência de Processamento (Requisito Fechado)

A latência total de processamento deve ser inferior a **1 ms** por *frame* de imagem.

5.2 Ambiente de Desenvolvimento (Toolchain)

[RNF012] Ferramenta de Síntese/Implementação

O código Register Transfer Level (RTL) deve ser sintetizável na suíte **Xilinx Vivado** (e.g., Vivado 2023.2).

[RNF013] Verificação de Hardware

O design deve ser compatível com ferramentas de análise de *timing* e depuração *on-chip* (como Integrated Logic Analyzer (ILA) ou ChipScope) para a validação da Corretude.

5.3 Pontos Abertos Finais (A.4)

O DRS v0.1 está finalizado, mas exige a resolução formal dos seguintes pontos na fase de implementação:

- **Orçamento de Recursos (FPGA Alvo):** Definir e fixar o **limite máximo de utilização** de Look-Up Table (LUT)s, *Flip-Flop* (FF)s, Block Random Access

Memory (BRAM)s e Digital Signal Processor (DSP)s no Field Programmable Gate Array (FPGA) alvo (e.g., Xilinx Zynq7020) para o subsistema de compressão (RFN-5).

- **Datasets de Validação:** Finalizar a aquisição e caracterização dos **Datasets de Imagens TIR de 16 bits** para realizar os testes de CR e Corretude (RFN-6.1 e RFN-6.2).

Glossário

ChipScope Conjunto de ferramentas de depuração *on-chip* da Xilinx que permite a visualização de sinais internos do FPGA em tempo real, essencial para validação de hardware.. 6

Zynq7020 Modelo de System-on-Chip (SoC) da Xilinx que integra um processador ARM e lógica de FPGA programável, frequentemente usado como alvo para sistemas embarcados de processamento de imagem.. 7

Siglas

BRAM Block Random Access Memory. 6

DSP Digital Signal Processor. 7

FF *Flip-Flop*. 6

FPGA Field Programmable Gate Array. 7

ILA Integrated Logic Analyzer. 6

LUT Look-Up Table. 6

RTL Register Transfer Level. 6

TIR *Thermal Infrared*. 6, 7