

Homework 6 — October 25

Lecturer: Hu Weiwu

Completed by: 2022K8009929010 Zhang Jiawei

6.1

找不到机箱。

6.2

总线包含机械层、电气层、协议层、架构层。其中,机械层定义了总线的物理特性,如接口的外形、尺寸、信号排列、连接线的长度范围等;电气层定义了总线的电气特性,如信号描述、电源电压、电平标准、信号质量等;协议层定义了总线的通信规则,如信号时序、握手规范、命令格式、出错处理等;架构层定义了总线的架构方式,如硬件模型、软件架构等。

6.3

写请求部分共 $8 + 32 + 3 + 4 + 2 + 1 + 1 = 51$ 位,写数据部分共 $8 + 64 + 8 + 1 + 1 = 82$ 位,写响应部分共 $8 + 2 + 1 + 1 = 12$ 位,读部分共 $8 + 32 + 3 + 4 + 2 + 1 + 1 + 8 + 64 + 2 + 1 + 1 = 127$ 位。共 $51 + 82 + 12 + 127 = 272$ 位。

6.4

通过阅读 AMBA APB 总线协议文档¹,设计 APB 接口的 GPIO 模块如下:

```
1  module apb_gpio (
2      input wire PCLK,
3      input wire PRESETn,
4      input wire PSEL,
5      input wire PENABLE,
6      input wire PWRITE,
7      input wire [31:0] PADDR,
8      input wire [31:0] PWDATA,
9      output reg [31:0] PRDATA,
10     output reg PREADY,
11     output reg [7:0] gpio_out
12 );
13
14     // GPIO 寄存器
15     reg [7:0] gpio_reg;
16
17     // APB 读写操作
18     always @(posedge PCLK or negedge PRESETn) begin
19         if (!PRESETn) begin
20             gpio_reg <= 8'b0;
21             PRDATA <= 32'b0;
```

¹<https://documentation-service.arm.com/static/63fe2c1356ea36189d4e79f3>

```
22     PREADY <= 1'b0;
23   end else begin
24     if (PSEL && PENABLE) begin
25       PREADY <= 1'b1;
26       if (PWRITE) begin
27         // 写操作
28         gpio_reg <= PWDATA[7:0];
29       end else begin
30         // 读操作
31         PRDATA <= {24'b0, gpio_reg};
32       end
33     end else begin
34       PREADY <= 1'b0;
35     end
36   end
37 end
38
39 // GPIO 输出
40 always @(posedge PCLK) begin
41   if (!PRESETn) begin
42     gpio_out <= 8'b0;
43   end else begin
44     gpio_out <= gpio_reg;
45   end
46 end
47 endmodule
```

6.5

DRAM 的寻址包含片选、Bank 地址、行地址、列地址。在计算机系统中, 程序的地址空间是线性的, 处理器发出的内存访问地址也是线性的, 由内存控制器负责将地址转换为对应于 DRAM 的片选、Bank 地址、行地址、列地址。

6.6

每个通道为 64 位, 即 8 字节, 内存地址共 2^{15} 个, 故每个通道的地址空间为 $2^{15} \times 8 = 2^{18} = 256KB$, 共 2 个通道, 故总地址空间为 $256KB \times 2 = 512KB$ 。