

BC-1503
Arquitetura de Computadores



Universidade Federal do ABC

Microprocessadores

Guiou Kobayashi
guiou.kobayashi@ufabc.edu.br

2º Quadrimestre, 2014



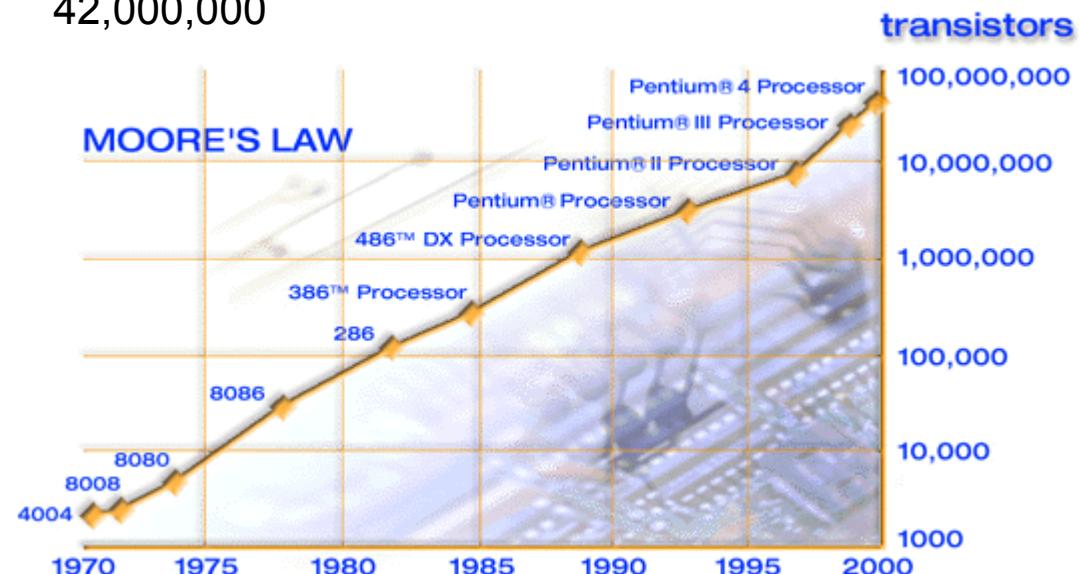
CONTEÚDO PROGRAMÁTICO:

- História e Evolução dos Computadores e Sistemas
- Estrutura de Computadores Digitais
- Lógica Digital Binária
- Processamento
- Instruções e linguagem de máquina
- **Microprocessadores modernos:** pipeline, super escalar, RISC
- Memórias cache e gerenciamento de memórias
- Arquitetura de computadores pessoais
- Arquitetura de Computadores Paralelos
- Sistemas Computacionais: desempenho e confiabilidade



Microprocessador	Ano	Transistores
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™	1985	275,000
486™ DX	1989	1,180,000
Pentium®	1993	3,100,000
Pentium II	1997	7,500,000
Pentium III	1999	24,000,000
Pentium 4	2000	42,000,000

Lei de Moore: O número de transistores integrados em um único Chip dobra a cada 18 meses





RISC x CISC

RISC: Reduced Instruction Set Computer. Exemplo: UltraSpark - Workstation SUN

CISC: Complex Instruction Set Computer. Exemplo: Pentium Intel

RISC:

Objetivo: desenvolver um processador com um conjunto simplificado de instruções para reduzir os ciclos de máquina necessários para execução de uma instrução. Em compensação, funções complexas exigiriam mais instruções para serem executadas.

- Processadores sem microprogramas (sem interpretação)
- Ganho: instruções até 10 vezes mais rápidas que CISC.

Princípios de Projeto:

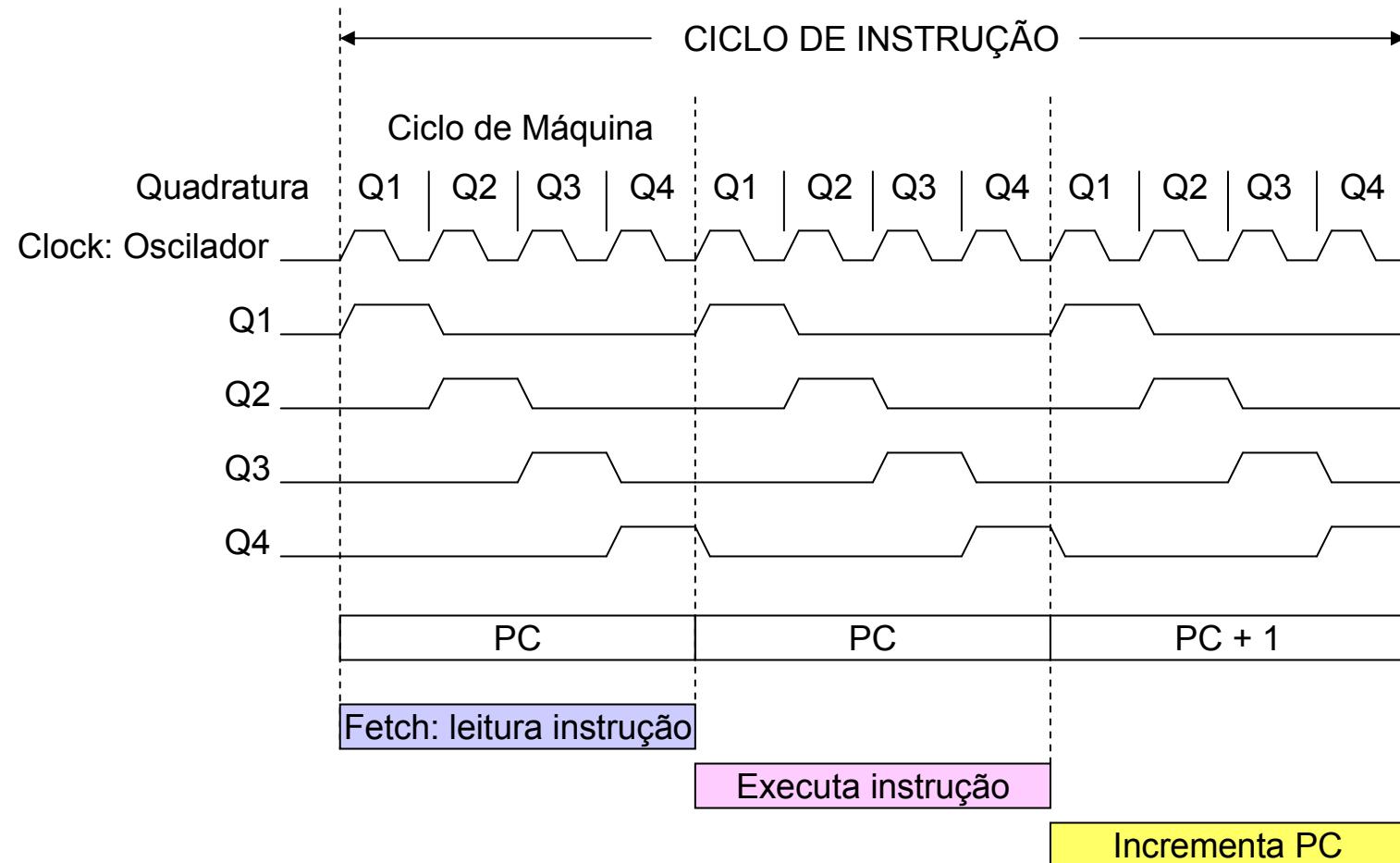
- Todas instruções executadas por hardware
- Maximizar a taxa de execução de instruções
- Instruções devem ser fáceis de decodificar
- restringir o acesso à memória: somente LOAD e STORE
- ter bastante registradores

Problemas:

- compatibilidade com softwares existentes
- CISC implementa parte das idéias do RISC. Exemplo: instruções mais simples são executadas por circuitos RISC (arquiteturas híbridas)



DIAGRAMA DE TEMPOS DO PROCESSADOR





PIPELINE

Execução de um instrução em várias partes, cada parte sendo executada por um hardware dedicado (estágios), e todos executando ao mesmo tempo, em paralelo.

Exemplo: pipeline de 5 estágios, com execução simultânea de 5 instruções

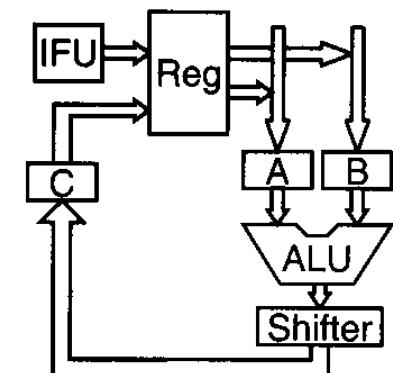
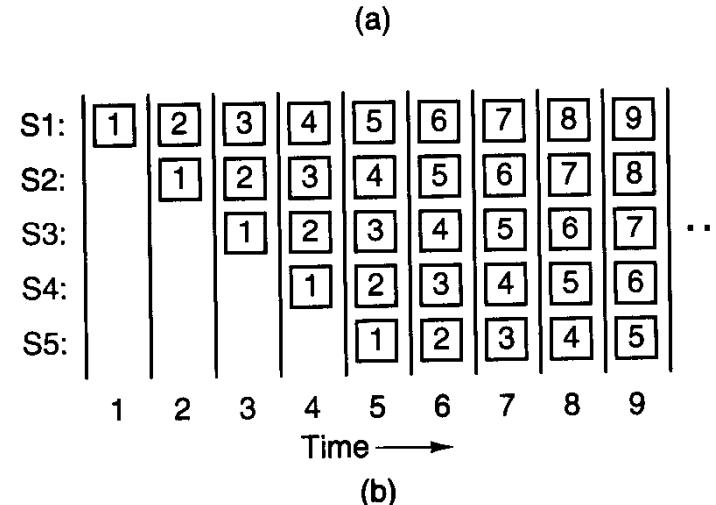
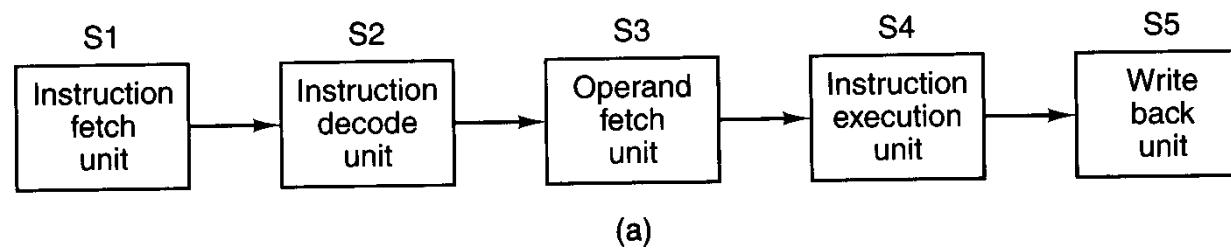


Figure 2-4. (a) A five-stage pipeline. (b) The state of each stage as a function of time. Nine clock cycles are illustrated.



SUPERESCALAR

Se um pipeline é bom, dois é melhor...

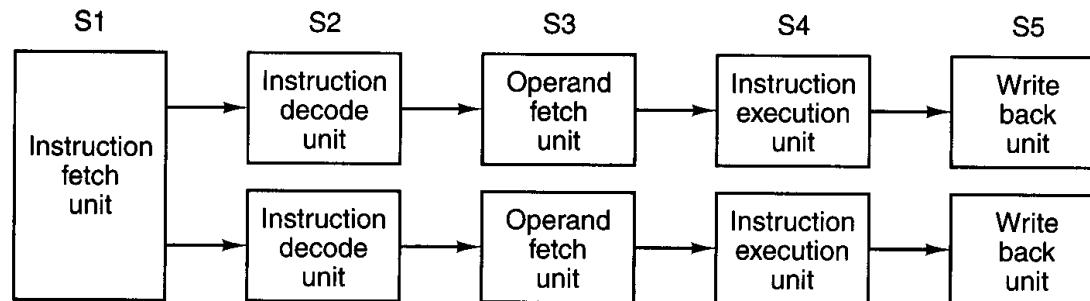
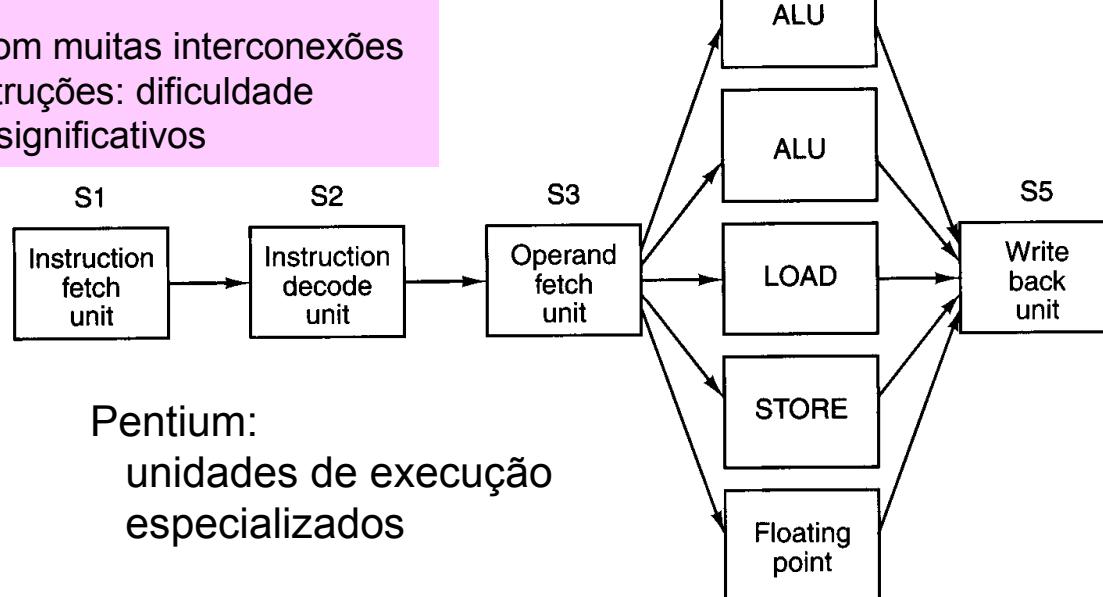


Figure 2-5. (a) Dual five-stage pipelines with a common instruction fetch unit.

Porque não quatro pipelines?

- complexidade de hardware, com muitas interconexões
- interdependência entre as instruções: dificuldade em Compilação, sem ganhos significativos

Intel 486:
u pipeline (principal)
v pipeline
Compilador:
- gera pares compatíveis
de instruções



Pentium:
unidades de execução
especializados



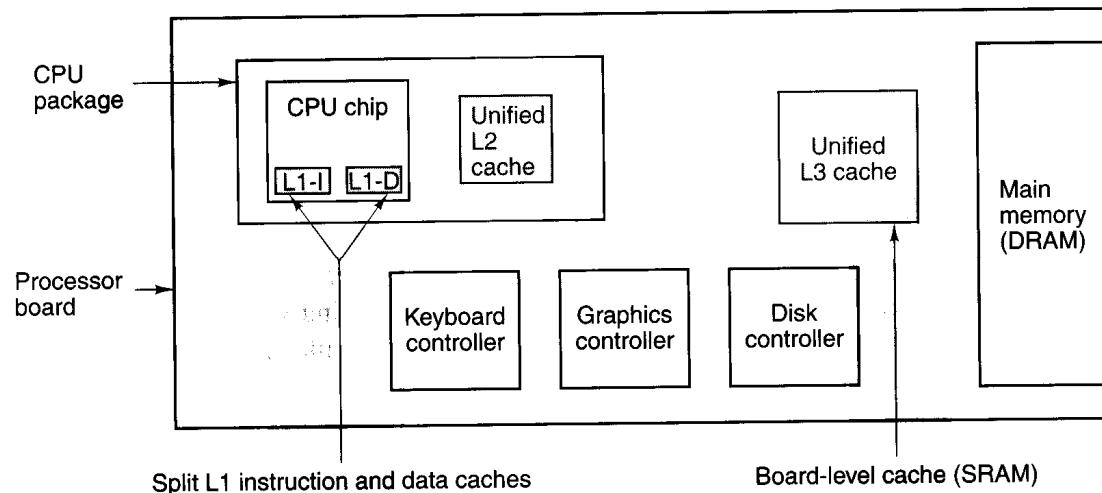
MEMÓRIAS CACHE

Avanços da tecnologia microeletrônica possibilita a integração de circuitos cada vez menores e mais rápidos.

- microprocessadores cada vez mais rápidos
- memórias mais densas em detrimento da velocidade
- ampliação da diferença de velocidade entre processadores e memória

Memórias Cache:

- memórias estáticas (SRAM) de grande velocidade mas baixa densidade
- utilizadas para compatibilizar as velocidades entre processador e a memória
- palavras-chaves: **taxa de acerto** (hit-rate); **write-back** (estratégia de escrita de dados)
previsão de saltos (branch prediction); **execução fora de ordem**

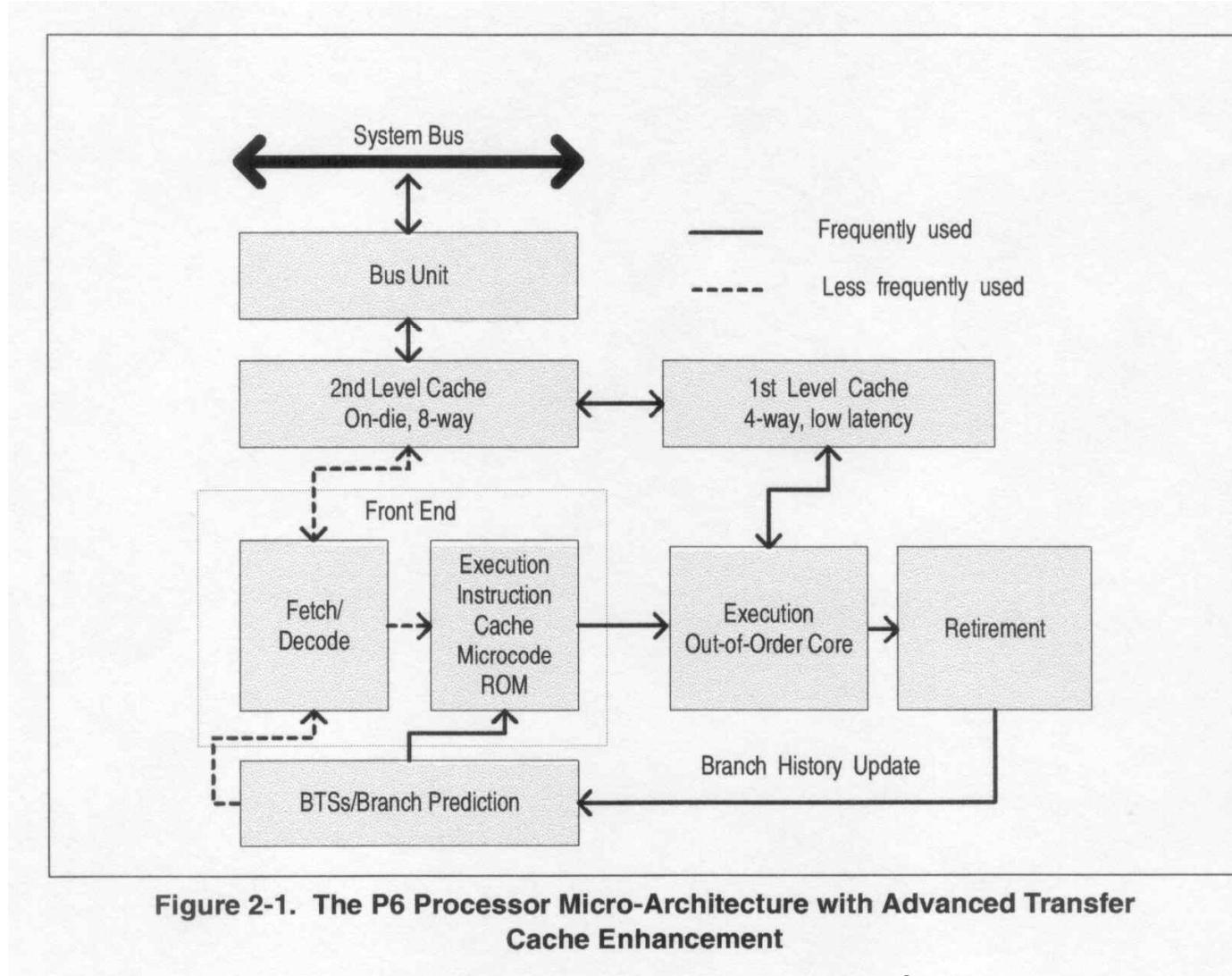


Cache:

- L1: nível 1, mais próxima ao processador (on-chip)
 - L1 – I: cache de instruções
 - L1 – D: cache de dados
 - L2: nível 2 (on-chip)
 - L3: nível 3 (motherboard)
 - L4: nível 4
- ...



Arquitetura do controle de cache do P6 (base dos processadores Pentium III)



ref.: IA-32 Intel Architecture Manual



Arquitetura NetBurst: Pentium 4 e Xeon

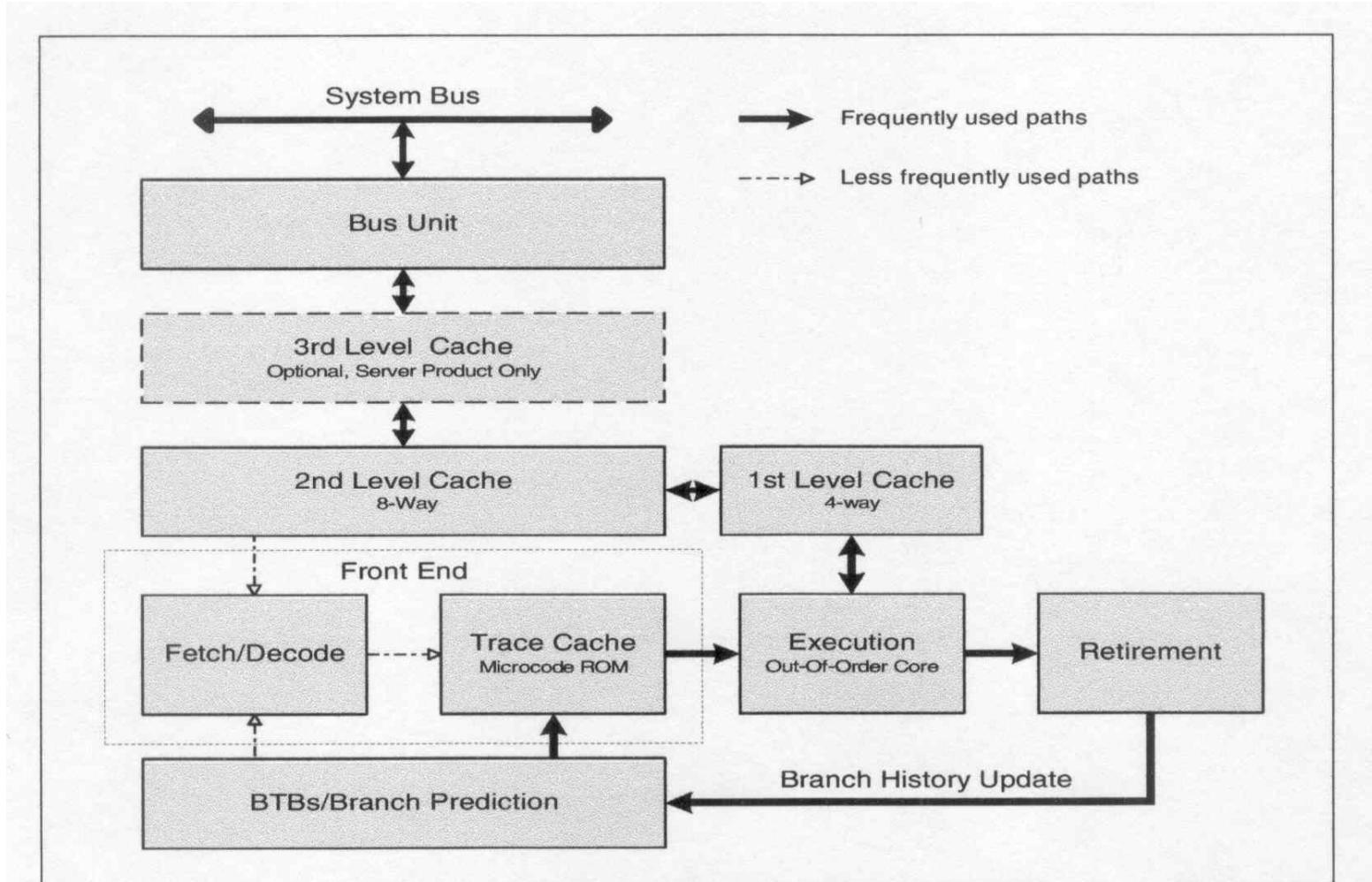


Figure 2-2. The Intel NetBurst Micro-Architecture

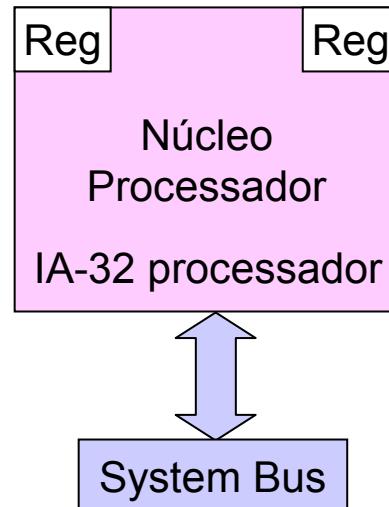
ref.: IA-32 Intel Architecture Manual



Intel Hyper-Threading

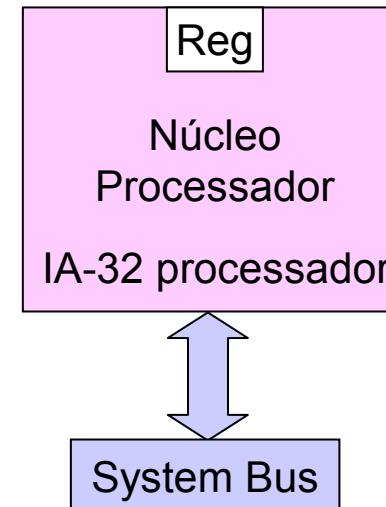
- Execução paralela de dois conjuntos independentes de instruções (threads)
- Dois processadores lógicos com registradores independentes, mas compartilha um processador físico e barramento do sistema (system bus)
- Necessita do suporte do Sistema Operacional, com chipset e BIOS adequados

Processador IA-32
com Hyper-Threading



Dois processadores lógicos
compartilhando o Núcleo
e o System Bus

Sistema tradicional com Multiprocessadores
(dois processadores Xeon)



Cada processador possui o seu
próprio Núcleo e System Bus



MICROPROCESSADORES DA FAMÍLIA INTEL

Table 2-2. Key Features of Previous Generations of IA-32 Processors

Intel Processor	Date Introduced	Max. Clock Frequency at Introduction	Transistors per Die	Register Sizes ¹	Ext. Data Bus Size ²	Max. Extern. Addr. Space	Caches
8086	1978	8 MHz	29 K	16 GP	16	1 MB	None
Intel 286	1982	12.5 MHz	134 K	16 GP	16	16 MB	Note 3
Intel386 DX Processor	1985	20 MHz	275 K	32 GP	32	4 GB	Note 3
Intel486 DX Processor	1989	25 MHz	1.2 M	32 GP 80 FPU	32	4 GB	L1: 8KB
Pentium Processor	1993	60 MHz	3.1 M	32 GP 80 FPU	64	4 GB	L1: 16KB
Pentium Pro Processor	1995	200 MHz	5.5 M	32 GP 80 FPU	64	64 GB	L1: 16KB L2: 256KB or 512KB
Pentium II Processor	1997	266 MHz	7 M	32 GP 80 FPU 64 MMX	64	64 GB	L1: 32KB L2: 256KB or 512KB
Pentium III Processor	1999	500 MHz	8.2 M	32 GP 80 FPU 64 MMX 128 XMM	64	64 GB	L1: 32KB L2: 512KB
Pentium III and Pentium III Xeon Processors	1999	700 MHz	28 M	32 GP 80 FPU 64 MMX 128 XMM	64	64 GB	L1: 32KB L2: 256KB

← L2 externo



Table 2-1. Key Features of Most Recent IA-32 Processors

Intel Processor	Date Introduced	Micro-Architecture	Clock Frequency at Introduction	Transistors Per Die	Register Sizes ¹	System Bus Bandwidth	Max. Extern. Addr. Space	On-Die Caches ²
Pentium 4 Processor	2000	Intel NetBurst Micro-architecture	1.50 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K µop Execution Trace Cache; 8KB L1; 256-KB L2
Intel Xeon Processor	2001	Intel NetBurst Micro-architecture	1.70 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K µop Trace Cache; 8-KB L1; 256-KB L2
Intel Xeon Processor	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	2.20 GHz	55 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K µop Trace Cache; 8-KB L1; 512-KB L2
Intel Xeon Processor MP	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	1.60 GHz	108 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K µop Trace Cache; 8-KB L1; 256-KB L2; 1-MB L3
Intel Pentium 4 Processor supporting Hyper-Threading Technology	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	3.06 GHz	55M	GP: 32 FPU: 80 MMX: 64 XMM: 128	4.2 GB/s	64 GB	12K µop Execution Trace Cache; 8KB L1; 512-KB L2
Intel Pentium M Processor	2003	Intel Pentium M Processor	1.60 GHz	77M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	L1: 64KB L2: 1MB

← Centrino
Notebooks



INTEL ITANIUM, ITANIUM 2: IA-64

Iniciativa da Intel em criar uma nova família de processadores a partir do zero, sem a complexidade do IA-32 e sem o compromisso da compatibilidade do software.

- arquitetura 64 bit; núcleo RISC
- modelo: EPIC (Explicitly Parallel Instruction Computing)

Instruções: grupos de três instruções, chamados de Bundle (128 bits)

Compilador: assegurar que as três instruções são compatíveis entre si

- . reordenar instruções
- . checar as dependências entre as instruções (dados e condicionantes)
- . rastrear as unidades internas do processador
- . escalação das instruções

- compilador mais complexo mas, uma vez otimizado o programa, todos as execuções subsequentes serão beneficiadas.

Execução Predicativa: resolver o problema dos saltos (branches) condicionais

If (R1 = 0) then R2 = R3;	MOV JNZ MOV	ACC, R1 Label 1 R2, R3	CMOVZ	R2, R3, R1
------------------------------	-------------------	------------------------------	-------	------------

Label 1:

If (R1 = R2) then R3 = R4 + R5 else R6 = R4 - R5	MOV SUB JNZ MOV ADD GOTO	ACC, R1 ACC, R2 Label 1 R3, R4 R3, R5 Label 2	CMPEQ <P4> ADD <P4> SUB	R1, R2, P4 R3, R4, R5 R6, R4, R5
	Label 1:	MOV SUB	Label 2:	R6, R4 R6, R5



BENCHMARK: INTEL x AMD

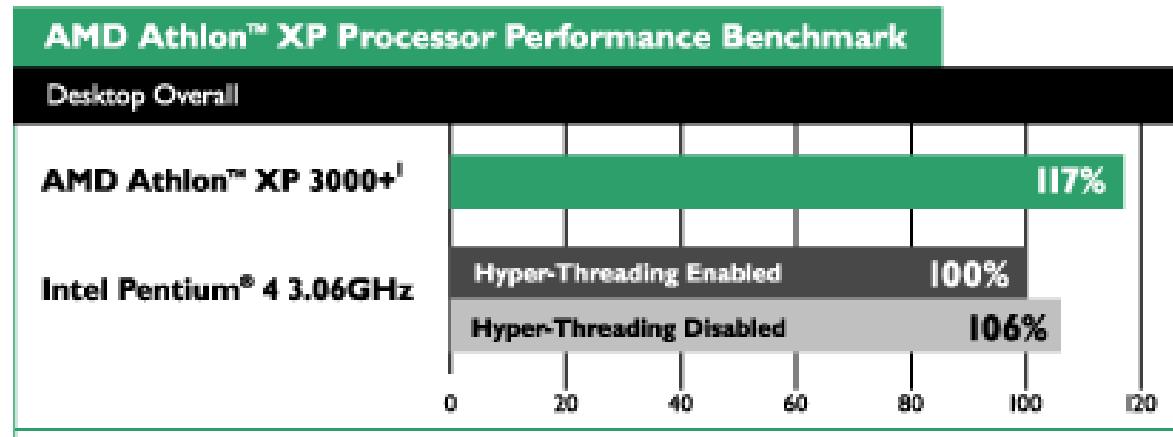
Benchmark:

Comparativo de performance baseado na execução de grupos de aplicativos padronizados.

- aplicativos comerciais (office)
- aplicativos Multimídia (content creation)
- jogos 3D
- aplicações científicas (ponto flutuante)
- aplicações banco de dados (data intensive)

Realizados por empresas independentes / auditorias

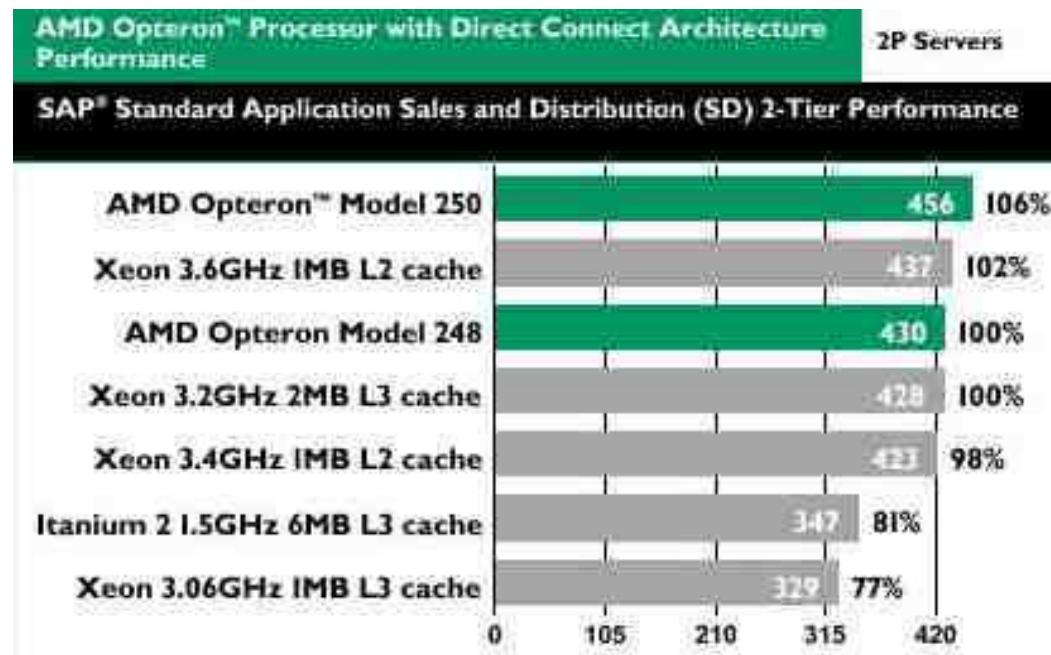
Comparação (ref:: Software Performance Guide AMD)
Athlon XP 3000+ x Pentium4 3,06 GHz





BENCHMARK: INTEL x AMD

Comparação Opteron com Xeon, utilizando o aplicativo de ERP, da SAP



Fonte: www.amd.com



COMPARAÇÃO: INTEL x AMD

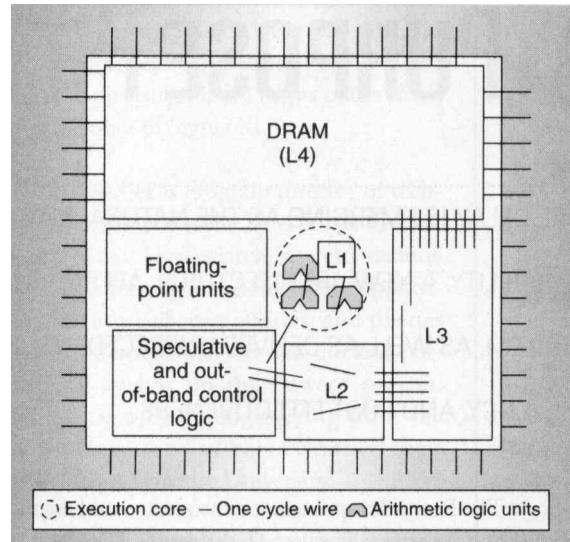
Comparação de microprocessadores para servidores:
AMD Athlon MP (MultiProcessor) x Pentium III e Xeon

Feature	AMD Athlon™ MP Processor	Pentium® III / Pentium® III Xeon	Xeon
Operations per clock cycle	9	5	6
Integer pipelines	3	2	4
Floating point pipelines	3	1	2
Full x86 decoders	3	1	1
L1 cache size	128KB	32KB	12k µop + 8KB
L2 cache size	256KB on-chip	256KB	256KB on 1.7GHz / 512KB
Total on-chip full-speed cache	384KB	288KB	264KB + 12k µop on 1.7GHz / 520KB
Total effective on-chip full-speed cache	384KB	256KB	256KB on 1.7GHz / 512KB
System bus speed	266MHz	133MHz	400MHz on 2.80GHz / 533MHz on 2.0GHz
3D Enhancement Instructions	3DNow!™ Professional (includes SSE)	SSE	SSE2

Athlon XP 3200+ tem barramento de dados de 400 MHz, contra um máximo de 333 MHz nos modelos anteriores. O clock do processador é de 2,2 GHz, e, a memória cache total, de 640 KB. Segundo a AMD, o novo chip é, em média, 6% mais rápido que o Pentium 4 de 3 GHz.



MICROPROCESSADORES NÃO CONVENCIONAIS



RAW microprocessor:

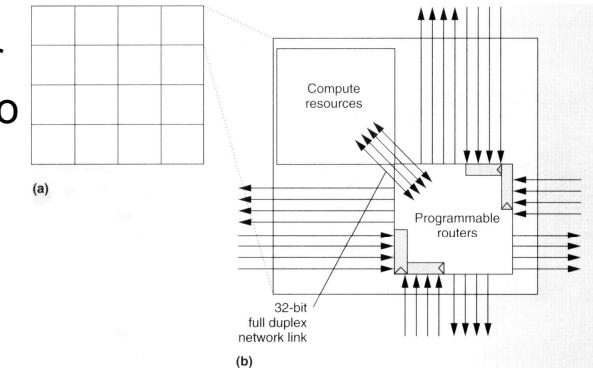
- clock: 2 GHz
- 32 bits RISC
- L1: 2 MBytes
- 3 ULAs

Desenvolvido pelo Lab. Computer Science MIT
(ref. IEEE Micro março / 2002)

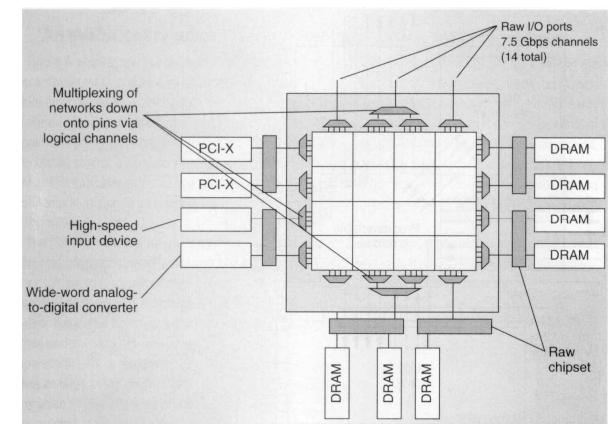
Matriz 4 x 4 de processador
e circuitos de interconexão

Interconexão:

- 4 redes ponto a ponto
- 32 bits a 225 MHz



On-chip interconnects in Raw. The Raw microprocessor comprises 16 tiles (a). Each tile (b) has computational resources and four networks, each with eight point-to-point 32-bit buses to neighbor tiles.





MICROPROCESSADORES NÃO CONVENCIONAIS - 2

Power4 – IBM: processador de alta confiabilidade desenvolvido para montagens modulares

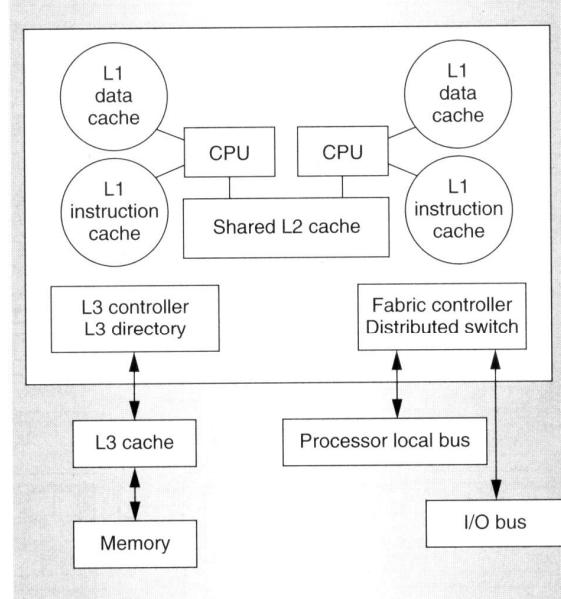
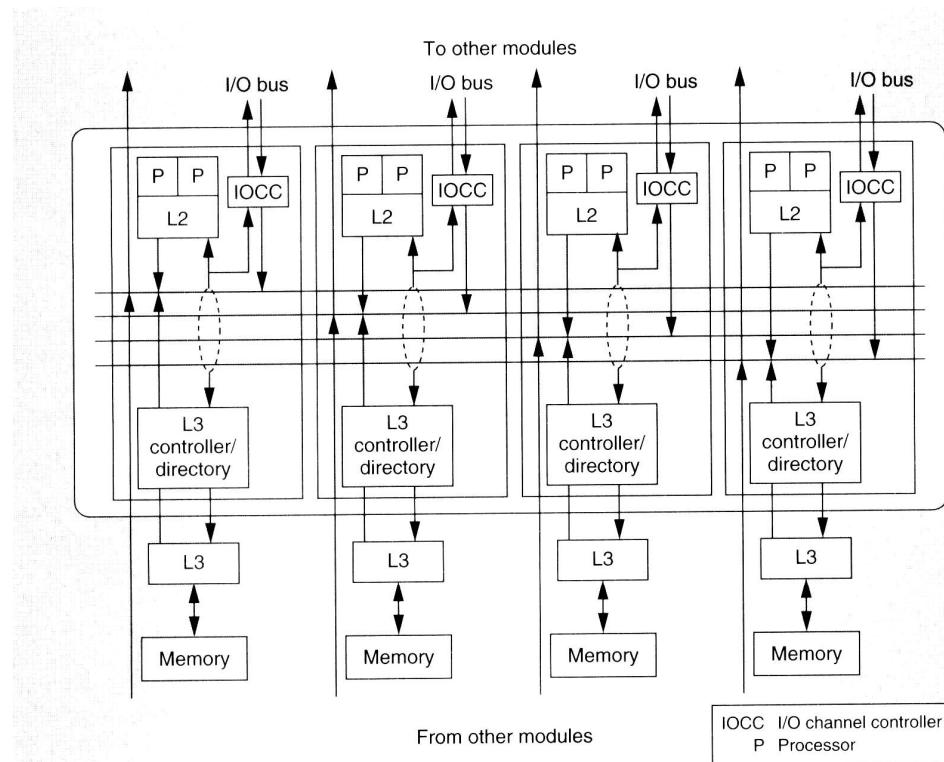


Figure 1. Power4 chip design.

- 32 bits
- 1,3 GHz
- L1: 64 KB + 32 KB
- L2: compartilhado



Power4 multichip module with four chips.