

國立高雄科技大學  
電子工程系(第一校區)

硬體描述語言

Lab 2-1

指導教授：陳銘志

班 級：電子三甲

學生姓名：蕭詠釗

學 號：C111112132

## Lab 2-1.

### Lab. 2: 4-bit Ripple Carry Full Adder (Chap. 5)

題目說明：

1. 請利用 Gate-Level 寫法，透過 Vivado 模擬 4-bit Ripple Carry Full Adder。

-----第一題作答區-----

主(電路)程式

```
`timescale 1ns / 1ps

module adder(S,C4,A,B,C0);
input [3:0] A,B;
input C0;
output [3:0] S;
output C4;
wire C1, C2, C3;

fulladder FA0(S[0], C1,A[0],B[0],C0);
fulladder FA1(S[1], C2,A[1],B[1],C1);
fulladder FA2(S[2], C3,A[2],B[2],C2);
fulladder FA3(S[3], C4,A[3],B[3],C3);

endmodule

module fulladder (S,C,x ,y,z);
input x,y,z;
output S,C;
assign C= ((x^y) &z)| (x&y);
assign S=x^y^z;
endmodule
```

測試程式(testbench)

```
`timescale 1ns / 1ps

module Sim();
reg C0;
reg [3:0] A;
reg [3:0] B;
wire C4;
wire [3:0] S;
```

```

adder uut(S ,C4,A,B,C0);
initial
begin
$monitor
($time,"A=%b,B=%b,C_in=%b,---C_OUT=%b,SUM=%b\n",A,B,C0,C4,S);
end

initial

begin

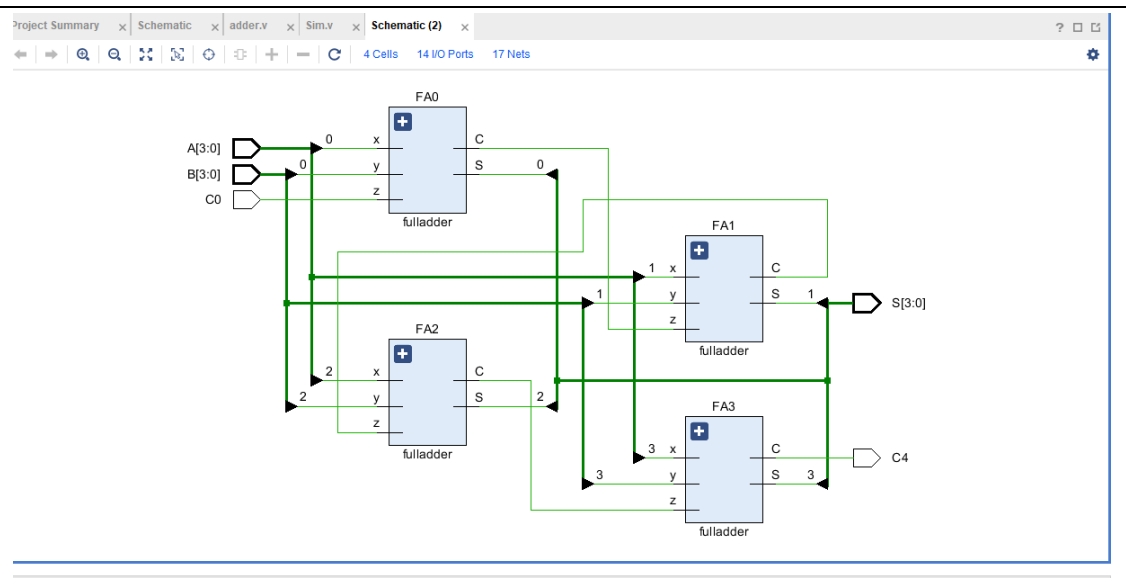
#100 A=4'b1100;B=4'b0110;C0=1'b0;
#100 A=4'b0010;B=4'b0000;C0=1'b0;
#100 A=4'b0010;B=4'b0110;C0=1'b0;
#100 A=4'b1010;B=4'b0100;C0=1'b0;
#100 A=4'b1111;B=4'b1001;C0=1'b0;
#100 A=4'b1100;B=4'b0110;C0=1'b1;
#100 A=4'b0010;B=4'b0000;C0=1'b1;
#100 A=4'b0010;B=4'b0110;C0=1'b1;
#100 A=4'b1010;B=4'b0100;C0=1'b1;
#100 A=4'b1111;B=4'b1001;C0=1'b1;
end

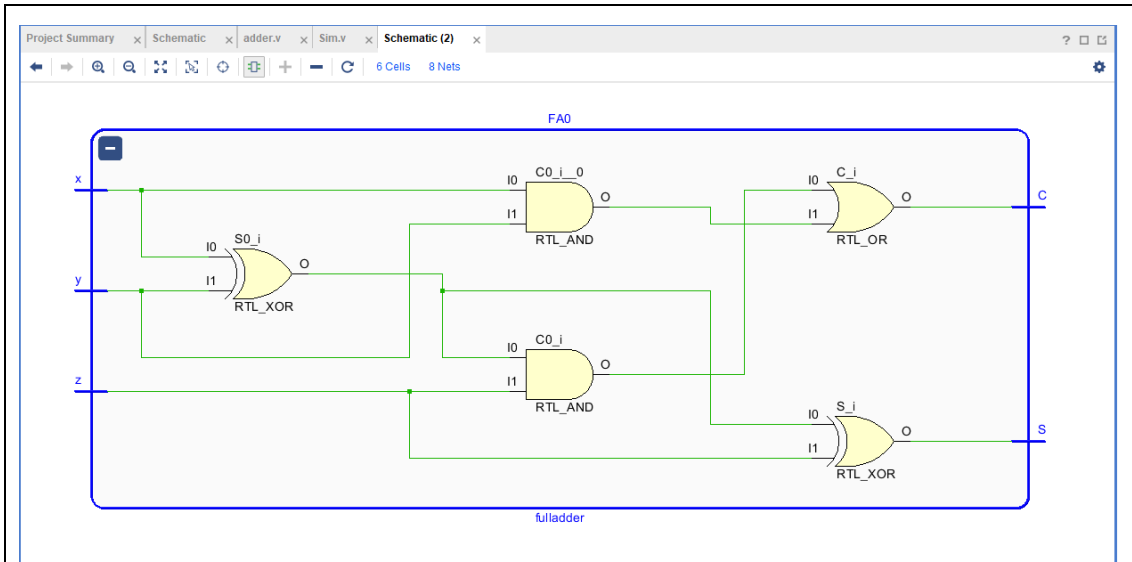
initial #1100 $finish;

endmodule

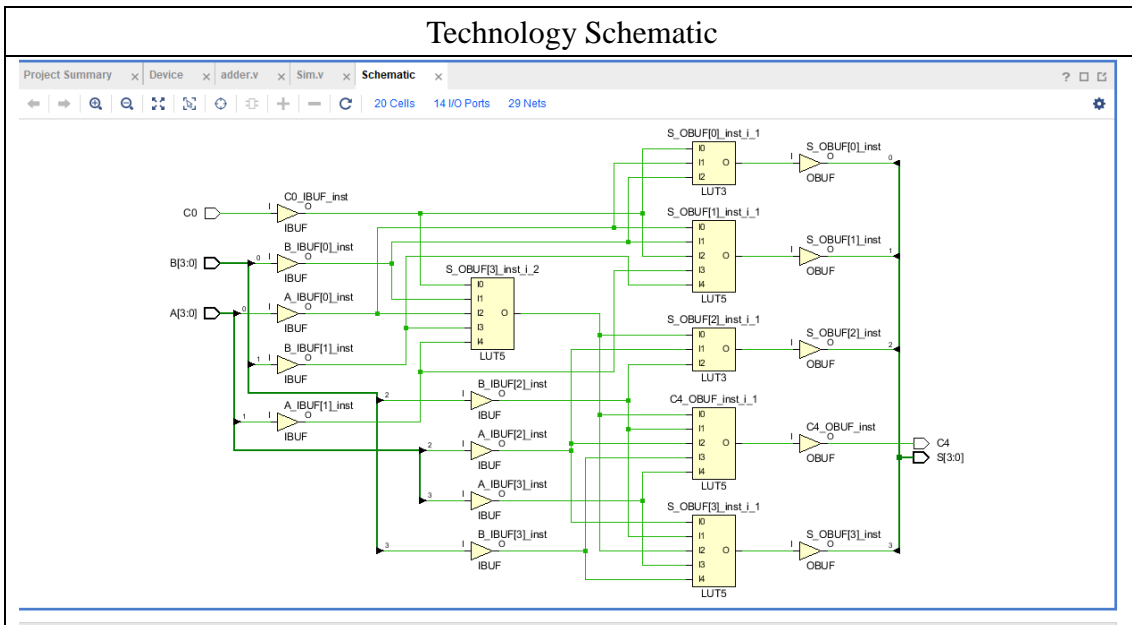
```

## RTL schematic





示意圖請一層一列並標示是第幾層(第三層)



示意圖請一層一列並標示是第幾層(第二層)

示意圖請一層一列並標示是第幾層(第三層)

Behavioral Simulation Waveform(含 \$monitor)

Tcl Console

Messages

Log

🔍

⚙️

⏏️

⏸️

📄

📅

🗑️

```

# }
# run 1000ns

0A=xxxx,B=xxxx,C_in=x,---C_OUT=x,SUM=xxxx

100A=1100,B=0110,C_in=0,---C_OUT=1,SUM=0010

200A=0010,B=0000,C_in=0,---C_OUT=0,SUM=0010

300A=0010,B=0110,C_in=0,---C_OUT=0,SUM=1000

400A=1010,B=0100,C_in=0,---C_OUT=0,SUM=1110

500A=1111,B=1001,C_in=0,---C_OUT=1,SUM=1000

600A=1100,B=0110,C_in=1,---C_OUT=1,SUM=0011

700A=0010,B=0000,C_in=1,---C_OUT=0,SUM=0011

800A=0010,B=0110,C_in=1,---C_OUT=0,SUM=1001

900A=1010,B=0100,C_in=1,---C_OUT=0,SUM=1111

1000A=1111,B=1001,C_in=1,---C_OUT=1,SUM=1001

INFO: [USF-XSim-96] XSim completed. Design snapshot 'Sim_behav' loaded.
INFO: [USF-XSim-97] XSim simulation ran for 1000ns

```

adder.v x Sim.v x Untitled 2 x

🔍

📄

🔍

🔍

🔄

⏮️

⏪️

⏩️

⏭️

⏴️

⏵️

⏴️

⏵️

⏴️

⏵️

Name	Value
C0	0
> A[3:0]	f
> B[3:0]	9
C4	1
> S[3:0]	8

0 ns

200 ns

400 ns

520.664 ns

600 ns

800 ns

(作業請於兩週內交，遲交零分計算)