

32 位微控制器

HC32F460 系列的硬件开发指南

应用笔记

Rev1.4 2024 年 01 月

适用对象

产品系列	产品型号
F 系列	HC32F460

声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2024 小华半导体有限公司 保留所有权利

目 录

适用对象	2
声 明	3
目 录	4
1 摘要	5
2 电源	6
3 复位	8
4 模式 PIN	9
5 GPIO	10
6 参考原理图	11
7 总结	12
版本修订记录	13

1 摘要

本篇应用笔记主要介绍基于 HC32F460 系列芯片的硬件设计。

2 电源

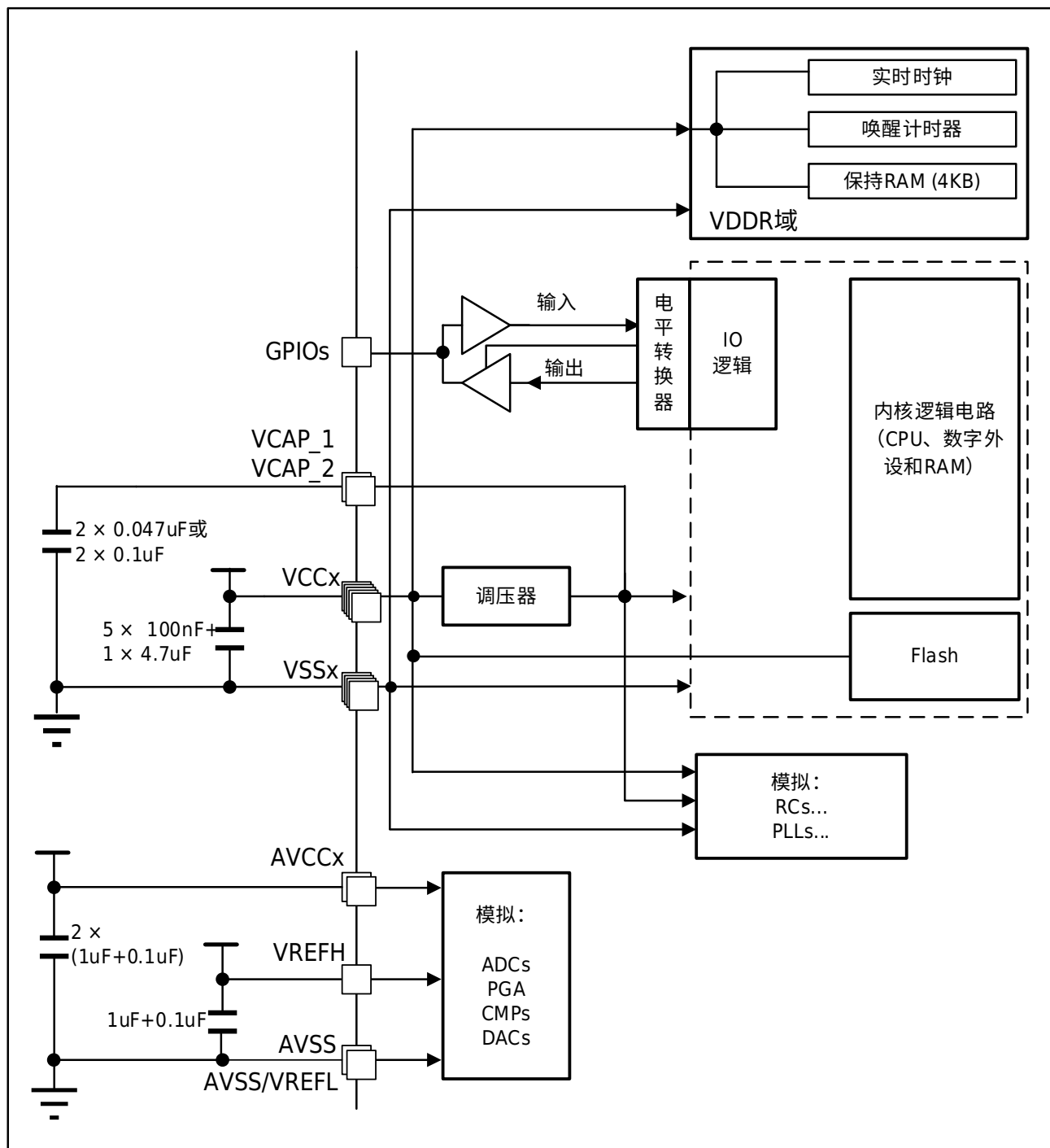


图 2-1 去耦电容

***NOTE1:** 去耦电容示意图是针对 100 PIN 的 P/N，针对其他的 PIN 数的 P/N，以实际的管脚配置为准。

1. 4.7 uF 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。
3. 每个电源对（例如 VCC/ VSS，AVCC/ AVSS ...）必须使用上述的滤波陶瓷电容去耦。这些电容

必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本。这可能导致器件工作不正常。

4. 芯片的 VCAP_1/ VCAP_2 管脚使用的电容如下：

1) 同时存在 VCAP_1 和 VCAP_2 管脚的芯片，每个管脚可以使用 0.047uF 或者 0.1uF 电容（总容量为 0.094uF 或者 0.2uF）。

2) 只有 VCAP_1 管脚的芯片，可以使用 0.1uF 或者 0.22uF 电容。

从掉电模式唤醒时，内核电压建立过程中需要给 VCAP_1/ VCAP_2 充电。一方面，较小的 VCAP_1/ VCAP_2 总容量能够缩短充电时间，为应用带来快速响应能力；另一方面，较大的 VCAP_1/ VCAP_2 总容量会延长充电时间，但是也提供更强的电磁兼容性(EMC)。用户可以根据电磁兼容性和系统响应速度的要求，选择较大或者较小的电容值。芯片的 VCAP_1/ VCAP_2 总容量必须与 PWR_PWRC3.PDTS 位的赋值相匹配。VCAP_1/ VCAP_2 的总容量为 0.2uF 或者 0.22uF 时，需要在进入掉电模式之前确保 PWR_PWRC3.PDTS 位清零。VCAP_1/ VCAP_2 的总容量为 0.094uF 或者 0.1uF 时，需要在进入掉电模式之前确保 WR_PWRC3.PDTS 位置位。

5. 主调压器的稳定性是通过将外部电容连接到 VCAP_1（或 VCAP_1/ VCAP_2）引脚实现的，电容值 CEXT 根据系统的稳定性要求确定。电容值 CEXT 和 ESR 要求如下：

图 2-2 VCAP_1/ VCAP_2 工作条件

符号	参数	条件
CEXT	外部电容的电容值	0.047 μ F / 0.1 μ F / 0.22 μ F
ESR	外部电容的等效串联电阻 ESR	< 0.3 Ω

3 复位

应用中如果不使用 NRST，必须将 NRST 通过电阻（推荐 10 k Ω ）上拉到 VCC。

在 NRST 引脚和地（VSS）之间接电容可提升 EMC 性能，推荐值为 10 nF~100 nF。

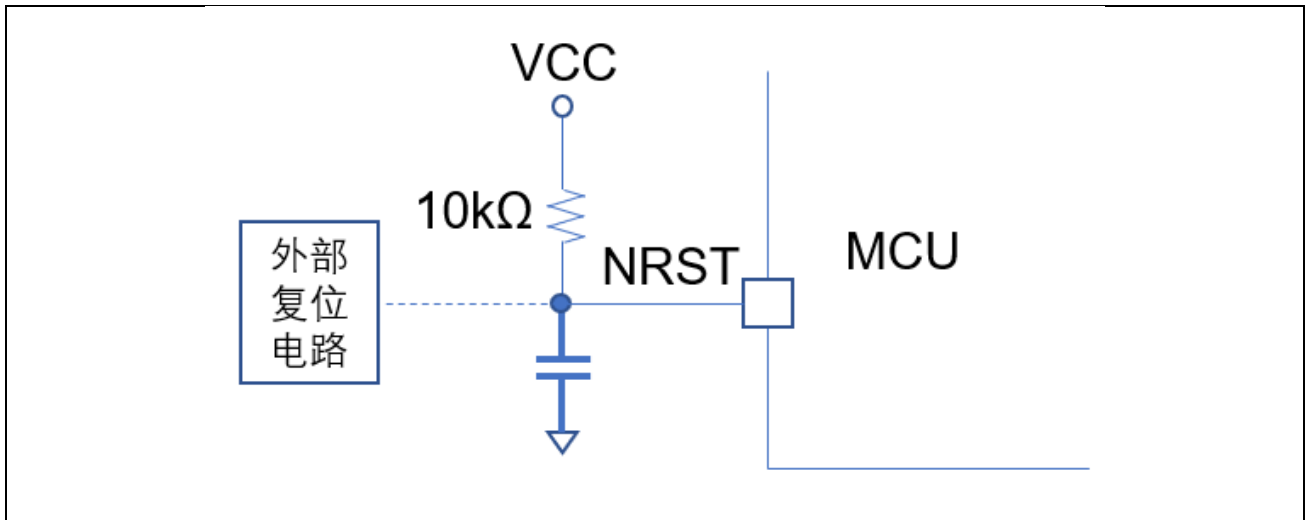


图 3-1 NRST 电路

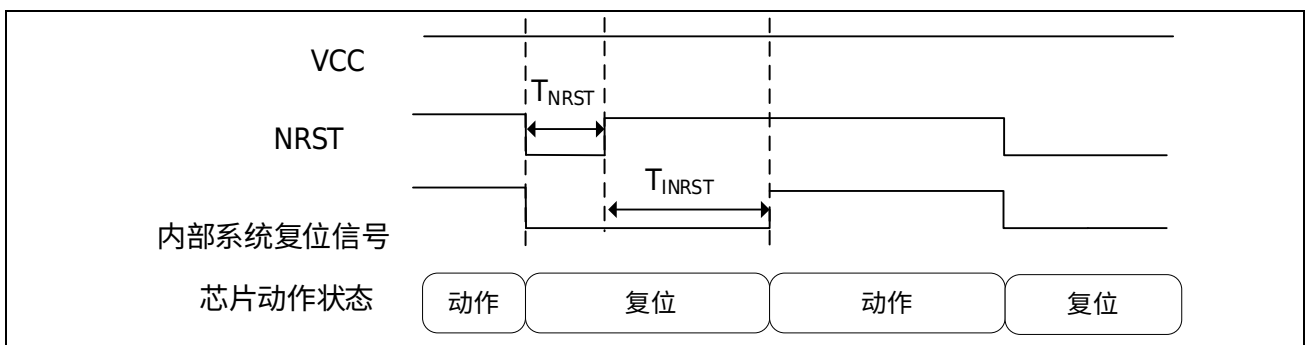


图 3-2 NRST 复位时序

4 模式 PIN

必须通过电阻（推荐 4.7 K Ω ）将模式 PIN（PB11/ MD）上拉到 VCC。

PB11/ MD 用户可用作输入端口，但是在 NRST 有效期间（即 NRST 为低电平期间）必须保持高电平，否则 NRST 解除后（即 NRST 变为高电平），MCU 会误进入引导模式（Boot Mode）。

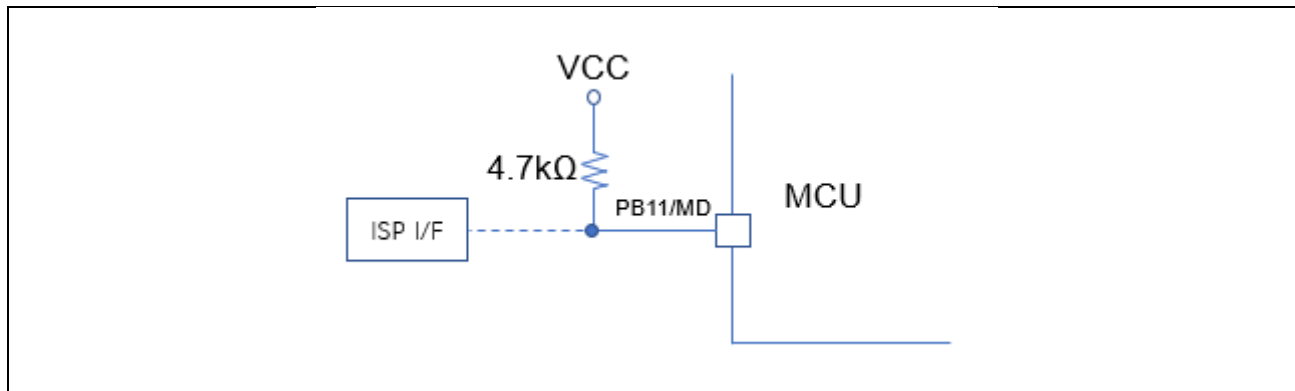


图 4-1 PB11/ MD 电路

5 GPIO

MCU 的 GPIO 是通过 CMOS 的 PMOS 输出高电平，NMOS 输出低电平，内部上拉电阻也是一个 PMOS，引脚输出时，PMOS 或 NMOS 工作在线性区域，其等效导通电阻随着 MCU 的 VCC 变化而变化。到 MCU 工作下限电压附近时，其导通电阻会急剧变化，表象上看就是驱动能力急剧下降，上拉电阻也变大。

5V tolerant 是指 MCU 的 GPIO 可以接受最大的电平输入，芯片的最高工作电压是 3.6 V。5 V 耐压引脚上的最高输入电压受到器件电源电压（VCC、AVCC）的影响，并需保证器件的电源（VCC、AVCC）稳定后，此电压再加到器件的 5 V 耐压引脚，禁止此输入电压直接连接外部电源，建议通过 100 Ω 以上的电阻串接引脚和外部电源。

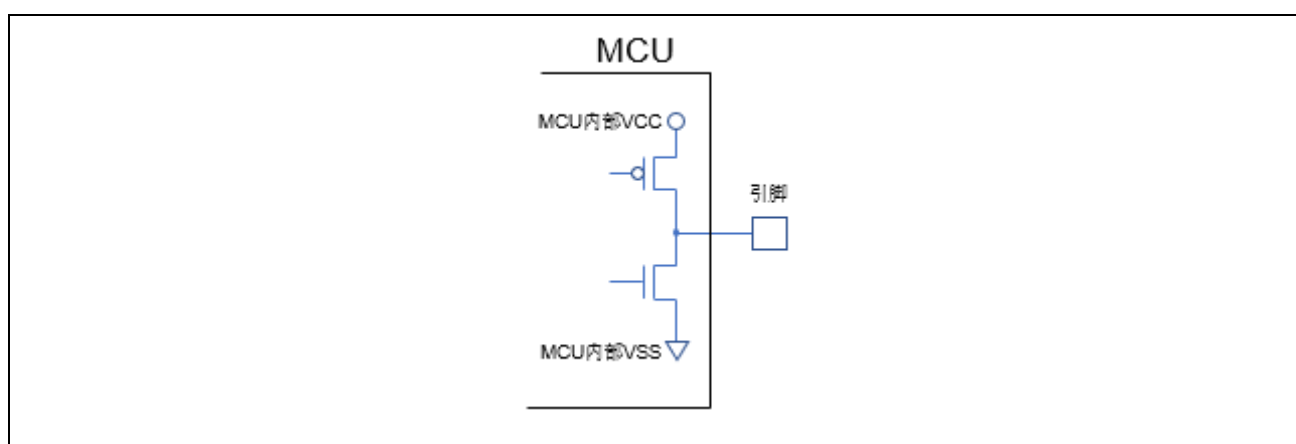


图 5-1 GPIO 结构

- GPIO 输出可以驱动的负载（单个 IO 驱动电流、 Σ 驱动电流）、以及输入的电平范围，必须满足 Datasheet 规定的范围，否则会给芯片带来不可逆的损伤。
- GPIO 输出翻转（L→H、H→L）时，MCU 内部会有短暂的开关电流，导致 VCC、VSS 上噪声，严重时会使 MCU 对引脚电平的误认识，所以输出负载必须在 Datasheet 规定的范围之内。
- 带 AD 模拟输入的 GPIO 输出翻转时，会导致 VCCA、VSSA 上产生噪声，影响 ADC 变换的精度，所以 ADC 变换时应该避免这些 GPIO 输出翻转。
- USB 复用的 GPIO（PA11/ USBFS_DP、PA12/ USBFS_DM）不支持 5 V tolerance 输入，最大输入 3.6 V。
- 一般的 MCU 在 GPIO 复用的外设输出功能进行切换时，可能会有意外的毛刺产生。F460 系列特有的对策电路，参照手册寄存器说明【通用控制寄存器（PCRxy）】。

6 参考原理图

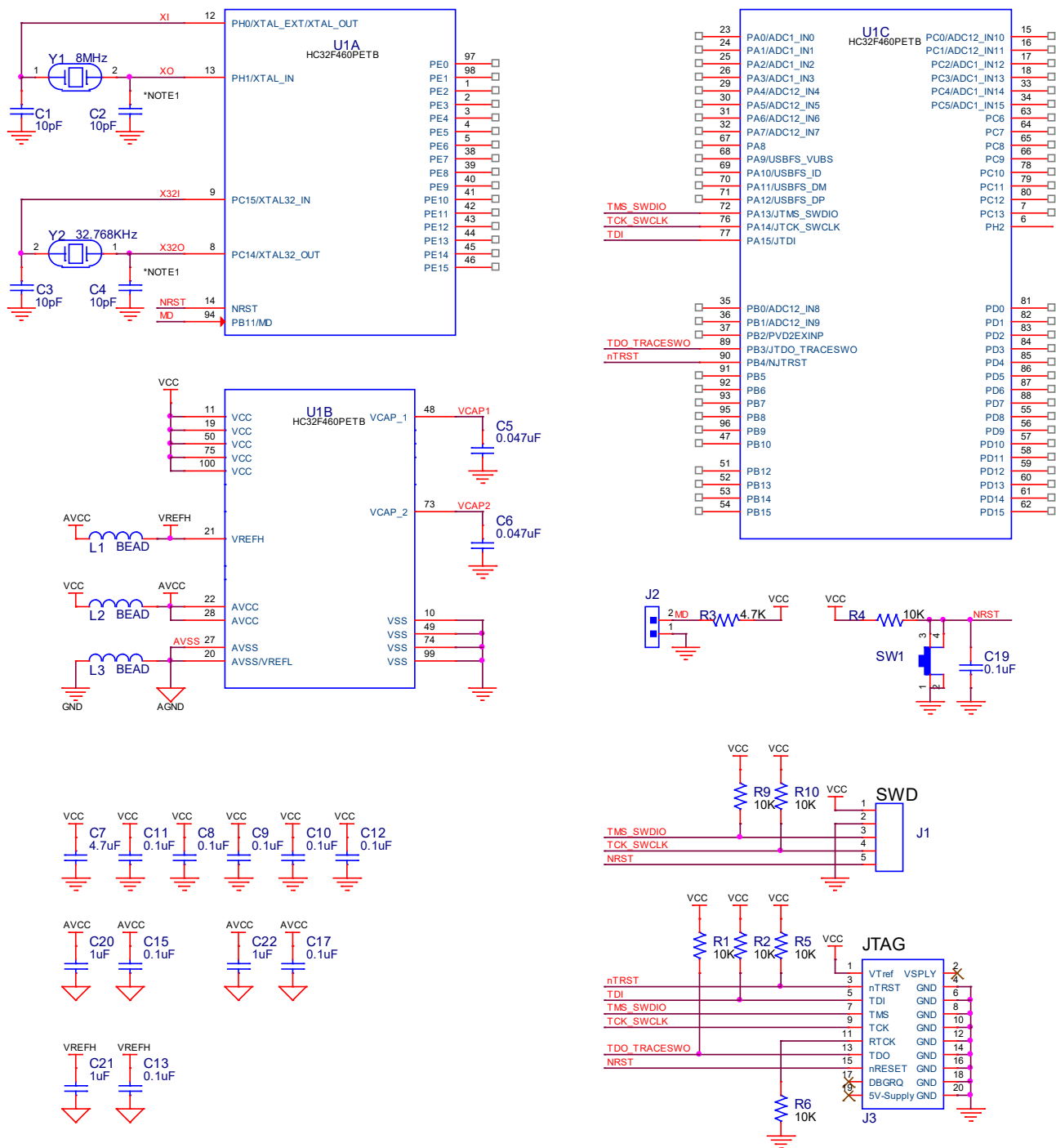


图 6-1 参考原理图

***NOTE1:** 晶振电路的负载电容需要根据用户系统来进行调整

***NOTE2:** 参考原理图是针对 100PIN 的 P/N，针对其他的 PIN 数的 P/N，以实际的管脚配置为准。

7 总结

以上章节简要介绍了 HC32F460 系列的硬件相关知识，并说明了电源、复位、模式、GPIO 的应用注意事项，提供了参考原理图，用户在开发中可以根据实际需要进行设计。

版本修订记录

版本号	修订日期	修订内容
Rev1.0	2019/02/25	初版发布。
Rev1.1	2019/06/11	更新以下信息：① “电源” 章节；② “参考原理图” 章节。
Rev1.2	2020/08/26	更新支持型号。
Rev1.3	2022/07/15	公司 Logo 更新。
Rev1.4	2024/01/02	更新以下信息：① “电源” 章节；② “GPIO” 章节；③ “参考原理图” 章节。