

Problem 3

1. 為什麼要加入 `blinky.xdc` ?

Xdc 檔主要用於 Synthesis 和 Implementation 階段，可以使 FPGA 設計能夠達到正確的時序與佈局要求。

Xdc 檔主要包含兩大類約束：

- **時序約束 (Timing Constraints)**

確保 FPGA 設計能夠滿足 **時序要求**，避免 Setup 和 Hold Time 違規。

例如：

```
create_clock -period 8.000 -name sys_clk_pin -waveform {0.000 4.000} -add [get_ports clk]
```

⇒ 設定 clk 的時脈週期為 8ns

- **物理約束 (Physical Constraints)**

確保 FPGA 設計能夠滿足**腳位配置**、**佈局與布線**，`blinky.xdc` 中沒用到，但在 `pynq-z2_v1.0.xdc` 有用到。

2. Vivado 的開發流程中 Synthesis 和 Implementation 的結果差異在哪？

➤ **Synthesis** 主要是將 RTL 設計（例如 Verilog 或 VHDL 代碼）轉換為邏輯閘層級的 Netlist。

輸出結果包含：

- Netlist，但未映射到具體的 FPGA 佈局。
- 綜合後的時序報告，但不包含佈局與布線影響。

➤ **Implementation** 則是將 Synthesis 產生的 Netlist，根據 FPGA 的具體架構，進行佈局與布線，最終產生可下載到 FPGA 的 Bitstream。

輸出結果包含：

- Placed & Routed Netlist。
- Timing Report，這時的時序分析是真正考慮了 FPGA 內部的佈局與布線延遲。
- Bitstream，.bit 檔案，可下載到 FPGA 進行實際運行。

總結來說，Synthesis 和 Implementation 的結果差異為：

Synthesis 出來為未佈局的 Netlist，無法燒錄至 FPGA。



Implementation 則是將 Synthesis 出來的 Netlist 進行佈局及布線，最後產生 Bitstream，燒錄至 FPGA。