**Problem 3**

1. **為什麼要加入 blinky. xdc？**

Xdc檔主要用於Synthesis 和Implementation階段，可以使 FPGA 設計能夠達到正確的時序與佈局要求。

Xdc 檔主要包含兩大類約束：

* **時序約束（Timing Constraints）**

確保 FPGA 設計能夠滿足 **時序要求**，避免 Setup 和 Hold Time 違規。

例如 :

*create\_clock -period 8.000 -name sys\_clk\_pin -waveform {0.000 4.000} -add [get\_ports clk]*

* 設定 clk 的時脈週期為 8ns
* **物理約束（Physical Constraints）**

確保 FPGA 設計能夠滿足**腳位配置、佈局與布線，**blinky.xdc中沒用到，但在pynq-z2\_v1.0.xdc有用到。

1. **Vivado 的開發流程中 Synthesis 和 Implementation 的結果差異在哪？**

* **Synthesis**主要是將 RTL設計（例如 Verilog 或 VHDL 代碼）轉換為邏輯閘層級的Netlist。

**輸出結果包含：**

* 1. Netlist，但未映射到具體的 FPGA 佈局。
  2. 綜合後的時序報告，但不包含佈局與布線影響**。**
* **Implementation**則是將 Synthesis 產生的Netlist，根據 FPGA 的具體架構，進行佈局與布線，最終產生可下載到 FPGA 的Bitstream。

**輸出結果包含：**

* 1. Placed & Routed Netlist。
  2. Timing Report，這時的時序分析是真正考慮了 FPGA 內部的佈局與布線延遲。
  3. Bitstream，.bit 檔案，可下載到 FPGA 進行實際運行。

總結來說，Synthesis 和 Implementation 的結果差異為 :

Synthesis出來為未佈局的Netlist，無法燒錄至FPGA。

↕️

Implementation 則是將Synthesis出來的Netlist進行佈局及布線，最後產生Bitstream，燒錄至FPGA。