

Informe Teclado ASCII

Emilio Bueno 8-896-1554 Zulay NG 4-849-245

Introducción

A continuación, veremos que podemos realizar con una tarjeta FPGA en este caso la Basys 3 la codificación de un teclado ASCII que debido a lo aprendido en clase pudimos programar que colocando los números salieran representados en el display en el lenguaje utilizado en este proyecto que será el VERILOG que es bastante similar al VHDL

Prerrequisitos

Hardware

- Basys3 placa FPGA
- Cable micro-USB
- Teclado USB

Software

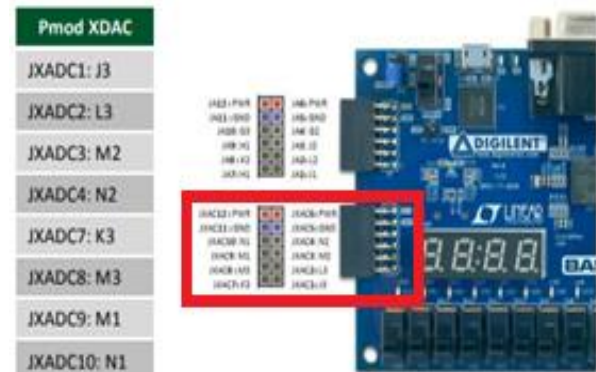
Vivado Design Suite 2016.4

Se pueden usar versiones más nuevas, pero el procedimiento puede variar ligeramente

XADC

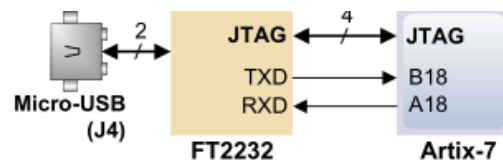
En la Basys3, el conector del XADC Pmod alberga 4 pares analógicos diferenciales. Los canales XADC correspondientes son 6, 7, 14 y 15. Los puertos Pmod están dispuestos en un ángulo recto de 2x6, y son conectores hembra que se acoplan con el estándar. Cada puerto Pmod de 12 pines proporciona dos señales VCC de 3,3 V (pines 6 y 12), dos señales de tierra (pines 5 y 11) y ocho señales lógicas. Las clavijas VCC y de tierra pueden entregar hasta 1 A de corriente. A continuación, se

muestran a los pines del Pmod y su asignación de pines para la E / S conectada al FPGA. También hay que tener presente la configuración del FPGA para los canales mencionados.



UART

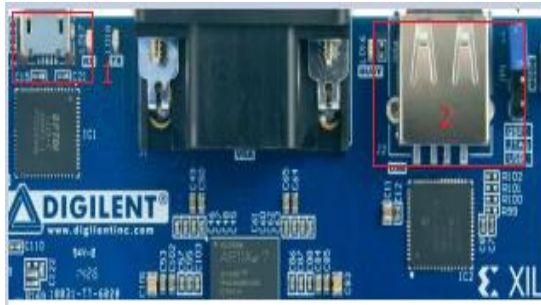
La tarjeta Basys 3 incluye un Puente USB-UART que permite utilizar comandos COM para comunicar la tarjeta con la computadora. Esto se hace posible al convertir los paquetes USB a UART/puerto serie. Donde estos datos serie se intercambian con el FPGA usando un puerto en serie de 2 hilos (TXD / RXD) con comandos COM desde la PC se genera tráfico de datos en serie en los pines B18 y A18 de la FPGA .



Conexiones - Basys 3 FT2232HQ.

Los controladores para establecer la comunicación TXD/RXD de transmisión y recepción, reciben el dato serie a mostrar así como una señal de inicio y el reloj del

sistema para establecer la sincronización y comunicación con la PC.

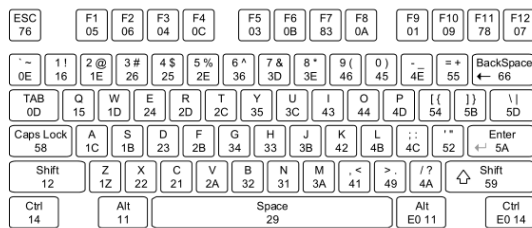


Terminal micro-usb, , Terminal usb Host .

Decodificador Binario-ASCII

Este módulo contenido en el demo de keyboard permite la conversión de los datos obtenidos del módulo que ingresa los datos scan del teclado a su equivalente en código ASCII

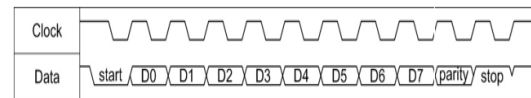
Para este modo se utiliza en específico los módulos que controlan el teclado de esta forma se codifica los datos obtenidos del mismo y realiza los sincronismos correspondientes entre el reloj de teclado ps2 y el del sistema. Como salida de este módulo se obtiene una señal correspondiente al Scan-Code de las teclas presionadas (alfa-numéricas).



Scan-Codes .

El microcontrolador después de recibir estos datos los convierte en dos señales que son procesadas por el FPGA, en donde PS2_CLK es una señal de reloj y PS2_DAT una línea de datos transmitidos en serie en donde se envían 11 bits de los cuales: el primero corresponde al bit de

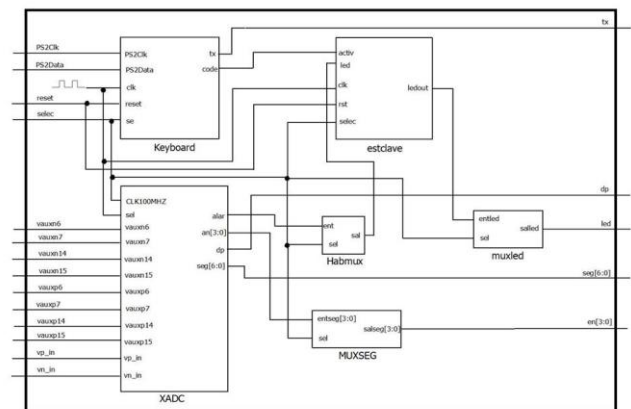
inicio, los siguientes 8 bits que indican el dato de la tecla, dos bits siguientes de paridad y parada, este último cuando no se ingresa ningún dato. El módulo PS2 codifica los datos obtenidos y realiza los sincronismos correspondientes entre el clock de teclado ps2 y reloj del sistema.



Secuencia de datos en la interfaz PS2

Características

- Código fuente VHDL de un convertidor de teclado PS / 2 a ASCII
- Emite los códigos ASCII que corresponden a las pulsaciones de teclas en un teclado PS / 2
- Ignora las claves que no tienen equivalente ASCII
- Establece una salida de marca cuando hay un nuevo código ASCII disponible
- Valida la paridad, inicia y detiene bits de transacciones PS / 2
- Frecuencia configurable del reloj del sistema
- Sincroniza entre PS / 2 y dominios de reloj del sistema
- Rebota las señales entrantes de PS / 2



Circuito esquemático

Conclusión

Este convertidor de teclado PS / 2 a ASCII es un componente lógico programable que recibe transacciones de teclados PS / 2 y genera sus equivalentes ASCII. Sincroniza los dominios PS / 2 y del reloj del sistema, elimina las señales de entrada, realiza la comprobación de errores, traduce los códigos PS / 2 en códigos ASCII y notifica a la lógica del usuario cuando hay nuevos códigos ASCII disponibles en su bus de salida paralelo.

Referencias

Digilent. (2016). Basys 3 FPGA Board Reference Manual.

[3] Diligent (2016). Basys 3 XADC Demo.

<https://reference.digilentinc.com/basys3/xadcdemo>

[4] Diligent (2016). Basys 3 Keyboard Demo.

<https://reference.digilentinc.com/learn/programmable-logic/tutorials/basys-3-keyboard-demo/start>

[5] Xilinx. (2015). XADC Wizard.